

Основные особенности

- Напряжение питания 3,15 В ... 3,7 В;
- 14 разрядов;
- Частота дискретизации 50 МВыб/с;
- Дифференциальный вход с полосой пропускания до 500 МГц;
- SFDR (типичное) 80 дБ;
- DNL (типичное) 0,6 МЗР;
- INL (типичное) 3,5 МЗР;
- Встроенный источник опорного напряжения;
- КМОП/LVDS цифровой выход данных
- Формат выходных данных: бинарный со смещением, дополнительный код;
- Температурный диапазон от -60°C до $+125^{\circ}\text{C}$;
- Стойкость к СВВФ.

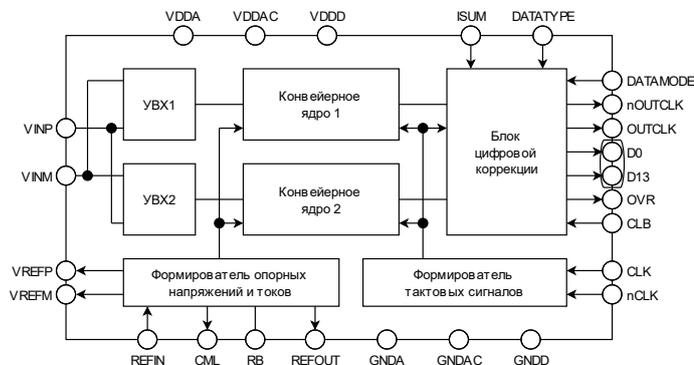


Рисунок 1. Структурная схема



Рисунок 2. Внешний вид микросхемы 5112НВ035

ГГ – год выпуска
НН – неделя выпуска

Y – группа микросхемы

Общее описание

Микросхема 5112НВ035 – 14-ти разрядный АЦП конвейерного типа с параллельным интерфейсом выходных данных. Микросхема изготавливается по технологии КНИ.

АЦП использует двухканальную архитектуру с временным перемеживанием (time interleaving). Принципы, заложенные в архитектуре АЦП, опираются на методы цифровой автокалибровки. Для устранения нестабильности кода, возникающего из-за возможной неидентичности каналов, используется усреднение двух соседних выборок.

Выходные данные представлены бинарным кодом со смещением или дополнительным кодом. Выбор формата выходных данных осуществляется с помощью вывода DATATYPE.

Выходные данные могут быть представлены как КМОП логическими уровнями, так и LVDS. При этом возможно также третье (высоко-импедансное) состояние логических выводов. Выбор формата представления логических уровней осуществляется с помощью вывода DATAMODE.

АЦП имеет расширенные возможности по приему входных тактовых сигналов. Возможна подача однофазного (CLK) или парафазных (CLK, nCLK) тактовых сигналов с размахом цифровых КМОП уровней (0 – 3,5 В) и скважностью 2, LVDS уровней.

Возможно использование как встроенного, так и внешнего опорного напряжения, значение которого определяет максимальную амплитуду входного сигнала. В микросхеме реализована функция автокалибровки.

Микросхема выполнена в 48-ми выводном металлокерамическом корпусе 5142.48-А.

Электрические параметры микросхемы

Таблица 1. Электрические характеристики (температурный диапазон от -60°C до $+125^{\circ}\text{C}$)

| Параметр, единица измерения | Норма параметра | | | |
|--|---------------------|-----------------------------|---------------------|--------------------|
| | не менее | типовое | не более | |
| Разрядность, бит | 14 | | | |
| Частота выборок, МВыб/с | 2,0 | | 50 ⁽¹⁾ | |
| | 2,0 | | 25 ⁽²⁾ | |
| Дифференциальная нелинейность (DNL), МЗР | -0,99 | $\pm 0,6$ | +0,99 | |
| Интегральная нелинейность (INL) ⁽⁴⁾ , МЗР | -7,0 ⁽³⁾ | $\pm 3,5$ ⁽³⁾ | +7,0 ⁽³⁾ | |
| | -10 | $\pm 5,0$ | +10 | |
| Интегральная нелинейность (INL) ⁽⁵⁾ , МЗР | -11 ⁽³⁾ | $\pm 5,5$ ⁽³⁾ | +11 ⁽³⁾ | |
| | -12 | $\pm 6,0$ | +12 | |
| Отсутствие пропусков кода | Гарантировано | | | |
| Напряжение смещения нуля, мВ | -30 | | +30 | |
| Температурный дрейф смещения нуля, мкВ/ $^{\circ}\text{C}$ | | ± 10 | | |
| Напряжение полной шкалы (FSR), В | 1,8 | $2 \times V_{\text{REFIN}}$ | 2,2 | |
| Полоса пропускания входного сигнала, МГц | | 500 | | |
| Напряжение встроенного ИОНа (вывод REFOUT), В | 0,9 | 1,0 | 1,1 | |
| Температурный дрейф напряжения ИОНа, мкВ/ $^{\circ}\text{C}$ | | ± 100 | | |
| Напряжение высокого уровня выходных цифровых сигналов (OUTCLK, nOUTCLK, OVR), В | 2,4 | VDDD | | |
| Напряжение низкого уровня выходных цифровых сигналов (OUTCLK, nOUTCLK, OVR), В | | GNDD | 0,4 | |
| Динамический ток потребления, мА | 10 | | 360 | |
| | | потребление по VDDA, мА | | 200 ⁽¹⁾ |
| | | потребление по VDDD, мА | | 90 ⁽¹⁾ |
| | | потребление по VDDAC, мА | | 10 ⁽¹⁾ |
| Динамические характеристики | | | | |
| Отношение сигнал/шум + искажения (SiNAD), дБ | | 63,8 ⁽³⁾ | | |
| Эффективное число бит (ENOB), МЗР | | 10,3 ⁽³⁾ | | |
| Отношение сигнал/шум (SNR), дБ | | 64 ⁽³⁾ | | |
| Коэффициент нелинейных искажений (THD), дБ | | -76,7 ⁽³⁾ | | |
| Динамический диапазон, свободный от гармонических искажений (SFDR) ⁽⁴⁾ , дБ | 70 ⁽³⁾ | 80 ⁽³⁾ | | |
| | 68 | 76 | | |
| Динамический диапазон, свободный от гармонических искажений (SFDR) ⁽⁵⁾ , дБ | 67 ⁽³⁾ | | | |
| | 66 | | | |
| Шум, приведенный ко входу, МЗРrms | | 2,3 ⁽³⁾ | | |
| Характеристики выходного сигнала D0...D13 | | | | |
| Выходное напряжение высокого уровня КМОП, В | 2,4 | VDDD | | |
| Выходное напряжение низкого уровня КМОП, В | | GNDD | 0,4 | |
| Напряжение среднего уровня LVDS, В | 1,0 | 1,3 | 1,5 | |
| Дифференциальное выходное напряжение LVDS, мВ | 250 | 350 | 450 | |
| Выходная емкость, пФ | | | 4,0 | |

Примечания:

- 1) норма на параметр подтверждается выполнением норм по параметрам INL, DNL, FSR, SFDR при $F_s \leq 50$ МГц и напряжении питания от 3,325 В до 3,7 В;
- 2) норма на параметр подтверждается выполнением норм по параметрам INL, DNL, FSR, SFDR при $F_s \leq 25$ МГц и напряжении питания от 3,15 В до 3,325 В;
- 3) норма на параметр при температуре +25°C;
- 4) параметры микросхем 5112НВ035 группы А;
- 5) параметры микросхем 5112НВ035 группы В.

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 2000 В по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

| Параметр, единица измерения | Предельно-допустимый режим | | Предельный режим | |
|---|--|---|------------------|-------------------------|
| | не менее | не более | не менее | не более |
| Напряжение питания (выводы VDDA, VDDD, VDDAC) ⁽⁵⁾ , В | 3,15 | 3,7 | – | 3,8 |
| Диапазон входного сигнала, В | –0,3 | VDDA+0,3 | –0,5 | VDDA+0,5 ⁽¹⁾ |
| Напряжение входного синфазного сигнала (VCMS) ⁽⁴⁾ , В | 1,5 ⁽²⁾ 2,0 ⁽³⁾ | 2,4 ⁽²⁾ 2,2 ⁽³⁾ | – | – |
| Напряжение высокого уровня входных цифровых сигналов (CLB, DATATYPE, DATAMODE, ISUM), В | 2,4 | VDDD | –0,5 | VDDD+0,5 ⁽¹⁾ |
| Напряжение низкого уровня входных цифровых сигналов (CLB, DATATYPE, DATAMODE, ISUM), В | GNDD | 0,4 | –0,5 | VDDD+0,5 ⁽¹⁾ |
| Выходная нагрузочная емкость, пФ | – | 10 | – | – |
| Выходные токи, мА | – | 10 | – | – |
| Напряжение внешнего опорного уровня (вывод REFIN), В | 0,9 | 1,1 | –0,3 | VDDA+0,5 ⁽¹⁾ |
| Частота выборок входного сигнала, МГц (напряжение питания от 3,325 В до 3,7 В) | 2,0 | 50 | – | – |
| Частота выборок входного сигнала, МГц (напряжение питания от 3,15 В до 3,325 В) | 2,0 | 25 | – | – |
| Температура эксплуатации, °С | –60 | +85 ⁽³⁾ +125 ⁽²⁾ | –60 | +150 |

Примечание:

- 1) не более 3,8 В;
- 2) параметры микросхем 5112НВ035 группы А;
- 3) параметры микросхем 5112НВ035 группы В;
- 4) $V_{VCMS} = (V_{VINP} + V_{VINM})/2$, где V_{VINP} и V_{VINM} напряжения на выводах VINP и VINM.
- 5) Допускается разброс напряжений VDDAC, VDDD, VDDA относительно друг друга до 0,3 В.

Конфигурация и функциональное описание выводов

Таблица 3. Функциональное описание выводов

| № вывода | Тип вывода | Наименование вывода | Назначение вывода |
|--------------|------------|---------------------|---|
| 1 | DO | OUTCLK | Выход тактовой частоты для стробирования выходных данных |
| 2 | DO | D0 | 0-й разряд выходного кода (младший)/ отрицательный выход D0, D1 в LVDS |
| 3 | DO | D1 | 1-й разряд выходного кода/ положительный выход D0, D1 в LVDS |
| 4, 12, 21 | PWR | GNDD | Общий вывод цифровой части |
| 5, 13, 22 | PWR | VDDD | Вывод положительного напряжения питания цифровой части |
| 6 | DO | D2 | 2-й разряд выходного кода/ отрицательный выход D2, D3 в LVDS |
| 7 | DO | D3 | 3-й разряд выходного кода/ положительный выход D2, D3 в LVDS |
| 8 | DO | D4 | 4-й разряд выходного кода/ отрицательный выход D4, D5 в LVDS |
| 9 | DO | D5 | 5-й разряд выходного кода/ положительный выход D4, D5 в LVDS |
| 10 | DO | D6 | 6-й разряд выходного кода/ отрицательный выход D6, D7 в LVDS |
| 11 | DO | D7 | 7-й разряд выходного кода/ положительный выход D6, D7 в LVDS |
| 14 | DO | D8 | 8-й разряд выходного кода/ отрицательный выход D8, D9 в LVDS |
| 15 | DO | D9 | 9-й разряд выходного кода/ положительный выход D8, D9 в LVDS |
| 16 | DO | D10 | 10-й разряд выходного кода/ отрицательный выход D10, D11 в LVDS |
| 17 | DO | D11 | 11-й разряд выходного кода/ положительный выход D10, D11 в LVDS |
| 18 | DO | D12 | 12-й разряд выходного кода/ отрицательный выход D12, D13 в LVDS |
| 19 | DO | D13 | 13-й разряд выходного кода (старший)/ положительный выход D12, D13 в LVDS |
| 20 | DO | OVR | Выход сигнала перегрузки |
| 23 | DI | DATAMODE | Выбор типа логических уровней: «1» – LVDS; «0» – третье состояние; «NC» – КМОП. |
| 24 | DI | CLB | Вход сигнала автокалибровки |
| 25 | DI | ISUM | Вывод отключения функции выравнивания кодов каналов: «1» – выравнивание отключено; «0» – выравнивание включено. |

| | | | |
|--|-----|----------|---|
| 26, 28, 34, 37, 42 | PWR | GND A | Общий вывод аналоговой части |
| 27, 29, 38, 47 | PWR | VDD A | Вывод положительного напряжения питания аналоговой части |
| 30 | AI | REFIN | Вход опорного напряжения |
| 31 | AO | REFOUT | Выход внутреннего источника опорного напряжения |
| 32 | AO | VREFM | Вывод для подключения шунтирующего конденсатора внутреннего дифференциального опорного напряжения |
| 33 | AO | VREFP | Вывод для подключения шунтирующего конденсатора внутреннего дифференциального опорного напряжения |
| 35 | AI | VINP | Положительный вход дифференциального аналогового сигнала |
| 36 | AI | VINM | Отрицательный вход дифференциального аналогового сигнала |
| 39 | AO | CML | Вывод для подключения шунтирующего конденсатора внутренней «средней» точки |
| 40 | AO | RB | Вывод для подключения внешнего токозадающего резистора |
| 41 | DI | DATATYPE | Выбор типа выходного кода: «1» – бинарный код со смещением; «0» – дополнительный код. |
| 43 | DI | nCLK | Отрицательный вход тактового сигнала |
| 44 | DI | CLK | Положительный вход тактового сигнала |
| 45 | PWR | VDDAC | Вывод положительного напряжения питания системы тактирования |
| 46 | PWR | GNDAC | Общий вывод системы тактирования |
| 48 | DO | nOUTCLK | Выход тактовой частоты для стробирования выходных данных в режиме LVDS выхода |
| <p>Примечание: DI – цифровой вход; DO – цифровой выход; AI – аналоговый вход; AO – аналоговый выход; PWR – вывод напряжения питания.</p> | | | |

Эквивалентные схемы

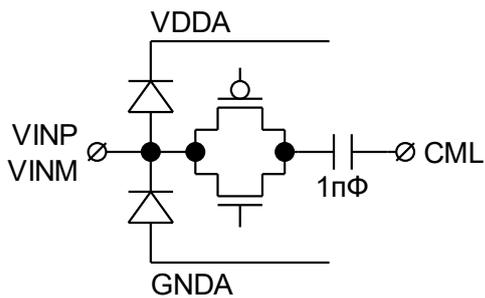


Рисунок 3. Аналоговые входы

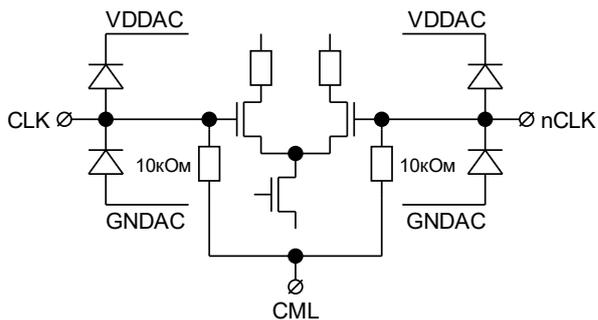


Рисунок 4. Входы тактовой частоты

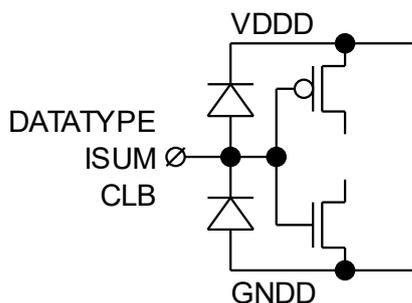


Рисунок 5. Цифровые входы

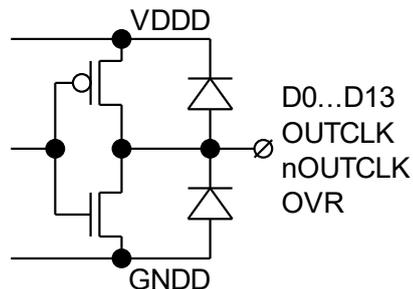


Рисунок 6. Цифровые выходы

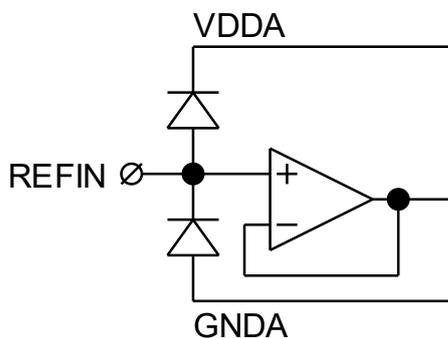


Рисунок 7. Вход опорного напряжения

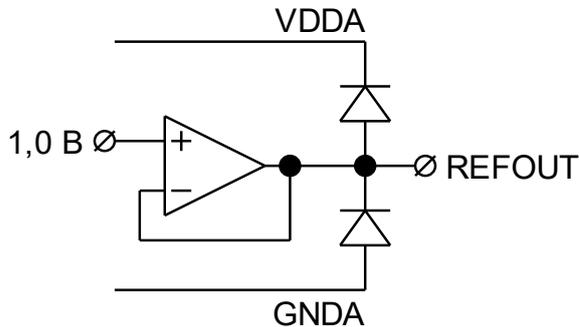


Рисунок 8. Выход опорного напряжения

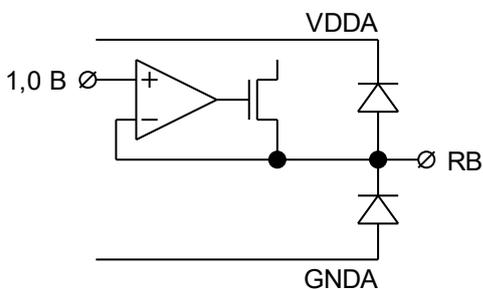


Рисунок 9. Вывод токозадающий

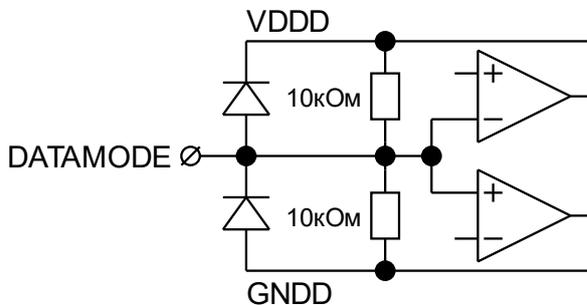


Рисунок 10. Вход выбора режима

Временные диаграммы

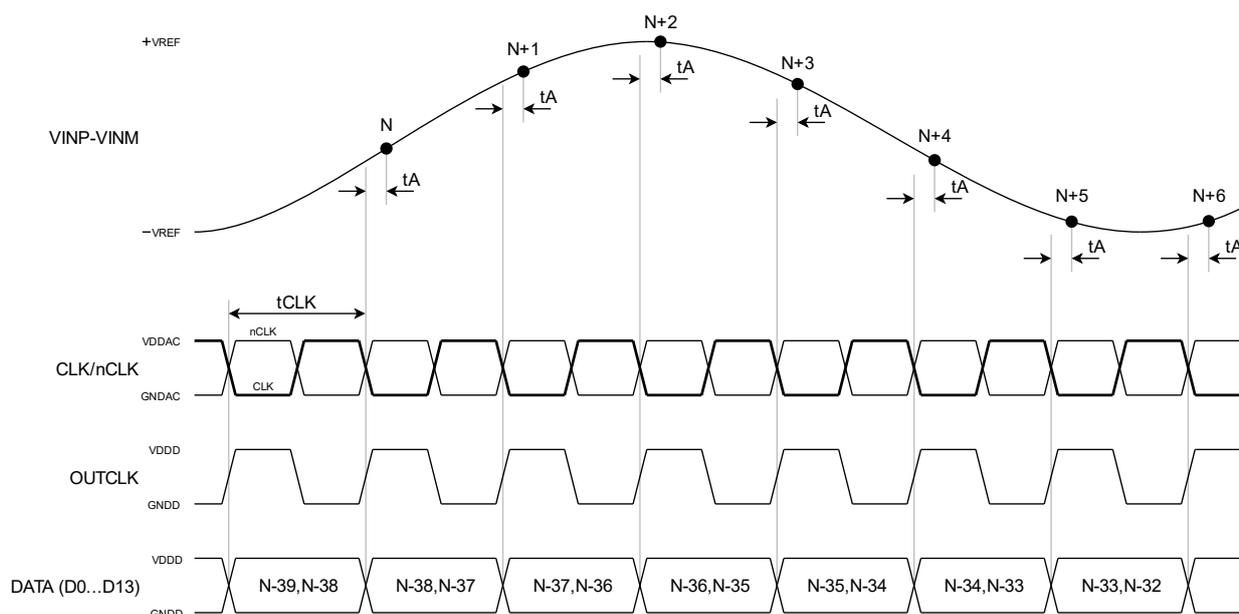


Рисунок 11. Временная диаграмма работы АЦП

Таблица 4. Справочные данные тактового сигнала CLK/nCLK

| Параметр, единица измерения | Норма параметра | | |
|--|-----------------|---------|----------|
| | не менее | типовое | не более |
| Период тактового сигнала CLK (t_{CLK}), нс | 20 | | 500 |
| Коэффициент заполнения тактового сигнала, % | 40 | 50 | 60 |
| Апертурное время задержки (t_A), нс | | 3,0 | 5,0 |
| Конвейерная задержка, такты CLK | | 37 | |
| Напряжение высокого уровня КМОП, В | 2,4 | VDDAC | |
| Напряжение низкого уровня КМОП, В | | GNDAC | 0,4 |
| Напряжение среднего уровня LVDS, В | 1,0 | | 1,5 |
| Дифференциальное напряжение LVDS, мВ | 250 | 350 | 450 |
| Входная емкость, пФ | | 4,0 | |

Апертурная задержка – задержка момента выборки входного сигнала от середины переднего фронта входного тактового сигнала (CLK).

Конвейерная задержка – задержка выходных данных, соответствующих выбранному входному сигналу в тактах входной частоты.

Выходные данные изменяются по фронту выходного тактового сигнала OUTCLK и могут быть считаны по его срезу. Выходные данные являются арифметическим средним значением двух соседних выборок.

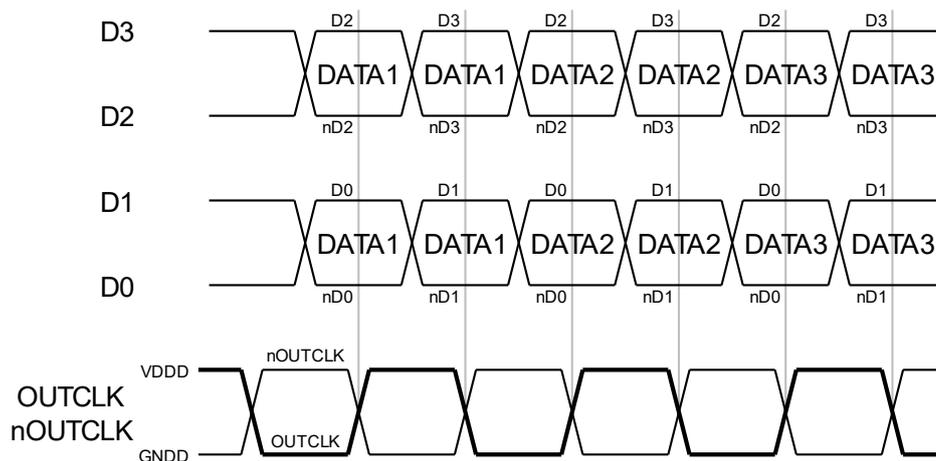


Рисунок 12. Выдача данных в режиме LVDS

Выходные данные представлены в двоичном коде со смещением (DATATYPE = «1») или в дополнительном коде (DATATYPE = «0»).

Таблица 5. Формат выходных данных

| $V_{INP} - V_{INM}$ | Выходной код | | Выход OVR |
|---------------------|--------------------------------|--|-----------|
| | Прямой код (DATATYPE = «0») | Дополнительный код (DATATYPE = «1») | |
| $>+V_{REFIN}$ | 11 1111 1111 1111 | 01 1111 1111 1111 | 1 |
| $+V_{REFIN}$ | 11 1111 1111 1111 | 01 1111 1111 1111 | 0 |
| 0 | 10 0000 0000 0000 | 00 0000 0000 0000 | 0 |
| $-V_{REFIN}$ | 00 0000 0000 0000 | 10 0000 0000 0000 | 0 |
| $<-V_{REFIN}$ | 00 0000 0000 0000 | 10 0000 0000 0000 | 1 |

OVR является цифровым выводом, который обновляется одновременно с выходными данными. Сигнал OVR имеет такую же конвейерную задержку, как и цифровые данные. Сигнал OVR всегда в формате КМОП.

Типовые характеристики

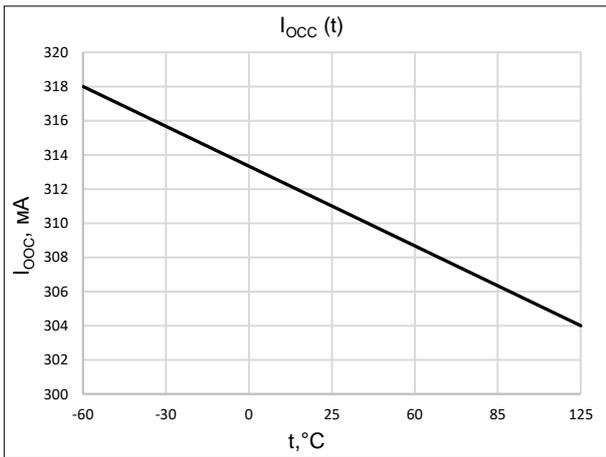


Рисунок 13. Зависимость динамического тока потребления от температуры

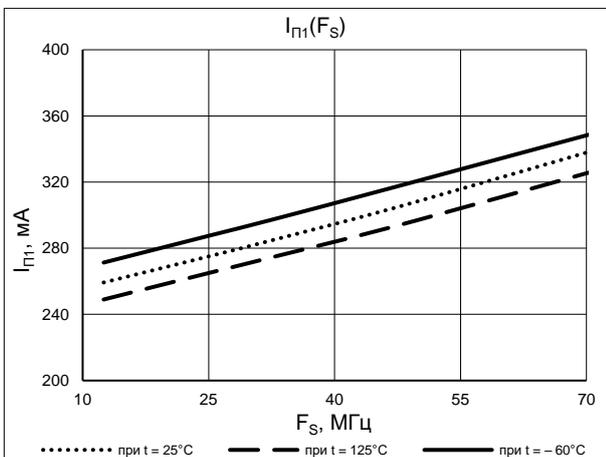


Рисунок 14. Зависимость динамического тока потребления от частоты выборок входного сигнала при напряжении питания VDDA = 3,5 В

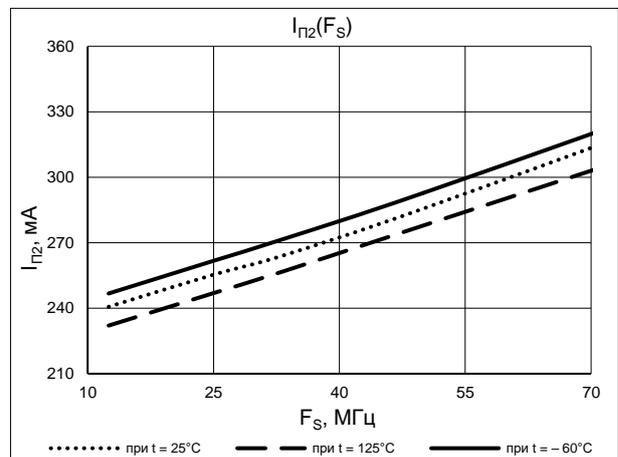


Рисунок 15. Зависимость динамического тока потребления от частоты выборок входного сигнала при напряжении питания VDDA = 3,15 В

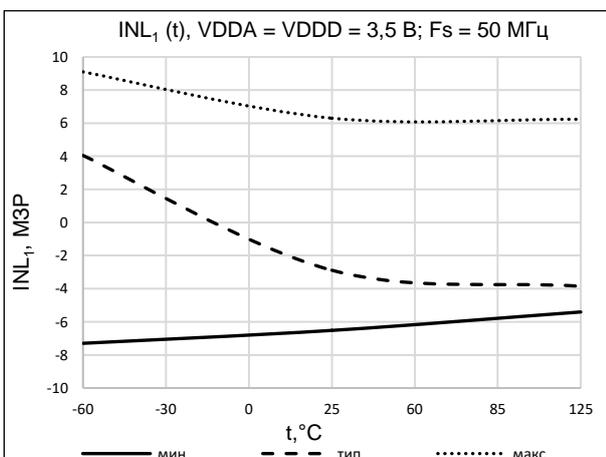


Рисунок 16. Зависимость интегральной нелинейности от температуры

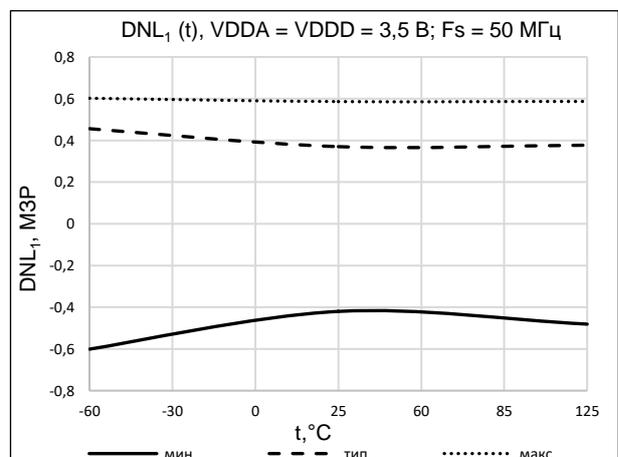


Рисунок 17. Зависимость дифференциальной нелинейности от температуры

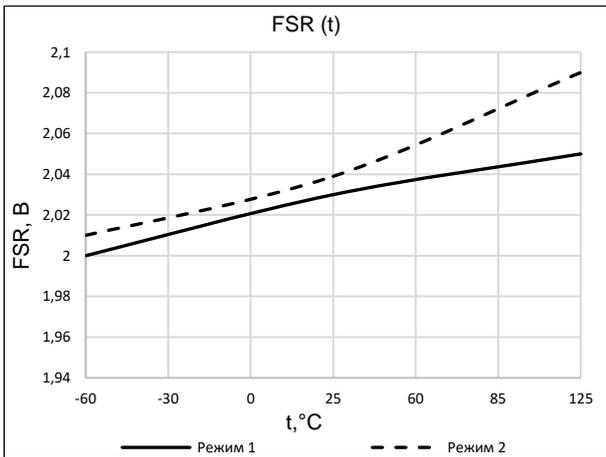


Рисунок 18. Зависимость напряжения полной шкалы от температуры
(Режим 1: VDDA = VDDD = 3,5 В; Fs = 50 МГц;
Режим 2: VDDA = VDDD = 3,15 В; Fs = 25 МГц)

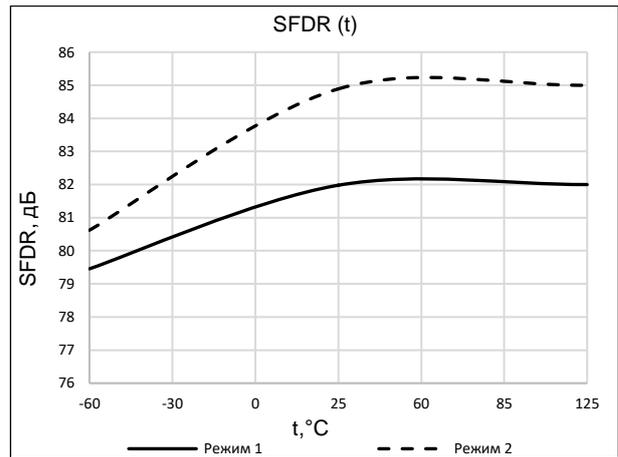


Рисунок 19. Динамический диапазон по наибольшей гармонике искажений
(Режим 1: VDDA = VDDD = 3,5 В; Fs = 50 МГц;
Режим 2: VDDA = VDDD = 3,15 В; Fs = 25 МГц)

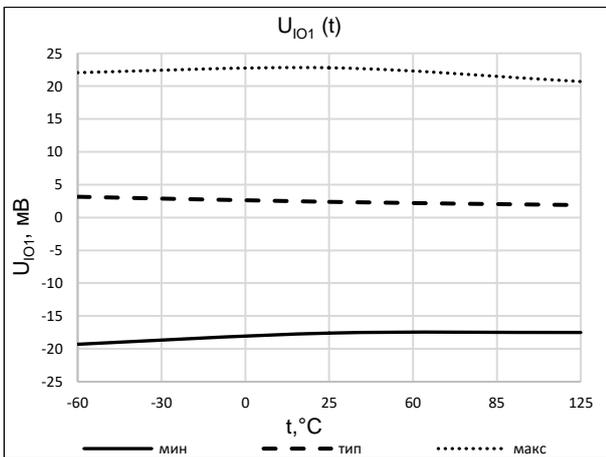


Рисунок 20. Зависимость напряжения смещения нуля от температуры
(Режим 1: VDDA = VDDD = 3,5 В; Fs = 50 МГц)

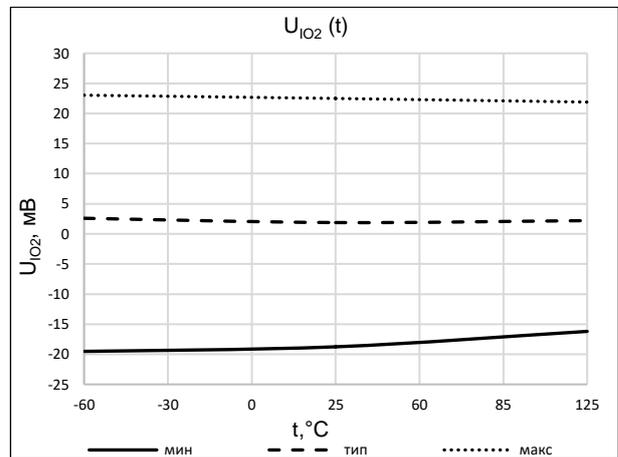


Рисунок 21. Зависимость напряжения смещения нуля от температуры
(Режим 2: VDDA = VDDD = 3,15 В; Fs = 25 МГц)

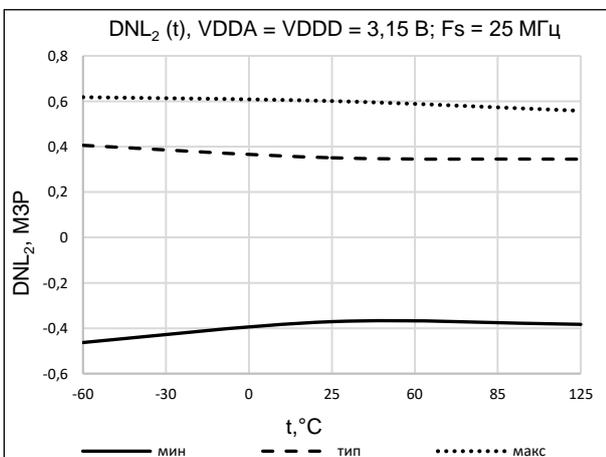


Рисунок 22. Зависимость дифференциальной нелинейности от температуры

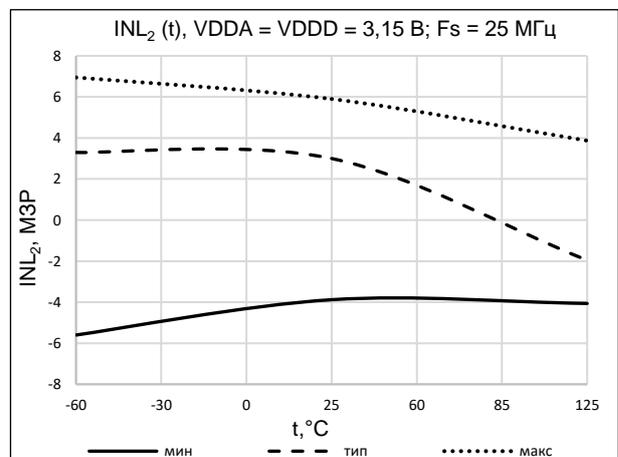


Рисунок 23. Зависимость интегральной нелинейности от температуры

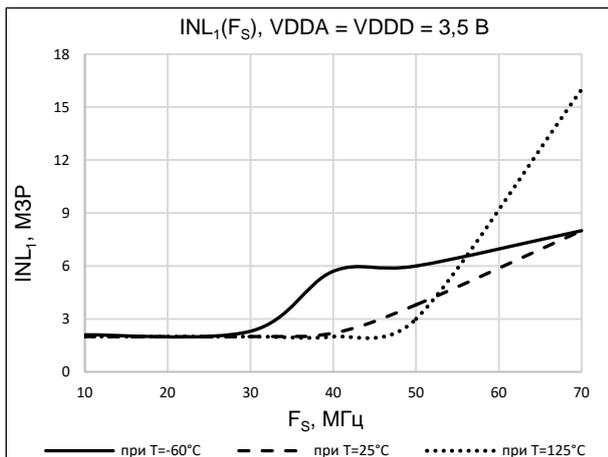


Рисунок 24. Зависимость интегральной нелинейности от частоты выборки входного сигнала при VDDA = VDDD = 3,5 В

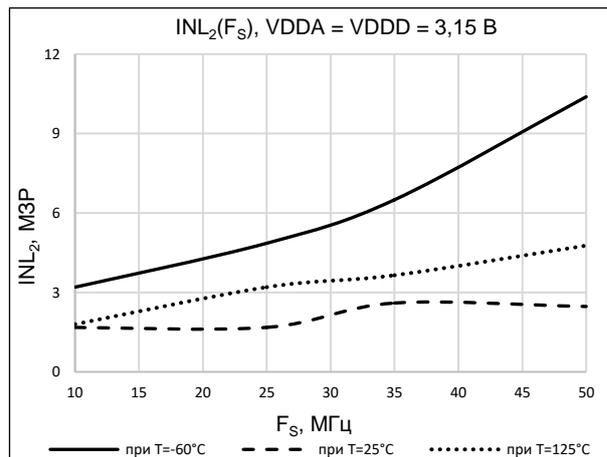


Рисунок 25. Зависимость интегральной нелинейности от частоты выборки входного сигнала при VDDA = VDDD = 3,15 В

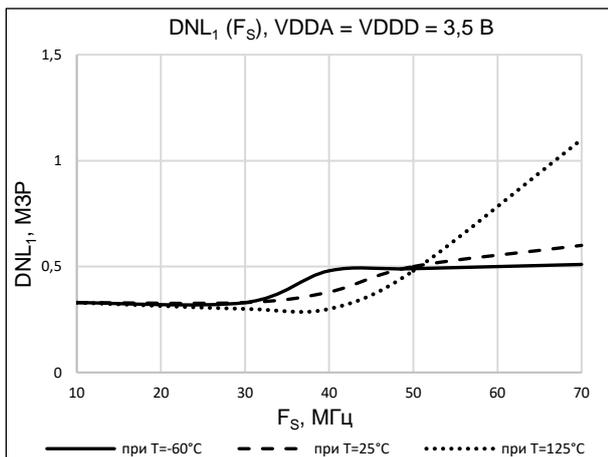


Рисунок 26. Зависимость дифференциальной нелинейности от частоты выборки входного сигнала при VDDA = VDDD = 3,5 В

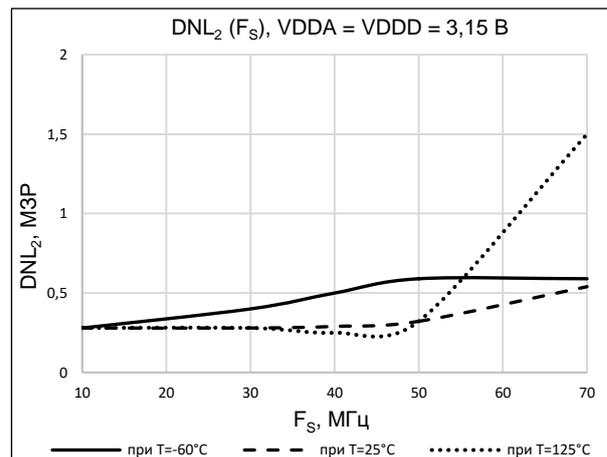


Рисунок 27. Зависимость дифференциальной нелинейности от частоты выборки входного сигнала при VDDA = VDDD = 3,15 В

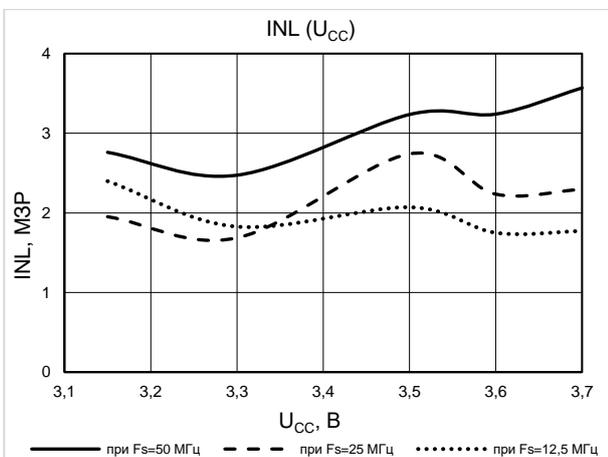


Рисунок 28. Зависимость интегральной нелинейности от напряжения питания

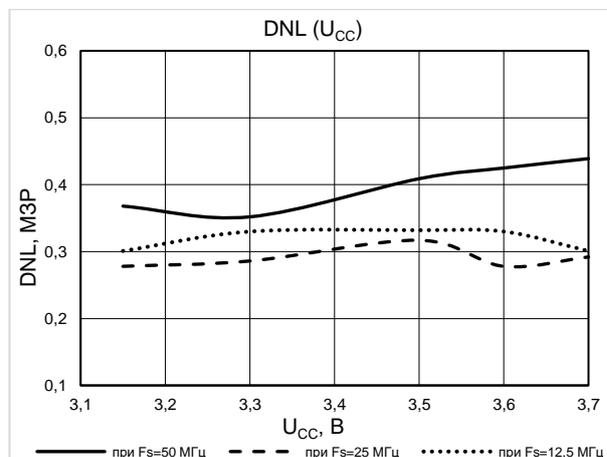


Рисунок 29. Зависимость дифференциальной нелинейности от напряжения питания

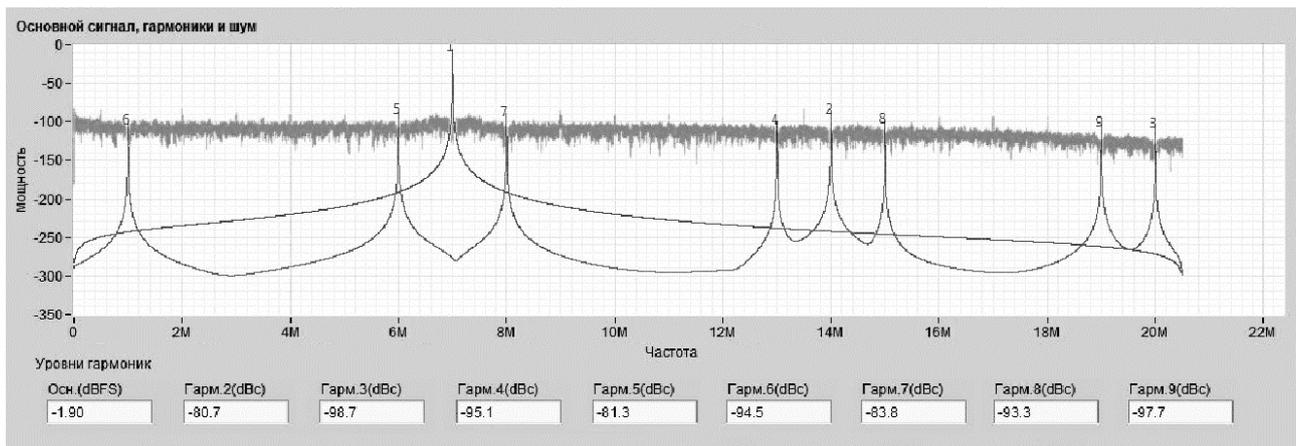


Рисунок 30. Динамические характеристики при частоте входного синусоидального сигнала $F_{in} = 7$ МГц и частоте выборок $F_s = 41$ МГц
(SFDR = 80,7 дБ; THD = -76,7 дБ; ENOB = 10,15 бит; SINAD = 62,9 дБ; SNR = 62,9 дБ)

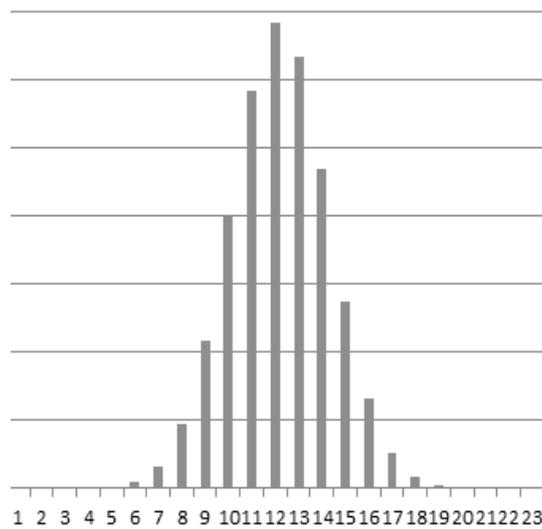


Рисунок 31. Статистика кодов при $V_{VINP} - V_{VINM} = 0$ В (собственный шум 2,3 МЗРrms)

Рекомендуемая схема применения

| Компонент | Номинал |
|-----------|--|
| R1, R2 | 51 Ом |
| R3 | 2,4 кОм |
| C1 | 33 пФ |
| C2 – C4 | 0,47 мкФ |
| C5 – C13 | 0,1 мкФ * – емкость C13 устанавливается при отсутствии инверсного тактового сигнала |

Конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них обязательно должен быть высокочастотный керамический емкостью не менее 10 нФ. Шунтирующие конденсаторы должны располагаться на плате в непосредственной близости к соответствующим выводам микросхемы.

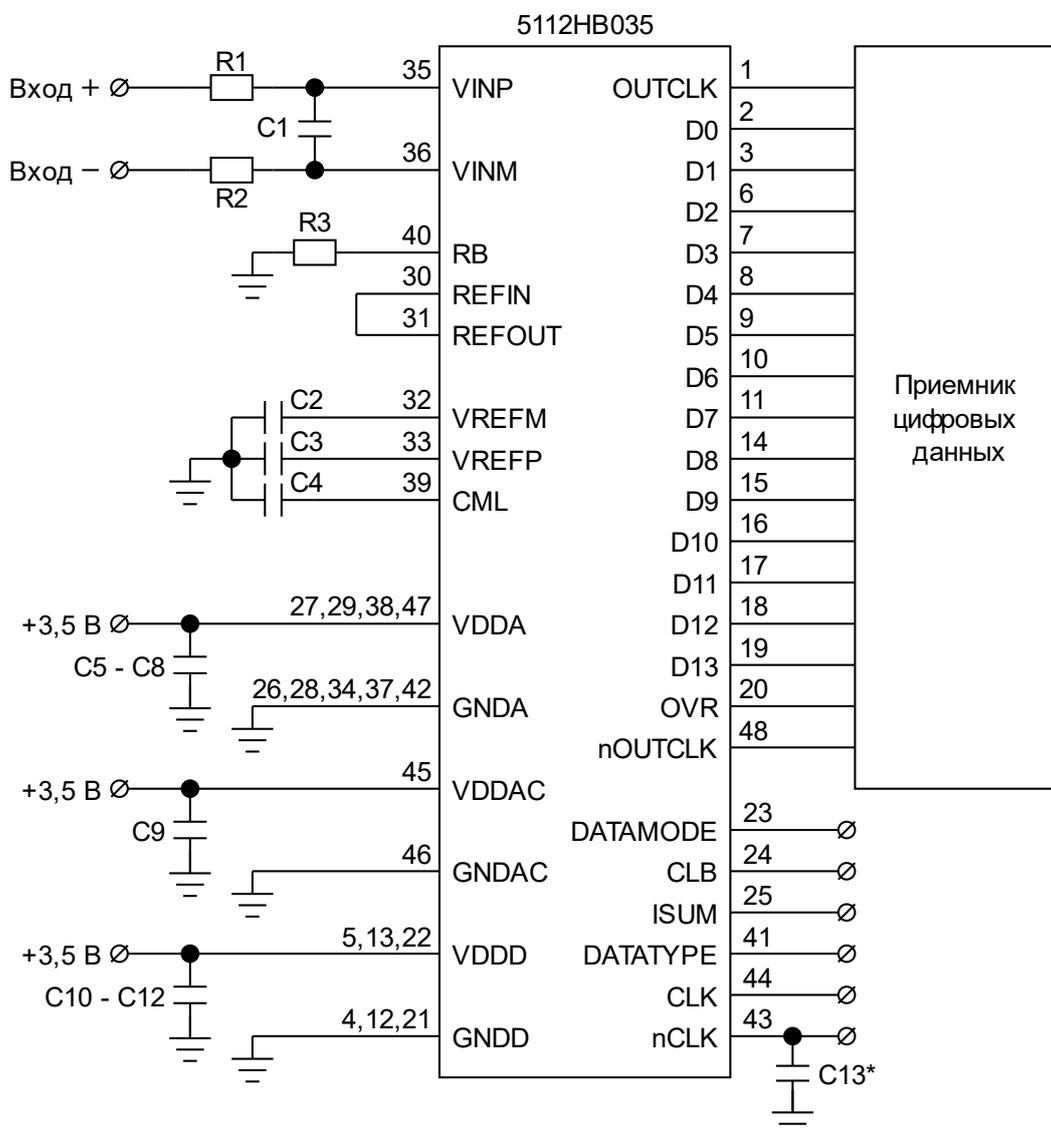


Рисунок 32. Рекомендуемая схема применения

Описание функционирования микросхемы

АЦП использует двухканальную архитектуру с временным перемеживанием (time interleaving). В основе работы АЦП лежит архитектура, которая предполагает проведение цифровой автокалибровки для формирования корректного выходного кода. Автокалибровка происходит автоматически при включении питания. После подачи напряжения питания и тактовой частоты АЦП входит в режим автокалибровки, которая длится порядка 100 мс на частоте 50 МГц. При уменьшении тактовой частоты время автокалибровки увеличивается пропорционально ее периоду. Об окончании автокалибровки и начала работы в режиме преобразования свидетельствует появление тактовых импульсов на выводе OUTCLK.

После установления теплового равновесия процедуру автокалибровки рекомендуется повторить. Для этого на вход CLB подается цифровой импульс длительностью не менее 32 тактов. После подачи импульса калибровки АЦП переходит в режим автокалибровки: выходные данные становятся не определенными, вывод OUTCLK устанавливается в «0». Об окончании режима автокалибровки свидетельствует появление тактовых импульсов OUTCLK.

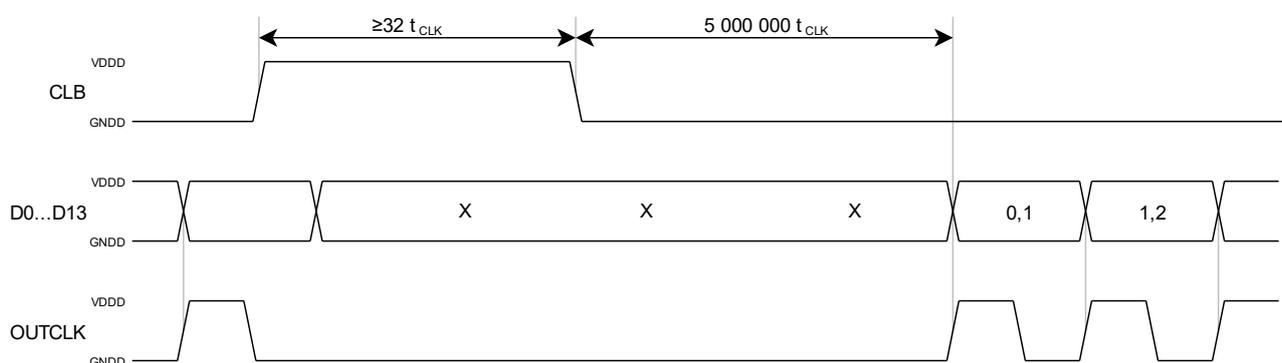


Рисунок 33. Режим автокалибровки

Архитектура АЦП имеет два канала конвейерного преобразования данных, которые работают на частоте вдвое ниже основной тактовой. При этом выборки с УВХ распределяются для преобразования между каналами поочередно. Поскольку каналы могут иметь различия, вследствие технологического разброса, используется схема выравнивания кодов каналов. При этом каждый такт данные на выходе АЦП являются средним арифметическим двух соседних выборок. Это необходимо учитывать при преобразовании импульсных сигналов, длительность которых сравнима с длительностью периода тактовой частоты.

Выход ISUM позволяет отключить выравнивание выходного кода. Если ISUM подключен к лог. «1», то выходные данные содержат результат преобразования только одной (соответствующей) выборки для каждого канала. При этом, выходные данные будут иметь частотную составляющую равную половине тактовой частоты из-за разбаланса каналов. Этот режим является экспериментальным и не рекомендуется к использованию без дополнительных испытаний.

АЦП имеет расширенные возможности по приему входных тактовых сигналов. Возможна подача однофазного (CLK) или парафазных (CLK, nCLK) тактовых сигналов с размахом цифровых КМОП уровней (0 – 3,5 В) и скважностью 2, LVDS уровней. Электрические и временные характеристики входного тактового сигнала приведены в таблице 4.

Формат выходных данных (Таблица 5) определяется состоянием вывода DATATYPE:

«1» – бинарный код со смещением;

«0» – дополнительный код.

Формат представления выходных логических уровней определяется состоянием вывода DATAMODE:

«1» – LVDS (с учетом нагрузки 100 Ом);

«0» – третье состояние;

«NC» – КМОП.

Сигналы OUTCLK и nOUTCLK могут быть переключены в режим LVDS выводом DATAMODE.

В LVDS режиме за период тактовой частоты дважды выдаются данные: сначала младшие разряды, затем старшие. Т.е. первые полпериода на выводах D0 и D1 присутствуют данные разряда 0, а вторые полпериода данные разряда 1. На выводах D2 и D3 первые полпериода присутствуют данные разряда 2, а вторые полпериода данные разряда 3 и так далее (Рисунок 12).

Возможно использование как встроенного, так и внешнего источника опорного напряжения, значение которого определяет максимальную амплитуду входного сигнала.

Входное сопротивление выводов VINP и VINM (модель входного каскада – ключ и конденсатор, Рисунок 3) зависит от частоты тактирования и определяется формулой:

$R = 1/(FC)$, где F – частота тактирования, C = 1 пФ.

Габаритный чертеж

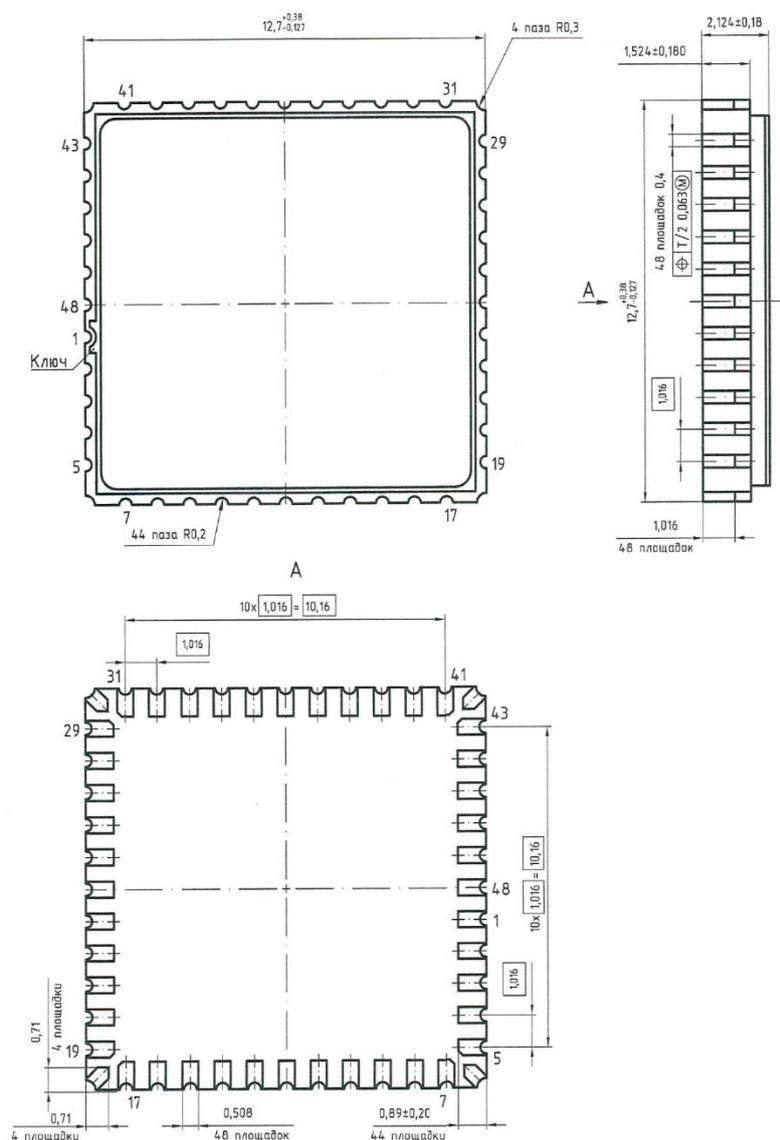


Рисунок 34. Габаритный чертеж корпуса 5142.48-А (размеры в мм)

Информация для заказа

| Обозначение | Маркировка | Корпус | Температурный диапазон |
|---|-------------|-----------|------------------------|
| 5112НВ035 группа А АЕНВ.431320.238ТУ | 5112НВ035А | 5142.48-А | -60°C...+125°C |
| 5112НВ035 группа В АЕНВ.431320.238ТУ | 5112НВ035В | 5142.48-А | -60°C...+85°C |
| К5112НВ035 группа А КФЦС.431000.001ТУ, КФЦС.431320.001.01СП, группа А | К5112НВ035А | 5142.48-А | -60°C...+125°C |
| К5112НВ035 группа В КФЦС.431000.001ТУ, КФЦС.431320.001.01СП, группа В | К5112НВ035В | 5142.48-А | -60°C...+85°C |

Микросхемы категории качества «ВП» маркируются ромбом.

Микросхемы категории качества «ОТК» маркируются буквой «К».

Лист регистрации изменений

| Дата | Версия | Изменения |
|------------|--------|---|
| 14.10.2015 | 1.0 | Исходная версия |
| 22.05.2017 | 1.1 | Изменены электрические параметры микросхемы (таблица 1); Добавлены типовые характеристики АЦП; Удален пункт «Демонстрационная плата». |
| 07.06.2018 | 1.2 | Добавлены таблицы 2, 3, 4, 7; Обновлены временные диаграммы; Обновлен пункт «Описание функционирования микросхемы»; Добавлены пункты «Демонстрационный комплект», «Габаритный чертеж», «Информация для заказа». |
| 31.10.2018 | 2.0 | Обновлены пункты «Описание функционирования микросхемы», «Демонстрационный комплект»; Добавлены рисунки 27 – 31. |
| 06.12.2022 | 2.1 | Обновлен пункт «Основные особенности». Обновлен пункт «Электрические параметры микросхемы»: – объединены таблицы 1 – 4 – обновлена таблица 1. Обновлен пункт «Предельно-допустимые и предельные режимы эксплуатации»: – обновлена таблица 2. Обновлен пункт «Эквивалентные схемы»: – обновлены рисунки 3 – 10. Обновлен пункт «Временные диаграммы»: – обновлены рисунки 11, 12; – обновлена таблица 4. Обновлен пункт «Типовые характеристики»: – обновлены рисунки 13 – 31. Обновлен пункт «Описание функционирования микросхемы»: – обновлен рисунок 33. Удален пункт «Демонстрационный комплект». Обновлен пункт «Информация для заказа». |
| 09.02.2024 | 2.2 | Обновлен пункт «Электрические параметры микросхемы»: – обновлена таблица 1. Обновлен пункт «Предельно-допустимые и предельные режимы эксплуатации»: – обновлена таблица 2. Обновлен пункт «Временные диаграммы»: – обновлены рисунки 11; – обновлена таблица 5. Обновлен пункт «Описание функционирования микросхемы» |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |