

### Основные особенности

- Напряжение питания  $5,0 \text{ В} \pm 5\%$ ;
- 2 канала преобразования;
- 12 разрядов;
- Частота дискретизации до 500 кВыб/с;
- DNL (типичное) 0,6 МЗР;
- INL (типичное) 2,0 МЗР;
- Диапазон входных аналоговых напряжений:  
от 0 до  $+V_{REF}$ ;  
от  $-V_{REF}$  до  $+V_{REF}$ ;  
от  $-2xV_{REF}$  до  $+2xV_{REF}$ ;  
от  $-4xV_{REF}$  до  $+4xV_{REF}$ .
- КМОП цифровой выход данных (прямой бинарный код);
- Встроенный опорный уровень;
- Температурный диапазон от  $-60^\circ\text{C}$  до  $+125^\circ\text{C}$ ;
- Стойкость к СВВФ.

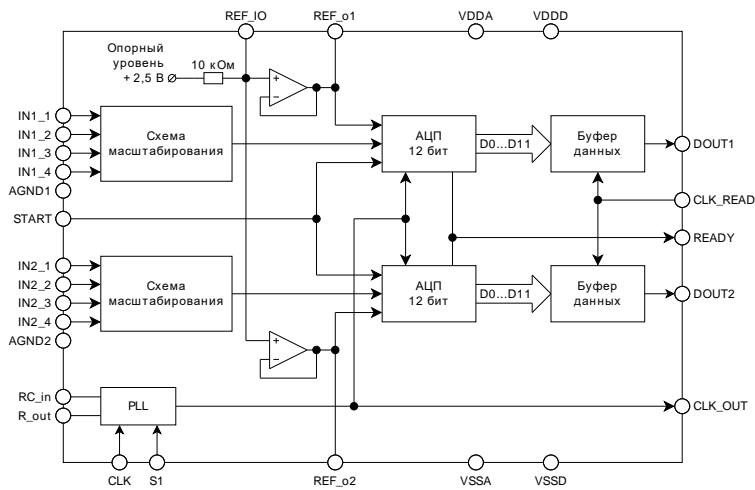


Рисунок 1. Структурная схема



Рисунок 2. Внешний вид  
микросхемы 5400TP045A-001

ГГ – год выпуска  
НН – неделя выпуска

### Общее описание

Микросхема 5400TP045A-001 является 2-х канальным 12-ти разрядным АЦП последовательного приближения с последовательным интерфейсом выходных данных. Микросхема выполнена на базе радиационно-стойкого аналого-цифрового БМК 5400TP04 по технологии КНИ.

АЦП имеет расширенные возможности по приему входных напряжений:

- от 0 до  $+V_{REF}$ ;
- от  $-V_{REF}$  до  $+V_{REF}$ ;
- от  $-2xV_{REF}$  до  $+2xV_{REF}$ ;
- от  $-4xV_{REF}$  до  $+4xV_{REF}$ .

Возможно использование как встроенного, так и внешнего опорного уровня, значение которого определяет максимальную амплитуду входного сигнала.

Выходные данные представлены КМОП логическими уровнями:

- уровень лог. «0» = 0 В;
- уровень лог. «1» = 5,0 В.

В состав микросхемы входит блок умножения частоты (PLL). Блок умножает входную тактовую частоту CLK на 16, выходная тактовая частота CLK\_OUT поступает на АЦП.

Микросхема выполнена в 28-ми выводном металлокерамическом корпусе МК 5123.28-1.01.

## Электрические параметры микросхемы

Таблица 1. Электрические характеристики (температурный диапазон от  $-60^{\circ}\text{C}$  до  $+125^{\circ}\text{C}$ )

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Разрядность (N), бит		12	
Частота выборок (Fs), кВыб/с			500
Дифференциальная нелинейность (DNL), МЗР			
при внутреннем опорном уровне	-0,99	$\pm 0,6$	+2,5
при внешнем опорном уровне	-0,99	$\pm 0,6$	+2,0
Интегральная нелинейность (INL), МЗР			
при внутреннем опорном уровне	-7,0	$\pm 3,5$	+7,0
при внешнем опорном уровне	-4,5	$\pm 2,0$	+4,5
Отсутствие пропусков кода	Гарантировано		
Диапазон входных аналоговых напряжений ( $V_{IN}$ ), В			
включение 1	0		$+V_{REF}$
включение 2	$-V_{REF}$		$+V_{REF}$
включение 3	$-2 \times V_{REF}$		$+2 \times V_{REF}$
включение 4	$-4 \times V_{REF}$		$+4 \times V_{REF}$
Входная емкость, пФ			8,0
Напряжение внутреннего опорного уровня ( $V_{REF}$ ), В	2,35	2,5	2,65
Напряжение внешнего опорного уровня ( $V_{REF_{IO}}$ ), В	2,35	2,5	2,65
Напряжение питания аналоговой части ( $V_{DDA}$ ), В	4,5	5,0	5,25
Напряжение питания цифровой части ( $V_{DDD}$ ), В	4,5	5,0	5,25
Ток потребления, мА		15	26
Выходная частота PLL, МГц (при тактовой частоте CLK = 1 МГц)	15	16	17
Напряжение высокого уровня входных цифровых сигналов (S1, CLK, CLK_READ, START), В	$V_{DDD} - 0,5$	$V_{DDD}$	
Напряжение низкого уровня входных цифровых сигналов (S1, CLK, CLK_READ, START), В		0	0,5
Напряжение высокого уровня выходных цифровых сигналов (CLK_OUT, READY, DOUT1, DOUT2), В	2,4	$V_{DDD}$	
Напряжение низкого уровня выходных цифровых сигналов (CLK_OUT, READY, DOUT1, DOUT2), В		0	0,4
Входная емкость цифровых выводов (S1, CLK, START, CLK_READ), пФ		4,0	
Выходная емкость цифровых выводов (DOUT1, DOUT2, READY, CLK_OUT), пФ			10

## Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 1000 В по модели человеческого тела. Требуется мер предосторожности.

## Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

Параметр, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение аналогового питания (VDDA–VSSA), В	4,5	5,25	–0,3	5,35
Напряжение цифрового питания (VDDD–VSSD), В	4,5	5,25	–0,3	5,35
Напряжение внешнего опорного уровня (VREF_IO), В	2,35	2,65	–0,3	3,0
Диапазон входного аналогового сигнала (VIN – AGND) при схеме включения 1 (Рисунок 23), В	–0,3	2,65	–0,3	VREF_IO
Диапазон входного аналогового сигнала (VIN – AGND) при схеме включения 2 (Рисунок 24), В	–2,65	2,65	–2,75	VREF_IO
Диапазон входного аналогового сигнала (VIN – AGND) при схеме включения 3 (Рисунок 25), В	–5,3	5,3	–2xVREF_IO	2xVREF_IO
Диапазон входного аналогового сигнала (VIN – AGND) при схеме включения 4 (Рисунок 26), В	–10,6	10,6	–4xVREF_IO	4xVREF_IO
Напряжение высокого уровня входных цифровых сигналов (CLK, CLK_READ, S1, START), В	VDDD – 0,5	VDDD+0,3 <sup>1)</sup>	–0,3	VDDD+0,5 <sup>2)</sup>
Напряжение низкого уровня входных цифровых сигналов (CLK, CLK_READ, S1, START), В	0	0,5	–0,3	VDDD+0,5 <sup>2)</sup>
Выходные токи, мА	–	5	–	20
Температура эксплуатации, °С	–60	+125	–60	+150
Примечание: 1) не более 5,25 В 2) не более 5,35 В				

## Конфигурация и функциональное описание выводов

Таблица 3. Функциональное описание выводов

№ вывода	Наименование вывода	Назначение вывода
1	CLK	Вход тактовой частоты
2	CLK_READ	Вход тактовой частоты чтения данных
3	READY	Сигнал готовности выходных данных
4	START	Вход сигнала начала преобразования
5	DOUT1	Последовательный выход данных с АЦП1
6	DOUT2	Последовательный выход данных с АЦП2
7	VDDD	Вывод положительного цифрового питания
8	VDDA	Вывод положительного аналогового питания
9	AGND1	Отрицательный вход АЦП1 (общий)
10	REF_o1	Вывод для подключения внешнего шунтирующего конденсатора внутреннего опорного напряжения АЦП1
11	IN1_2	Положительный вход АЦП1
12	IN1_4	Положительный вход АЦП1
13	IN1_1	Положительный вход АЦП1
14	IN1_3	Положительный вход АЦП1
15	REF_IO	Вывод для подключения внешнего шунтирующего конденсатора / вывод для подключения внешнего опорного уровня
16	IN2_3	Положительный вход АЦП2
17	IN2_1	Положительный вход АЦП2
18	IN2_4	Положительный вход АЦП2
19	IN2_2	Положительный вход АЦП2
20	REF_o2	Вывод для подключения внешнего шунтирующего конденсатора внутреннего опорного напряжения АЦП2
21	AGND2	Отрицательный вход АЦП2 (общий)
22	VSSA	Вывод отрицательного аналогового питания или общий
23	S1	Вывод выбора работы блока умножителя частоты PLL: «1» – блок включен; «0» – блок выключен.
24	VSSD	Вывод отрицательного цифрового питания или общий
25	VSSA	Вывод отрицательного аналогового питания или общий
26	R_out	Вывод для подключения внешнего резистора блока умножения частоты PLL
27	RC_in	Вывод для подключения внешнего резистора и конденсатора блока умножения частоты PLL
28	CLK_OUT	Выход тактовой частоты

## Эквивалентные схемы

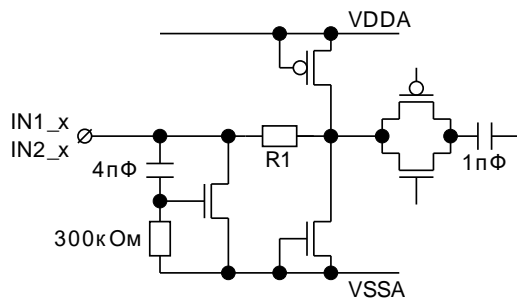


Рисунок 3. Аналоговые входы IN1\_x, IN2\_x  
R1 – резистор схемы масштабирования

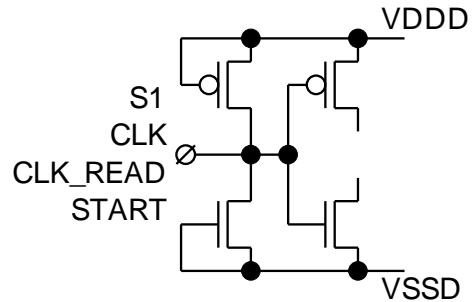


Рисунок 4. Цифровые входы S1, CLK, CLK\_READ, START

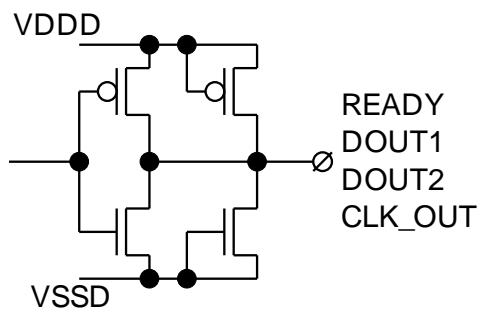


Рисунок 5. Цифровые выходы READY, DOUT1, DOUT2, CLK\_OUT

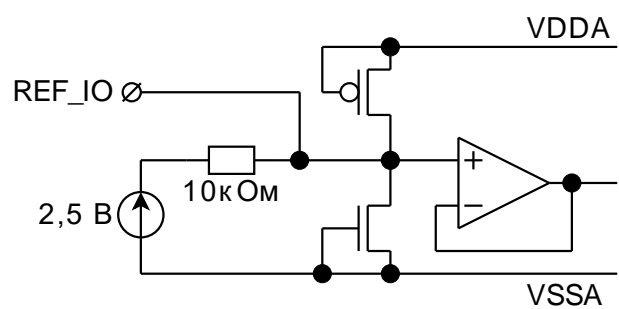


Рисунок 6. Вход внешнего опорного напряжения REF\_IO

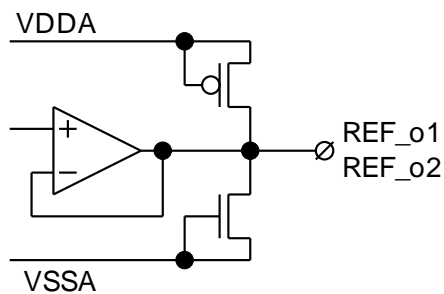


Рисунок 7. Выходы опорного уровня REF\_o1, REF\_o2

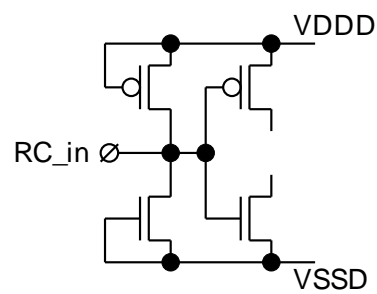


Рисунок 8. Вывод блока умножения частоты RC\_in

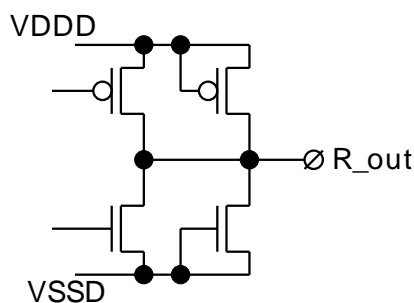


Рисунок 9. Вывод блока умножения частоты R\_out

## Временные диаграммы

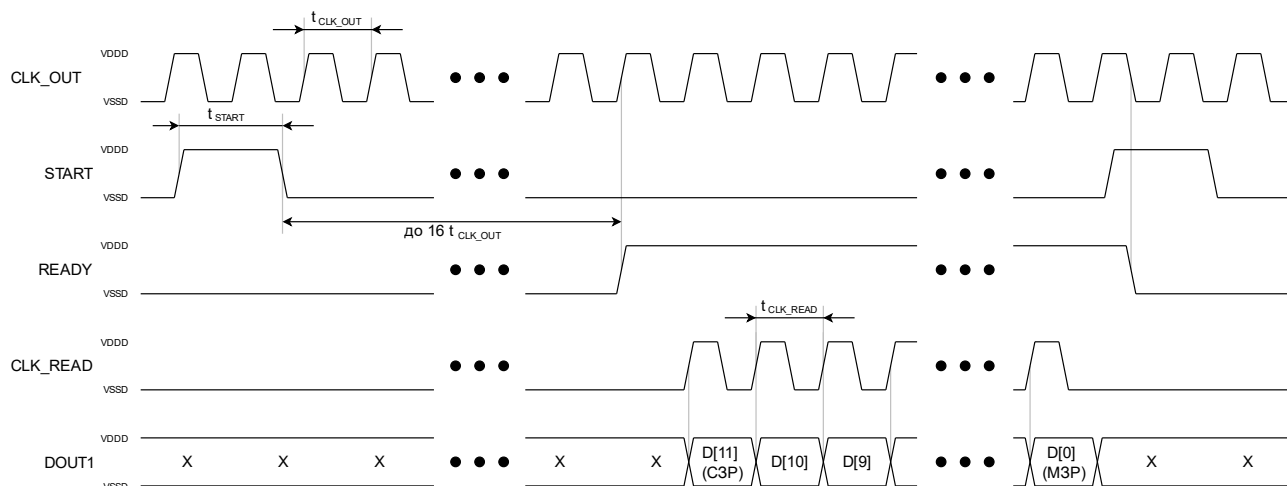


Рисунок 10. Временная диаграмма работы АЦП

Таблица 4. Справочные данные

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Период тактового сигнала ( $t_{CLK\_OUT}$ ), нс	125		
Длительность сигнала START ( $t_{START}$ ), нс	$2 \cdot t_{CLK\_OUT}$		
Коэффициент заполнения тактового сигнала, %	40	50	60
Период тактовой частоты чтения данных ( $t_{CLK\_READ}$ ), нс	125		
Конвейерная задержка, такты CLK_OUT		16	

Конвейерная задержка – задержка выходных данных, соответствующих выбранному входному сигналу в тактах входной частоты.

По спаду сигнала START начинается фактическая процедура преобразования, включающая в себя задержку на установление УВХ и последовательное формирование выходного кода. Сигнал START запускает процедуру преобразования сразу на 2 канала АЦП.

Общее время преобразования не превышает 16 периодов сигнала CLK\_OUT. По завершению процедуры преобразования на выводе READY формируется положительный сигнал (лог. «1»), который будет держаться до следующего прихода команды START.

Данные выдаются по фронту сигнала CLK\_READ и могут быть считаны по его срезу. Выходные данные представлены в прямом бинарном коде.

Таблица 5. Формат выходных данных

$V_{IN} - AGND$				Выходной код
$+V_{REF}$	$+V_{REF}$	$+2xV_{REF}$	$+4xV_{REF}$	1111 1111 1111
$+V_{REF}/2$	0	0	0	0111 1111 1111
0	$-V_{REF}$	$-2xV_{REF}$	$-4xV_{REF}$	0000 0000 0000

## Типовые характеристики

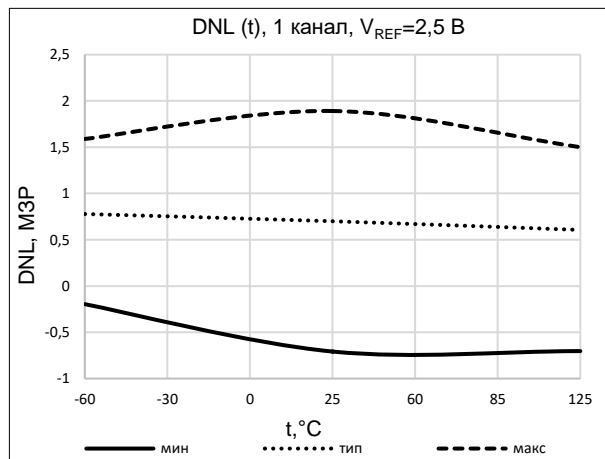


Рисунок 11. Зависимость дифференциальной нелинейности от температуры (внутренний опорный уровень)

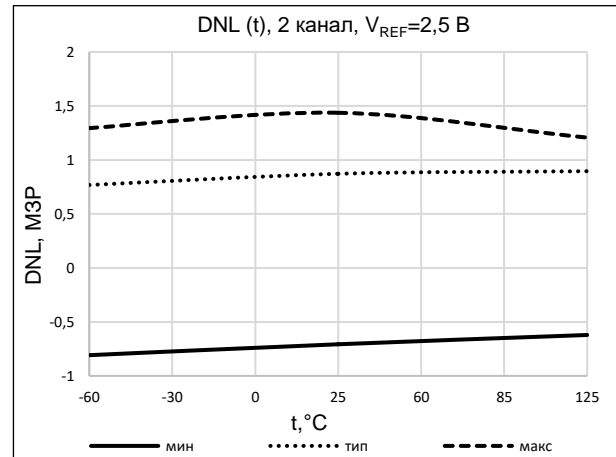


Рисунок 12. Зависимость дифференциальной нелинейности от температуры (внутренний опорный уровень)

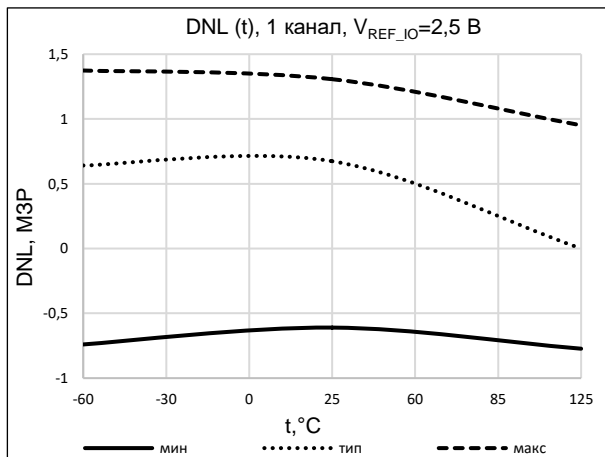


Рисунок 13. Зависимость дифференциальной нелинейности от температуры (внешний опорный уровень)

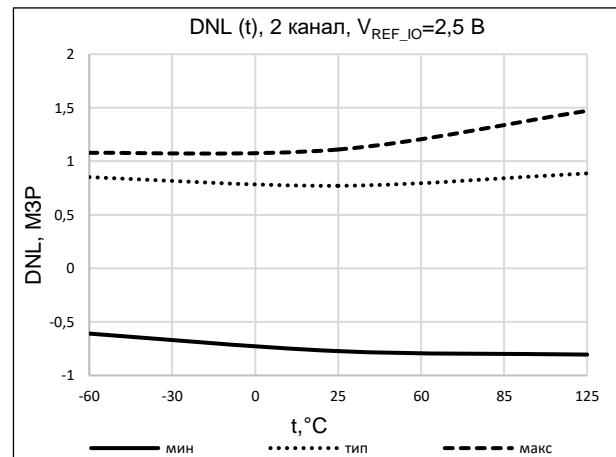


Рисунок 14. Зависимость дифференциальной нелинейности от температуры (внешний опорный уровень)

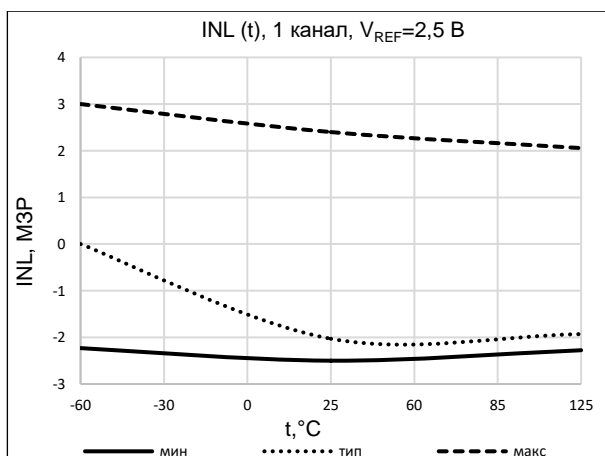


Рисунок 15. Зависимость интегральной нелинейности от температуры (внутренний опорный уровень)

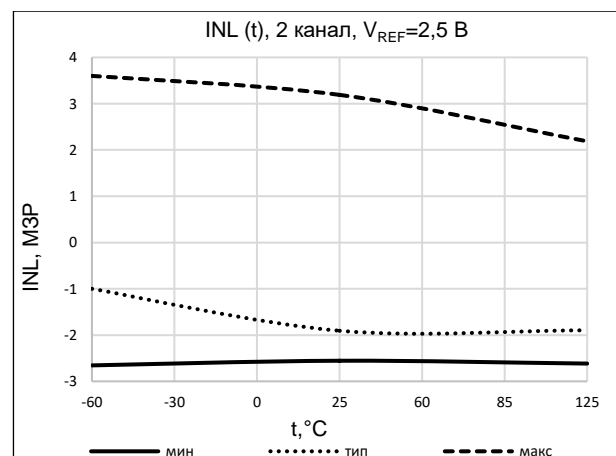


Рисунок 16. Зависимость интегральной нелинейности от температуры (внутренний опорный уровень)

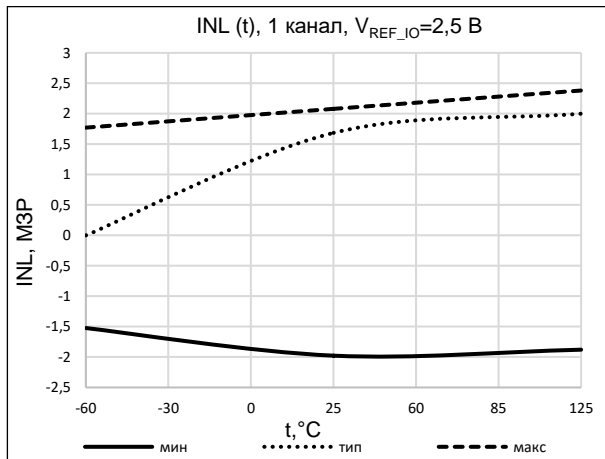


Рисунок 17. Зависимость интегральной нелинейности от температуры (внешний опорный уровень)

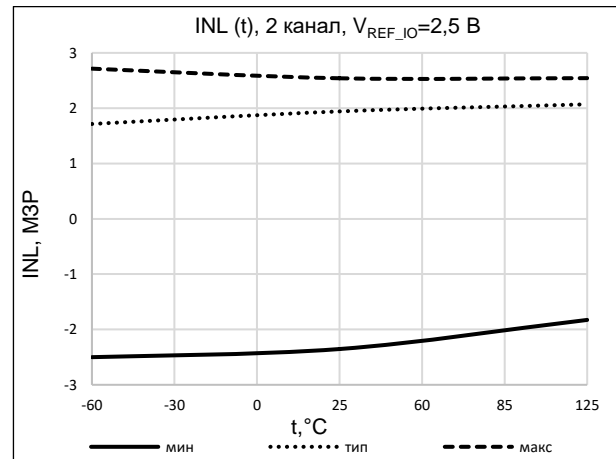


Рисунок 18. Зависимость интегральной нелинейности от температуры (внешний опорный уровень)

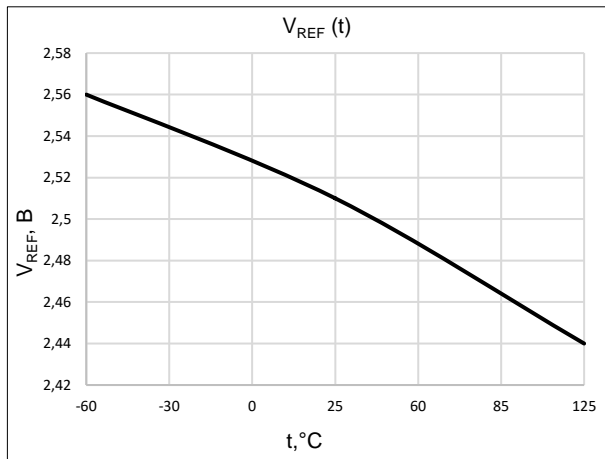


Рисунок 19. Зависимость опорного напряжения от температуры

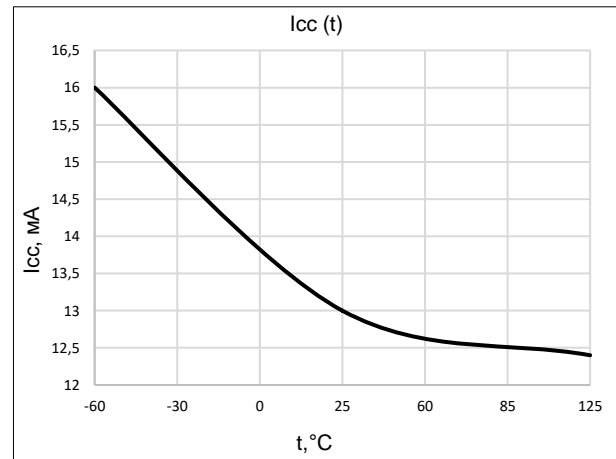


Рисунок 20. Зависимость динамического тока потребления от температуры



## Рекомендуемая схема применения

Таблица 6. Таблица внешних компонентов

Компонент	Номинал
R1	5 кОм
C1, C2	200 нФ
C3, C5	100 нФ
C4	1 мкФ

Конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них обязательно должен быть высокочастотный керамический емкостью не менее 10 нФ. Шунтирующие конденсаторы должны располагаться на плате в непосредственной близости к соответствующим выводам микросхемы.

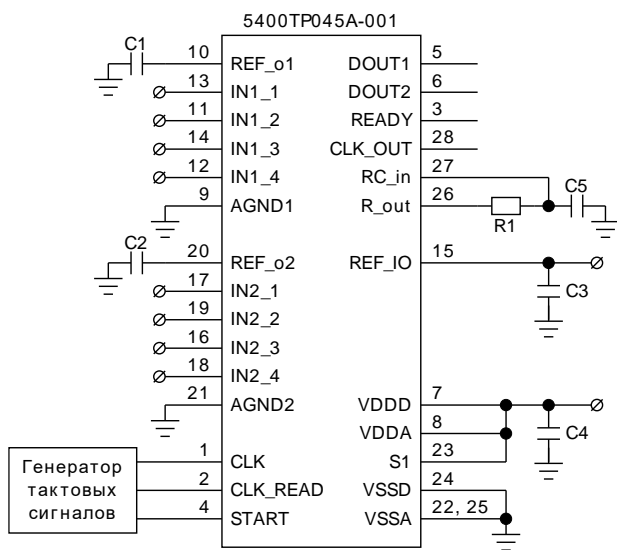


Рисунок 21. Схема применения с включенным блоком умножения частоты (PLL)

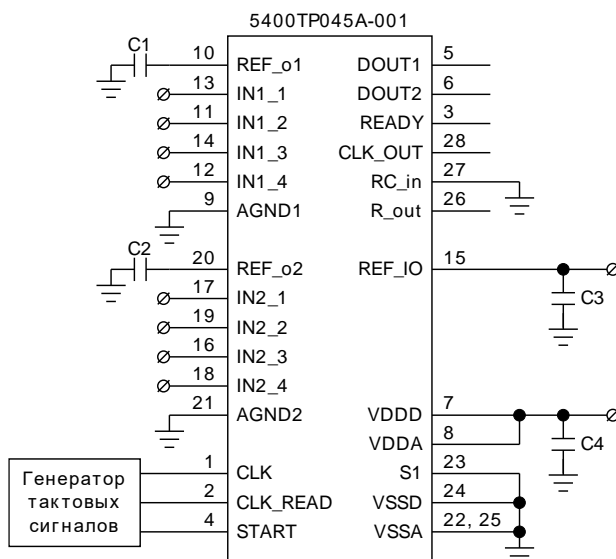
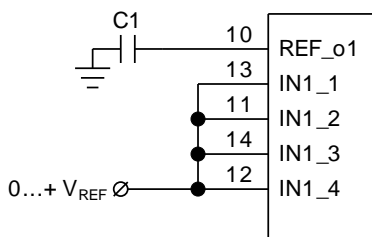
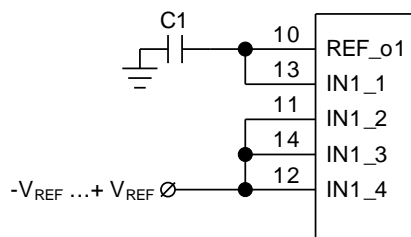
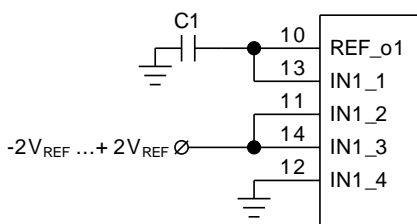
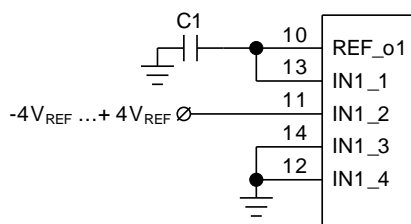


Рисунок 22. Схема применения с выключенным блоком умножения частоты (PLL)

На рисунках 23 – 26 представлены различные схемы включения на примере первого канала для разного набора входных напряжений. Для второго канала схема аналогична.

Рисунок 23. Включение 1: диапазон входного напряжения от 0 до  $+V_{REF}$ Рисунок 24. Включение 2: диапазон входного напряжения от  $-V_{REF}$  до  $+V_{REF}$ Рисунок 25. Включение 3: диапазон входного напряжения от  $-2xV_{REF}$  до  $+2xV_{REF}$ Рисунок 26. Включение 4: диапазон входного напряжения от  $-4xV_{REF}$  до  $+4xV_{REF}$

## Описание функционирования микросхемы

Микросхема представляет собой 2-ух канальный 12-ти разрядный аналого-цифровой преобразователь последовательного приближения с последовательным интерфейсом выходных данных.

АЦП имеет расширенные возможности по приему входных напряжений:

- от 0 до  $+V_{REF}$ ;
- от  $-V_{REF}$  до  $+V_{REF}$ ;
- от  $-2xV_{REF}$  до  $+2xV_{REF}$ ;
- от  $-4xV_{REF}$  до  $+4xV_{REF}$ .

Реализация схемы масштабирования для первого канала представлена на рисунке 27.

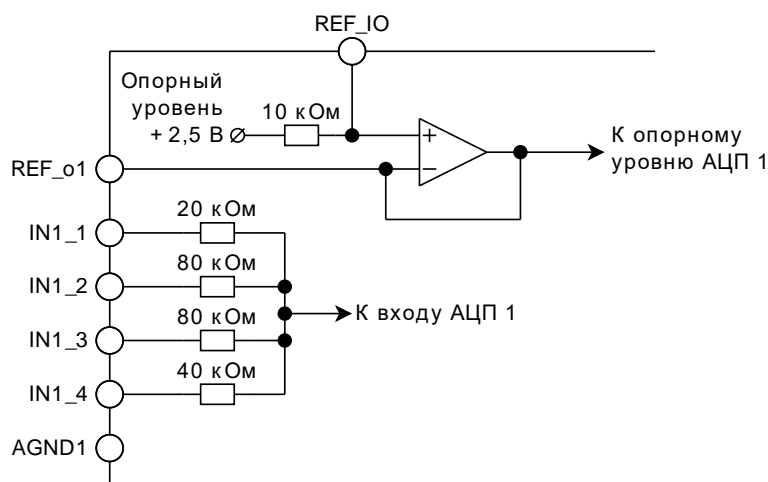
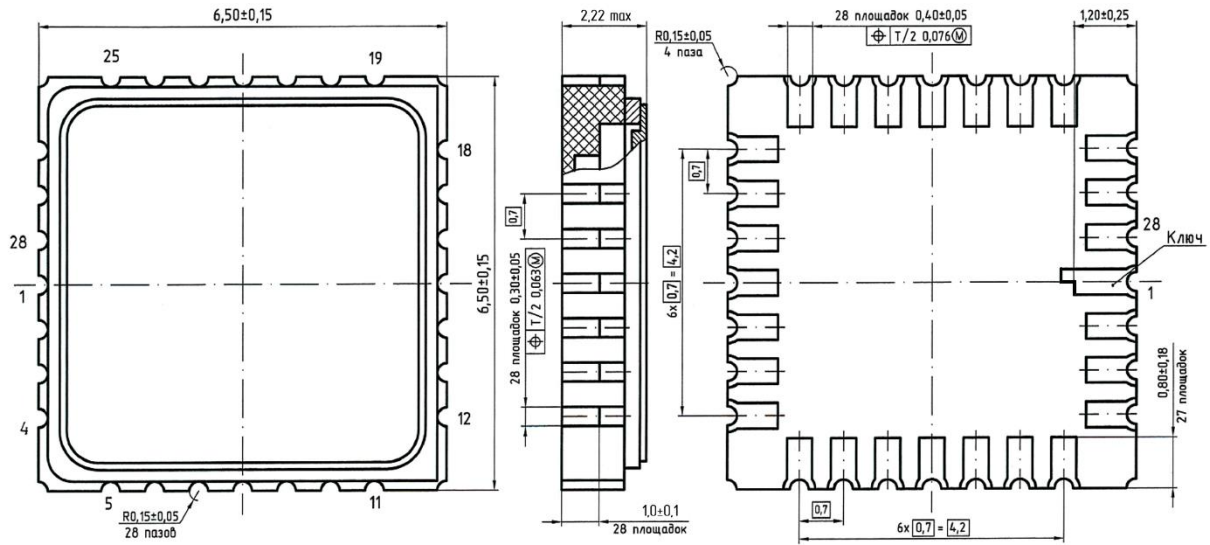


Рисунок 27. Схема масштабирования

Возможно использование как встроенного, так и внешнего опорного уровня, значение которого определяет максимальную амплитуду входного сигнала. Напряжение внешнего опорного уровня подается на вывод REF\_IO.

В состав микросхемы входит блок умножения частоты (PLL). Блок умножает входную тактовую частоту CLK на 16, выходная тактовая частота CLK\_OUT поступает на АЦП. Работа блока определяется состоянием вывода S1: «0» – блок выключен, «1» – блок включен.

## Габаритный чертеж



1. \* Размеры для справок.
2. Нумерация выводных площадок показана условно.

Рисунок 28. Габаритный чертеж корпуса МК 5123.28-1.01 (размеры в мм)

## Информация для заказа

Обозначение	Маркировка	Корпус	Температурный диапазон
5400ТР045А-001 АЕНВ.431260.237ТУ карта заказа КФЦС.431260.003-001Д16	045А-001	МК 5123.28-1.01	-60°C...+125°C

Микросхемы категории качества «ВП» маркируются ромбом.

## Лист регистрации изменений

Дата	Версия	Изменения
19.01.2017	1.0	Исходная версия
25.01.2017	1.1	Коррекция рисунка 1. Сигнал CLK_READ
10.08.2017	1.2	Скорректированы «Эксплуатационные характеристики микросхемы» Скорректированы «Электрические параметры» (Таблица 1) Добавлен пункт «Типовые характеристики»
22.11.2019	2.0	Обновлен пункт «Электрические параметры микросхемы»: – обновлена таблица 1. Обновлен пункт «Предельно-допустимые и предельные режимы эксплуатации»: – обновлена таблица 2. Обновлен пункт «Конфигурация и функциональное описание выводов»: – добавлен столбец №КП в таблице 3. Обновлен пункт «Временная диаграмма»: – обновлен рисунок 10; – добавлена таблица 5. Обновлен пункт «Типовые характеристики»: – добавлены рисунки 11 – 20. Обновлен пункт «Рекомендуемая схема применения»: – обновлен рисунок 22. Добавлены пункты «Габаритный чертеж», «Информация для заказа».
23.06.2020	2.1	Обновлен пункт «Типовые характеристики»: – обновлены рисунки 11 – 20. Обновлен пункт «Предельно-допустимые и предельные режимы эксплуатации»: – обновлена таблица 2. Обновлен пункт «Временные диаграммы»: – обновлена таблица 4.
13.08.2021	2.2	Обновлен пункт «Электрические параметры микросхемы»: – обновлена таблица 1. Обновлен пункт «Временные диаграммы»: – обновлен рисунок 10; – обновлена таблица 5. Обновлен пункт «Габаритный чертеж»: – удален рисунок 29; – удалена таблица 7. Обновлен пункт «Информация для заказа».
17.01.2022	2.3	Обновлен пункт «Электрические параметры микросхемы»: – обновлена таблица 1. Обновлен пункт «Предельно-допустимые и предельные режимы эксплуатации»: – обновлена таблица 2.