

Основные особенности

- 2 канала преобразования;
- 12 разрядов;
- Частота дискретизации до 500 кВыб/с;
- DNL (типичное) 0,6 МЗР;
- INL (типичное) 2,0 МЗР;
- Диапазон входных аналоговых напряжений:
от 0 до $+V_{REF}$;
от $-V_{REF}$ до $+V_{REF}$;
от $-2xV_{REF}$ до $+2xV_{REF}$;
от $-4xV_{REF}$ до $+4xV_{REF}$.
- КМОП цифровой выход данных (прямой бинарный код);
- Встроенный опорный уровень;
- Напряжение питания $5,0 \text{ В} \pm 5\%$;
- Температурный диапазон от -60°C до $+125^\circ\text{C}$.

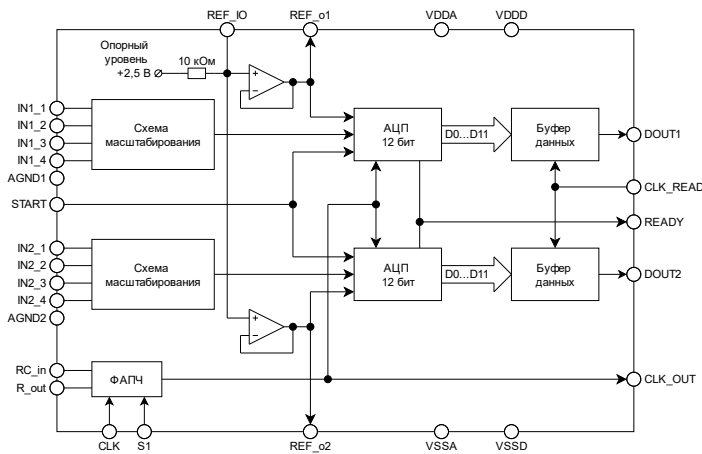


Рисунок 1. Структурная схема



ГГ – год выпуска
НН – неделя выпуска
Y – группа А или Б

 Рисунок 2. Внешний вид
микросхемы 5400TP045A-001

Общее описание

Микросхема 5400TP045A-001 – 2-х канальный 12-ти разрядный АЦП последовательного приближения с последовательным интерфейсом выходных данных. Микросхема выполнена на базе радиационно-стойкого аналого-цифрового БМК 5400TP04 по технологии КНИ.

АЦП имеет расширенные возможности по приему входных напряжений:

- от 0 до $+V_{REF}$;
- от $-V_{REF}$ до $+V_{REF}$;
- от $-2xV_{REF}$ до $+2xV_{REF}$;
- от $-4xV_{REF}$ до $+4xV_{REF}$.

Возможно использование как встроенного, так и внешнего опорного уровня, значение которого определяет максимальную амплитуду входного сигнала.

В состав микросхемы входит блок ФАПЧ. Блок умножает входную тактовую частоту CLK на 16, выходная тактовая частота CLK_OUT поступает на АЦП.

Микросхема выполнена в 28-ми выводном металлокерамическом корпусе МК 5123.28-1.01.

Электрические параметры микросхемы

Таблица 1. Электрические характеристики (температурный диапазон от -60°C до $+125^{\circ}\text{C}$)

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Дифференциальная нелинейность (DNL), МЗР при внутреннем опорном уровне ¹⁾ при внешнем опорном уровне	-0,99 -0,99	$\pm 0,6$ $\pm 0,6$	+2,5 +2,0
Интегральная нелинейность (INL), МЗР при внутреннем опорном уровне ¹⁾ при внешнем опорном уровне	-7,0 -4,5	$\pm 3,5$ $\pm 2,0$	+7,0 +4,5
Напряжение внутреннего опорного уровня V_{REF} , (REF_o1, REF_o2) В	2,35	2,5	2,65
Выходная частота ФАПЧ, МГц (при тактовой частоте CLK = 1 МГц)	15	16	17
Напряжение высокого уровня выходных цифровых сигналов (CLK_OUT, READY, DOUT1, DOUT2), В при $I_H \leq 1,5$ мА	4,5	VDDD	
Напряжение низкого уровня выходных цифровых сигналов (CLK_OUT, READY, DOUT1, DOUT2), В при $I_H \leq 1,5$ мА		0	0,5
Ток потребления, мА		13	26
Справочный данные			
Разрядность (N), бит		12	
Частота выборок (Fs), кВыб/с			500
Входная емкость цифровых выводов (S1, CLK, START, CLK_READ), пФ		4,0	
Выходная емкость цифровых выводов (DOUT1, DOUT2, READY, CLK_OUT), пФ			10
Примечание: 1) параметр не контролируется для микросхем группы Б			

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 1000 В по модели человеческого тела. Требуется мер предосторожности.

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-001Д16.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

Параметр, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение аналогового питания (VDDA–VSSA), В	4,5	5,25	–0,3	5,35
Напряжение цифрового питания (VDDD–VSSD), В	4,5	5,25	–0,3	5,35
Напряжение внешнего опорного уровня (VREF_IO), В	2,35	2,65	–0,3	3,0
Диапазон входного аналогового сигнала (VIN – AGND) при схеме включения 1 (Рисунок 25), В	–0,3	2,65	–0,3	VREF_IO
Диапазон входного аналогового сигнала (VIN – AGND) при схеме включения 2 (Рисунок 26), В	–2,65	2,65	–VREF_IO	VREF_IO
Диапазон входного аналогового сигнала (VIN – AGND) при схеме включения 3 (Рисунок 27), В	–5,25	5,25	–2xVREF_IO ⁽³⁾	2xVREF_IO ⁽⁴⁾
Диапазон входного аналогового сигнала (VIN – AGND) при схеме включения 4 (Рисунок 28), В	–10,5	10,5	–4xVREF_IO ⁽⁵⁾	4xVREF_IO ⁽⁶⁾
Напряжение высокого уровня входных цифровых сигналов (CLK, CLK_READ, S1, START), В	VDDD – 0,5	VDDD+0,3 ⁽¹⁾	–0,3	VDDD+0,5 ⁽²⁾
Напряжение низкого уровня входных цифровых сигналов (CLK, CLK_READ, S1, START), В	0	0,5	–0,3	VDDD+0,5 ⁽²⁾
Выходной ток (DOUT1, DOUT2), мА	–	1,5	–	5,0
Температура эксплуатации, °С	–60	+125	–60	+150
Примечание: 1) не более 5,25 В 2) не более 5,35 В 3) не менее –5,35 В 4) не более 5,35 В 5) не менее –10,7 В 6) не более 10,7 В				

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-001Д16.

Конфигурация и функциональное описание выводов

Таблица 3. Функциональное описание выводов

№ вывода	Тип вывода	Наименование вывода	Назначение вывода
1	DI	CLK	Вход тактовой частоты
2	DI	CLK_READ	Вход тактовой частоты чтения данных
3	DO	READY	Сигнал готовности выходных данных
4	DI	START	Вход сигнала начала преобразования
5	DO	DOUT1	Последовательный выход данных с АЦП1
6	DO	DOUT2	Последовательный выход данных с АЦП2
7	PWR	VDDD	Вывод положительного цифрового питания
8	PWR	VDDA	Вывод положительного аналогового питания
9	PWR	AGND1	Отрицательный вход АЦП1 (общий)
10	AO	REF_o1	Вывод для подключения внешнего шунтирующего конденсатора внутреннего опорного напряжения АЦП1
11	AI	IN1_2	Положительный вход АЦП1
12	AI	IN1_4	Положительный вход АЦП1
13	AI	IN1_1	Положительный вход АЦП1
14	AI	IN1_3	Положительный вход АЦП1
15	AI/AO	REF_IO	Вывод для подключения внешнего опорного уровня / вывод для подключения внешнего шунтирующего конденсатора внутреннего опорного напряжения
16	AI	IN2_3	Положительный вход АЦП2
17	AI	IN2_1	Положительный вход АЦП2
18	AI	IN2_4	Положительный вход АЦП2
19	AI	IN2_2	Положительный вход АЦП2
20	AO	REF_o2	Вывод для подключения внешнего шунтирующего конденсатора внутреннего опорного напряжения АЦП2
21	PWR	AGND2	Отрицательный вход АЦП2 (общий)
22	PWR	VSSA	Вывод отрицательного аналогового питания или общий
23	DI	S1	Вывод выбора работы блока умножителя частоты PLL: лог. «1» – блок включен; лог. «0» – блок выключен.
24	PWR	VSSD	Вывод отрицательного цифрового питания или общий
25	PWR	VSSA	Вывод отрицательного аналогового питания или общий
26	DI/DO	R_out	Вывод для подключения внешнего резистора блока умножения частоты PLL
27	DI/DO	RC_in	Вывод для подключения внешнего резистора и конденсатора блока умножения частоты PLL
28	DO	CLK_OUT	Выход тактовой частоты
<p>Примечание: AI – аналоговый вход; AO – аналоговый выход; DI – цифровой вход; DO – цифровой выход; PWR – вывод напряжения питания.</p>			

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-001Д16.

Эквивалентные схемы

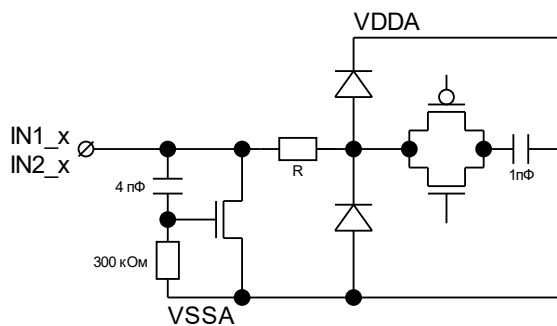


Рисунок 3. Аналоговые входы IN1_x, IN2_x
R – резистор схемы масштабирования

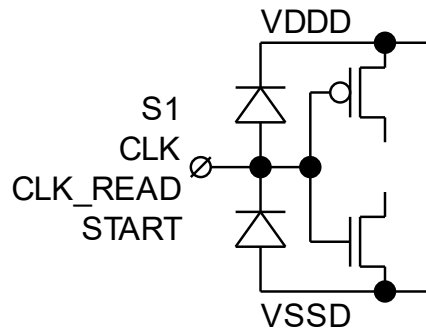


Рисунок 4. Цифровые входы S1, CLK, CLK_READ, START

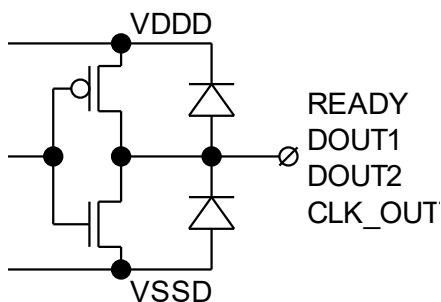


Рисунок 5. Цифровые выходы READY, DOUT1, DOUT2, CLK_OUT

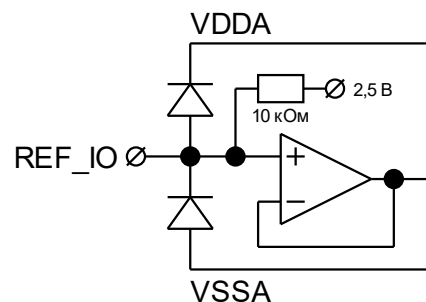


Рисунок 6. Вход внешнего опорного напряжения REF_IO

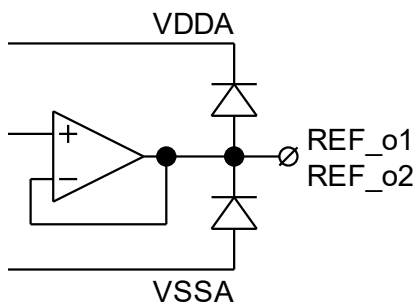


Рисунок 7. Выходы опорного уровня REF_o1, REF_o2

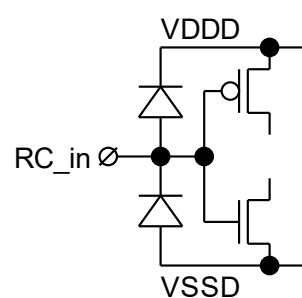


Рисунок 8. Вывод блока умножения частоты RC_in

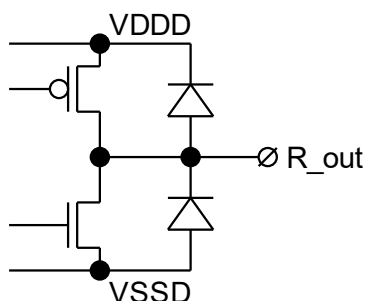


Рисунок 9. Вывод блока умножения частоты R_out

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-001Д16.

Временные диаграммы

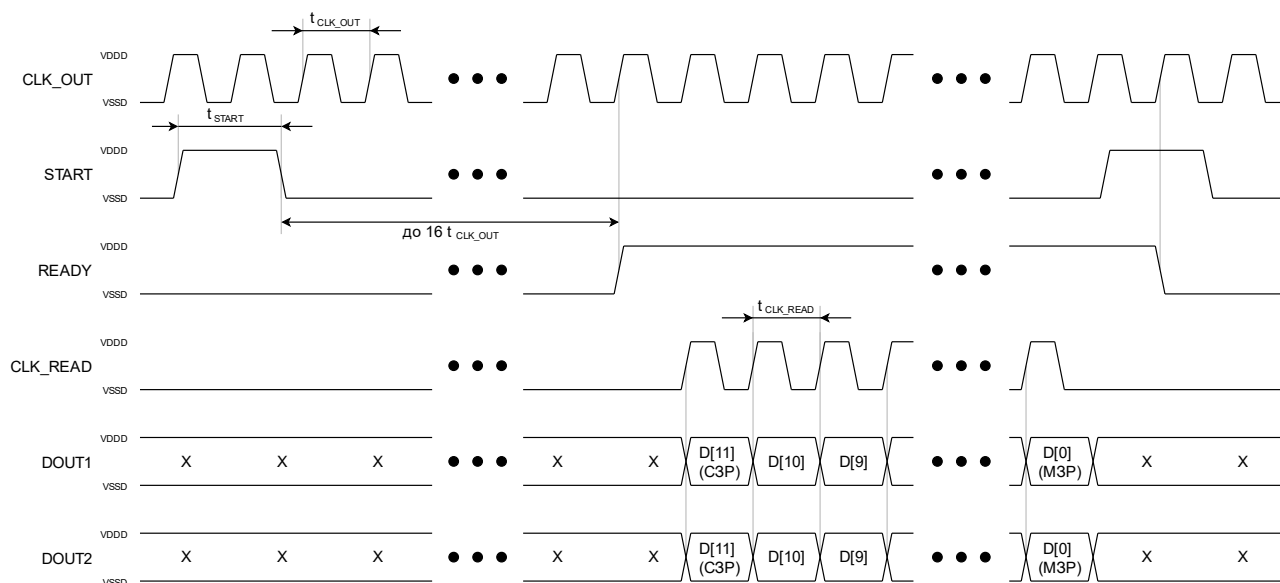


Рисунок 10. Временная диаграмма работы АЦП

Таблица 4. Справочные данные

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Период тактового сигнала (t_{CLK_OUT}), нс	125		
Коэффициент заполнения тактового сигнала, %	40	50	60
Длительность сигнала START (t_{START}), нс	$2 \cdot t_{CLK_OUT}$		
Период тактовой частоты чтения данных (t_{CLK_READ}), нс	125		
Конвейерная задержка, такты CLK_OUT		16	

Конвейерная задержка – задержка выходных данных, соответствующих выбранному входному сигналу в тактах входной частоты.

По фронту сигнала START открываются ключи, которые соединяют конденсаторы хранения УВХ с входным сигналом, по срезу сигнала START ключи закрываются. При несоблюдении минимальной длительности сигнала START возможен запуск преобразования микросхемой с получением недостоверного результата из-за нарушения условий выборки входного сигнала.

Сигнал START запускает процедуру преобразования сразу на 2 канала АЦП.

Сигнал START может быть асинхронен с тактовой частотой CLK_OUT. Общее время преобразования не превышает 16 периодов сигнала CLK_OUT. По завершению процедуры преобразования на выводе READY формируется лог. «1», данные готовы для считывания.

Данные выдаются по фронту сигнала CLK_READ и могут быть считаны по его срезу. Сигнал CLK_READ может быть асинхронен с тактовой частотой CLK_OUT. Выходные данные представлены в прямом бинарном коде.

После подачи сигнала START, сигнал READY переключится в лог. «0» по фронту тактового сигнала, но не менее чем через полпериода тактовой частоты.

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-001Д16.

Таблица 5. Формат выходных данных

$V_{IN} - AGND$				Выходной код
Схема включения 1 (Рисунок 25)	Схема включения 2 (Рисунок 26)	Схема включения 3 (Рисунок 27)	Схема включения 4 (Рисунок 28)	
$>+V_{REF}$	$>+V_{REF}$	$>+2xV_{REF}$	$>+4xV_{REF}$	1111 1111 1111
$+V_{REF}$	$+V_{REF}$	$+2xV_{REF}$	$+4xV_{REF}$	1111 1111 1111
$+V_{REF}/2$	0	0	0	0111 1111 1111
0	$-V_{REF}$	$-2xV_{REF}$	$-4xV_{REF}$	0000 0000 0000
<0	$<-V_{REF}$	$<-2xV_{REF}$	$<-4xV_{REF}$	0000 0000 0000

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-001Д16.

Типовые характеристики

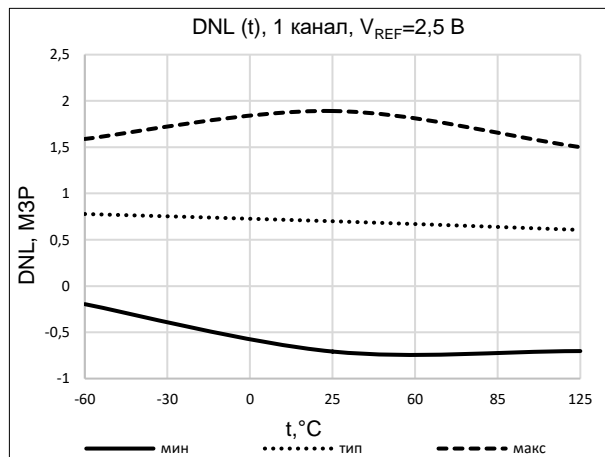


Рисунок 11. Зависимость дифференциальной нелинейности от температуры (внутренний опорный уровень)

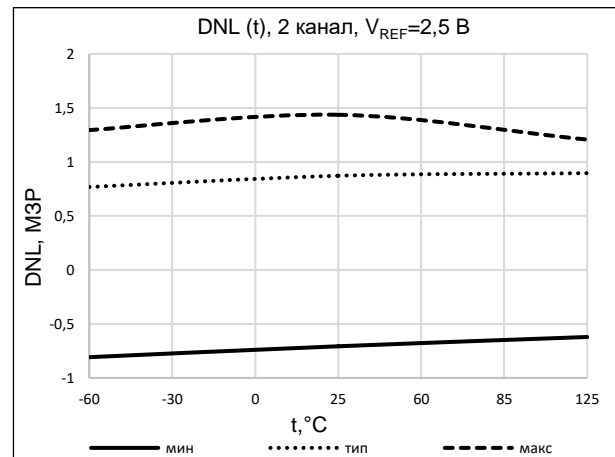


Рисунок 12. Зависимость дифференциальной нелинейности от температуры (внутренний опорный уровень)

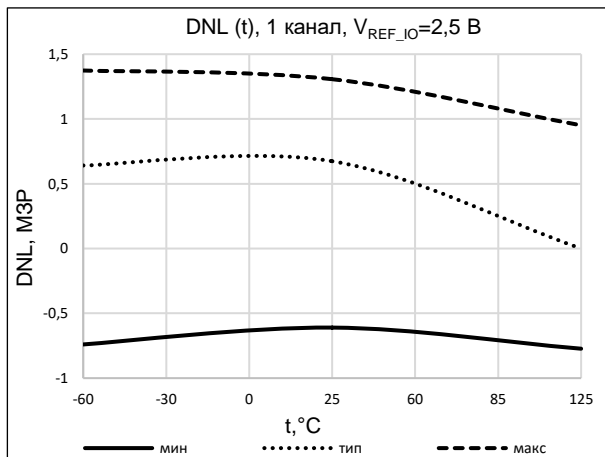


Рисунок 13. Зависимость дифференциальной нелинейности от температуры (внешний опорный уровень)

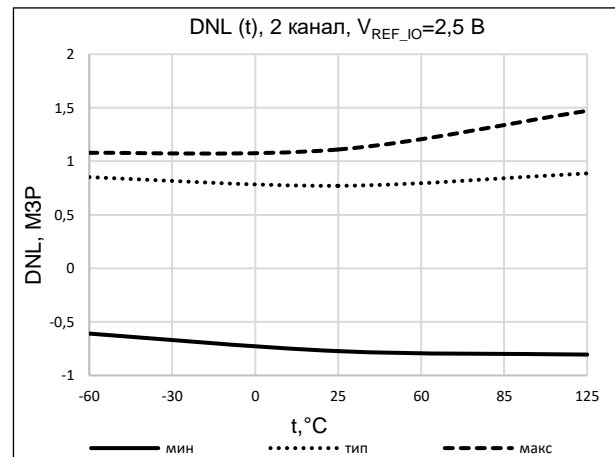


Рисунок 14. Зависимость дифференциальной нелинейности от температуры (внешний опорный уровень)

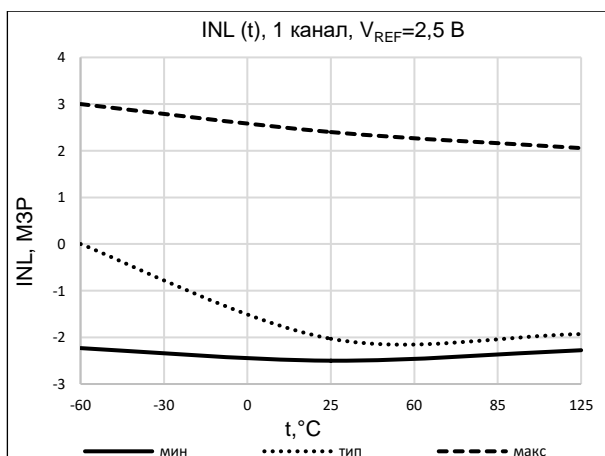


Рисунок 15. Зависимость интегральной нелинейности от температуры (внутренний опорный уровень)

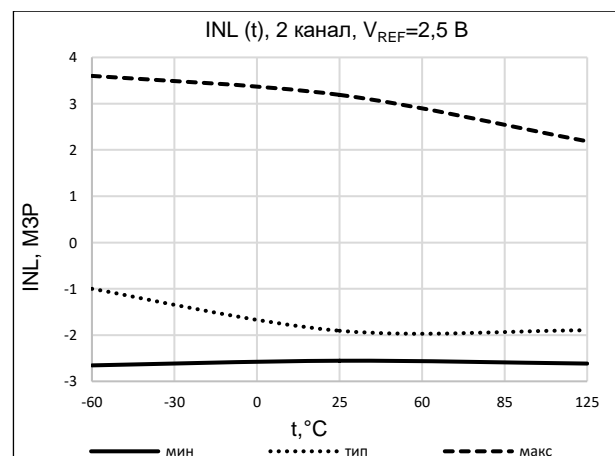


Рисунок 16. Зависимость интегральной нелинейности от температуры (внутренний опорный уровень)

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-001Д16.

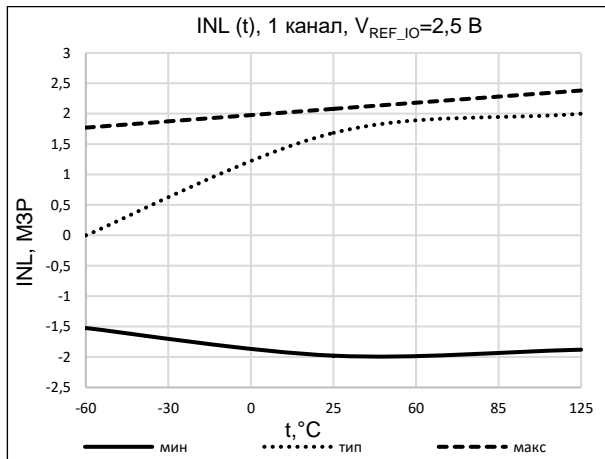


Рисунок 17. Зависимость интегральной нелинейности от температуры (внешний опорный уровень)

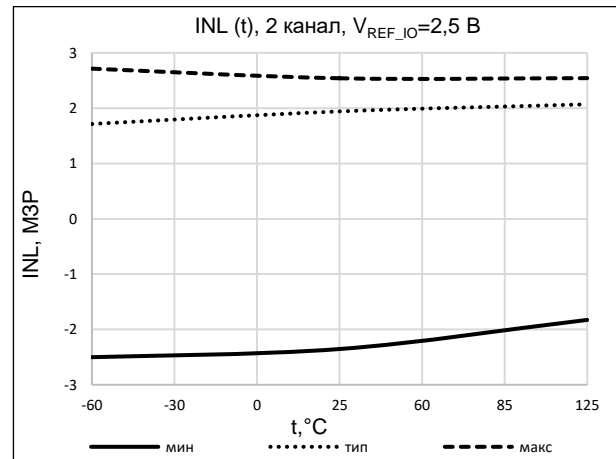


Рисунок 18. Зависимость интегральной нелинейности от температуры (внешний опорный уровень)

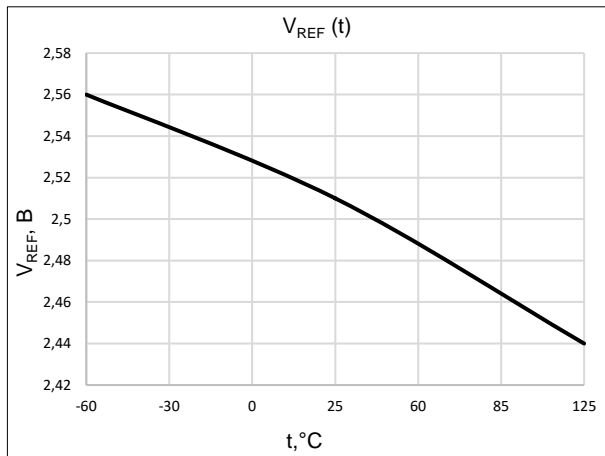


Рисунок 19. Зависимость опорного напряжения от температуры

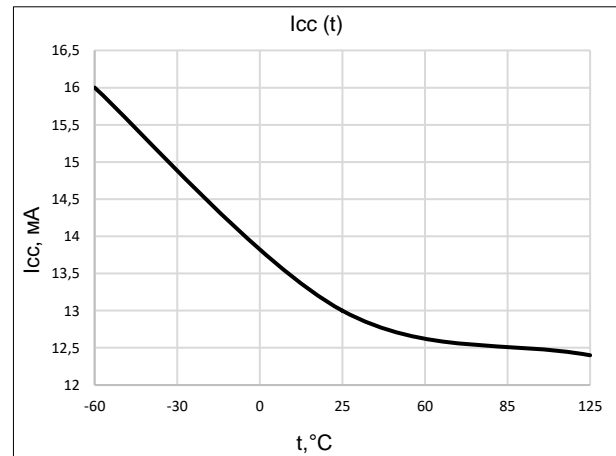


Рисунок 20. Зависимость динамического тока потребления от температуры

Рекомендуемая схема применения

Таблица 6. Таблица внешних компонентов

Компонент	Номинал
R1	5 кОм
C1, C2	200 нФ
C3, C5	100 нФ
C4	1 мкФ

Конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них обязательно должен быть высокочастотный керамический емкостью не менее 10 нФ. Шунтирующие конденсаторы должны располагаться на плате в непосредственной близости к соответствующим выводам микросхемы.

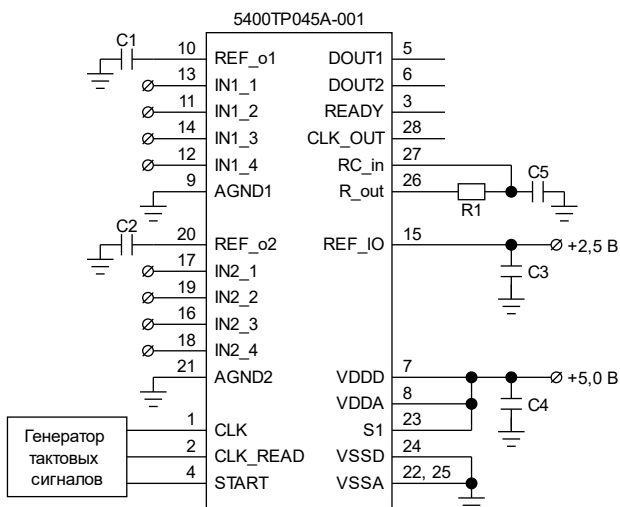


Рисунок 21. Схема применения с включенным блоком ФАПЧ и внешним опорным уровнем (группа А, группа Б)

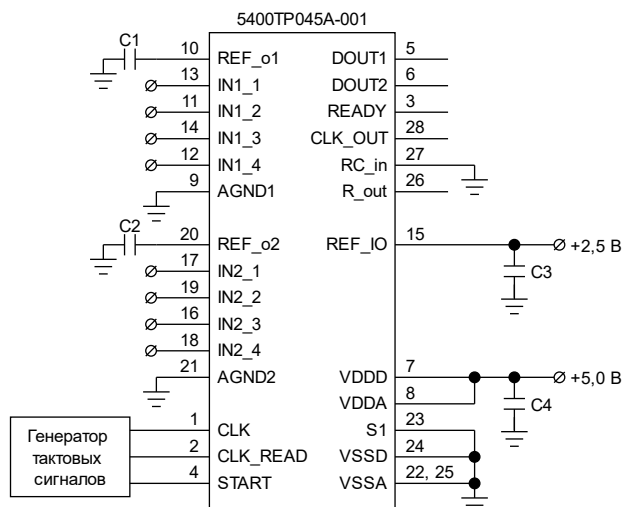


Рисунок 22. Схема применения с выключенным блоком ФАПЧ и внешним опорным уровнем (группа А, группа Б)

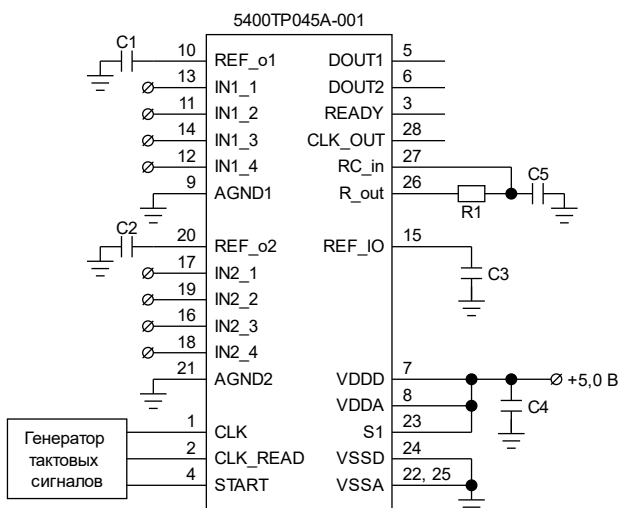


Рисунок 23. Схема применения с включенным блоком ФАПЧ и внутренним опорным уровнем (группа А)

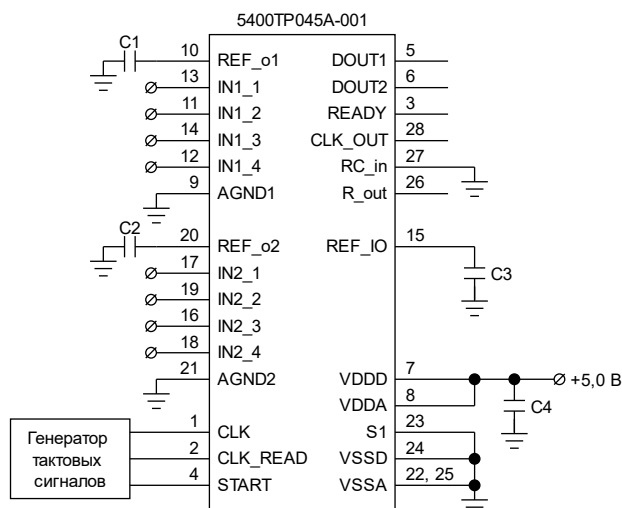


Рисунок 24. Схема применения с выключенным блоком ФАПЧ и внутренним опорным уровнем (группа А)

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-001Д16.

На рисунках 25 – 28 представлены схемы включения на примере первого канала для разного набора входных напряжений. Для второго канала схемы включения аналогичны.

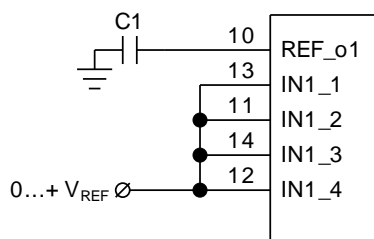


Рисунок 25. Включение 1: диапазон входного напряжения от 0 до $+V_{REF}$

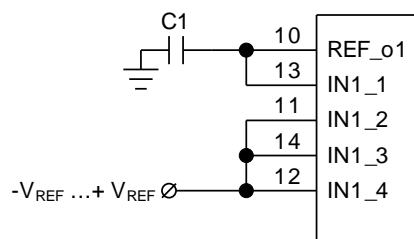


Рисунок 26. Включение 2: диапазон входного напряжения от $-V_{REF}$ до $+V_{REF}$

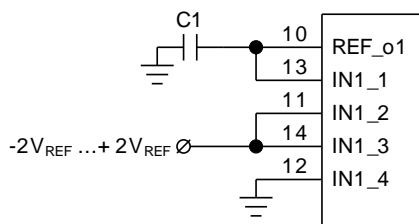


Рисунок 27. Включение 3: диапазон входного напряжения от $-2xV_{REF}$ до $+2xV_{REF}$

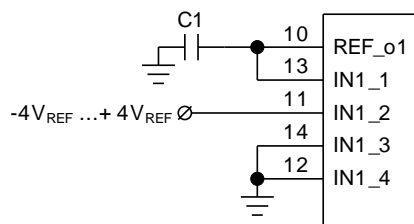


Рисунок 28. Включение 4: диапазон входного напряжения от $-4xV_{REF}$ до $+4xV_{REF}$

Описание функционирования микросхемы

Микросхема 5400TP045A-001 – 2-х канальный 12-ти разрядный АЦП последовательного приближения с последовательным интерфейсом выходных данных.

АЦП имеет расширенные возможности по приему входных напряжений:

- от 0 до $+V_{REF}$;
- от $-V_{REF}$ до $+V_{REF}$;
- от $-2xV_{REF}$ до $+2xV_{REF}$;
- от $-4xV_{REF}$ до $+4xV_{REF}$.

Реализация схемы масштабирования для первого канала представлена ниже.

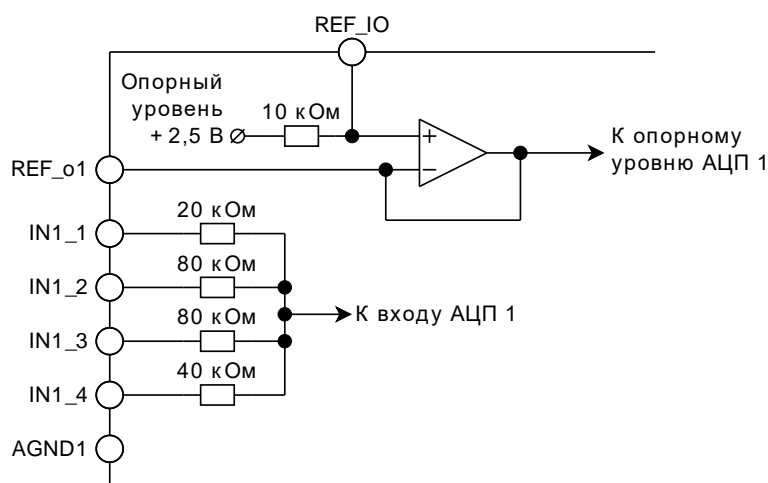
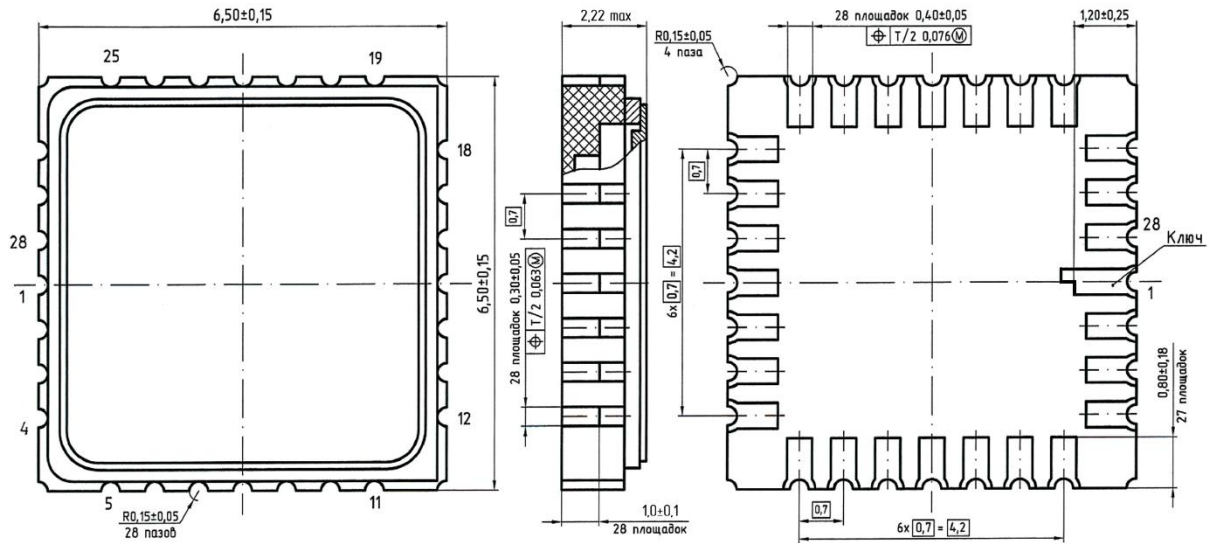


Рисунок 29. Схема масштабирования

Возможно использование как встроенного, так и внешнего опорного уровня, значение которого определяет максимальную амплитуду входного сигнала. Напряжение внешнего опорного уровня подается на вывод REF_IO. Применение микросхемы группы Б возможно только с внешним опорным уровнем.

В состав микросхемы входит блок ФАПЧ. Блок умножает входную тактовую частоту CLK на 16, выходная тактовая частота CLK_OUT поступает на АЦП. Работа блока определяется состоянием вывода S1: лог. «0» – блок выключен, лог. «1» – блок включен.

Габаритный чертеж



1. * Размеры для справок.
2. Нумерация выводных площадок показана условно.

Рисунок 30. Габаритный чертеж корпуса МК 5123.28-1.01 (размеры в мм)

Информация для заказа

Обозначение	Маркировка	Корпус	Температурный диапазон
5400ТР045А-001 группа А АЕНВ.431260.237ТУ карта заказа КФЦС.431260.003-001Д16	045А-001А	МК 5123.28-1.01	-60°C ... +125°C
5400ТР045А-001 группа Б АЕНВ.431260.237ТУ карта заказа КФЦС.431260.003-001Д16	045А-001Б	МК 5123.28-1.01	-60°C ... +125°C

Микросхемы категории качества «ВП» маркируются ромбом.

Лист регистрации изменений

Дата	Версия	Изменения
19.01.2017	1.0	Исходная версия
25.01.2017	1.1	Коррекция рисунка 1. Сигнал CLK_READ
10.08.2017	1.2	Скорректированы «Эксплуатационные характеристики микросхемы» Скорректированы «Электрические параметры» (Таблица 1) Добавлен пункт «Типовые характеристики»
22.11.2019	2.0	Обновлен пункт «Электрические параметры микросхемы»: – обновлена таблица 1. Обновлен пункт «Предельно-допустимые и предельные режимы эксплуатации»: – обновлена таблица 2. Обновлен пункт «Конфигурация и функциональное описание выводов»: – добавлен столбец №КП в таблице 3. Обновлен пункт «Временная диаграмма»: – обновлен рисунок 10; – добавлена таблица 5. Обновлен пункт «Типовые характеристики»: – добавлены рисунки 11 – 20. Обновлен пункт «Рекомендуемая схема применения»: – обновлен рисунок 22. Добавлены пункты «Габаритный чертеж», «Информация для заказа».
23.06.2020	2.1	Обновлен пункт «Типовые характеристики»: – обновлены рисунки 11 – 20. Обновлен пункт «Предельно-допустимые и предельные режимы эксплуатации»: – обновлена таблица 2. Обновлен пункт «Временные диаграммы»: – обновлена таблица 4.
13.08.2021	2.2	Обновлен пункт «Электрические параметры микросхемы»: – обновлена таблица 1. Обновлен пункт «Временные диаграммы»: – обновлен рисунок 10; – обновлена таблица 5. Обновлен пункт «Габаритный чертеж»: – удален рисунок 29; – удалена таблица 7.
17.01.2022	2.3	Обновлен пункт «Электрические параметры микросхемы»: – обновлена таблица 1. Обновлен пункт «Предельно-допустимые и предельные режимы эксплуатации»: – обновлена таблица 2.
18.01.2023	2.4	Обновлен пункт «Электрические параметры микросхемы»: – обновлена таблица 1. Обновлен пункт «Предельно-допустимые и предельные режимы эксплуатации»: – обновлена таблица 2. Обновлен пункт «Эквивалентные схемы»: – обновлены рисунки 3 – 9.

14.08.2024	2.5	<p>Обновлен пункт «Электрические параметры микросхемы»:</p> <ul style="list-style-type: none">– обновлена таблица 1. <p>Обновлен пункт «Предельно-допустимые и предельные режимы эксплуатации»:</p> <ul style="list-style-type: none">– обновлена таблица 2. <p>Обновлен пункт «Конфигурация и функциональное описание выводов»:</p> <ul style="list-style-type: none">– добавлен столбец «Тип вывода» в таблице 3. <p>Обновлен пункт «Временные диаграммы»:</p> <ul style="list-style-type: none">– обновлен рисунок 10;– обновлена таблица 5; <p>Обновлен пункт «Рекомендуемая схема применения»:</p> <ul style="list-style-type: none">– добавлены рисунки 23, 24; <p>Обновлен пункт «Информация для заказа».</p>
------------	-----	---