

Основные особенности

- 24 разряда;
- Частота дискретизации:
16 Выб/с ... 1,0 кВыб/с;
- Встроенный усилительный каскад
с GAIN = 2; 4; 8; 16;
- Внутренний генератор
с частотой 1,024 МГц;
- Внутренний источник опорного
напряжения 2,5 В;
- Последовательный интерфейс
выходных данных;
- Напряжение питания ядра 5,0 В ± 5%;
- Напряжение питания периферийной
части от 2,5 В до 5,0 В;
- Ток потребления 1,4 мА;
- Температурный диапазон
от -60°C до +125°C.

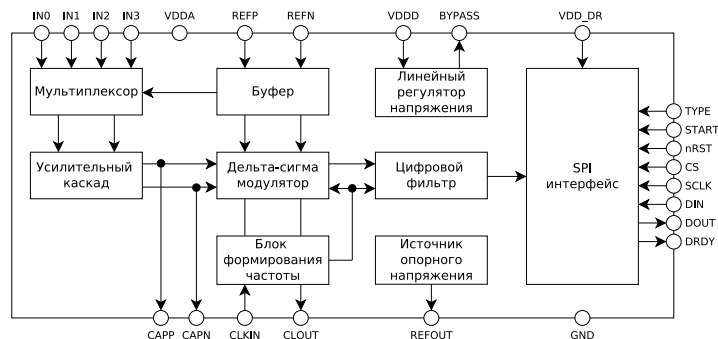


Рисунок 1. Структурная схема

Общее описание

Микросхема 5400TP045A(B)-025 – 2-х каналный 24-х разрядный дельта-сигма АЦП с последовательным интерфейсом выходных данных. Микросхема выполнена на базе радиационно-стойкого аналого-цифрового БМК 5400TP04 по технологии КНИ.

Выходные данные представлены КМОП логическими уровнями. В микросхеме реализован усилительный каскад с настраиваемым коэффициентом усиления 2; 4; 8; 16. Возможно использование как встроенного, так и внешнего генератора тактового сигнала и источника опорного напряжения.

Микросхема 5400TP045A(B)-025 – функциональный аналог ADS1263/ADS1220 (ф. Texas Instruments).


 Рисунок 2. Внешний вид
микросхемы 5400TP045A-025

 Рисунок 3. Внешний вид
микросхемы 5400TP045B-025

ГГ – год выпуска
НН – неделя выпуска

Микросхемы 5400TP045A-025 и 5400TP045B-025 имеют в своей основе один кристалл и отличаются только типом корпуса:

- 5400TP045A-025 выполнена в 28-ми выводном металлокерамическом корпусе МК 5123.28-1.01;
- 5400TP045B-025 выполнена в 28-ми выводном металлополимерном корпусе 5102.28-1 К (QFN-28).

Электрические параметры микросхемы

Таблица 1. Электрические характеристики (температурный диапазон от -60°C до $+125^{\circ}\text{C}$)

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Ток потребления, мА		1,4	1,75
Напряжение смещения, мкВ	-1500	350/GAIN	1500
Интегральная нелинейность (INL), ppm	-200 ⁽¹⁾	10	200 ⁽¹⁾
Стандартное отклонение результата преобразования ⁽²⁾ , МЗР			
STD1: GAIN = 000, DR = 00, MODE = 1		См. Таблица 7	140
STD2: GAIN = 000, DR = 11, MODE = 1			32
STD3: GAIN = 111, DR = 00, MODE = 1			600
STD4: GAIN = 111, DR = 11, MODE = 1			64
STD5: GAIN = 000, DR = 00, MODE = 0			140
STD6: GAIN = 000, DR = 11, MODE = 0			32
Справочные данные			
Характеристики АЦП			
Разрядность, бит		24	
Скорость выдачи данных, Гц	F _{MOD} /16384	F _{MOD} /1024	F _{MOD} /256
Коэффициент усиления встроенного усилительного каскада (GAIN), В/В		2; 4; 8; 16	
Шумовые характеристики		См. Таблица 7	
Дрейф напряжения смещения, мкВ/°C		1,4/GAIN	
Размах полной шкалы, В	1,0	2 x V _{REF} ⁽³⁾	VDDA
Ошибка усиления (GAIN = 1), ppm	-250		250
Ошибка усиления (GAIN = 2, 4, 8, 16), ppm	-1000		1000
Дрейф ошибки усиления (GAIN = 1), ppm/°C		0,25	
Дрейф ошибки усиления (GAIN = 2, 4, 8, 16), ppm/°C		1,24	
Коэффициент подавления синфазной составляющей CMRR, дБ		102	
Коэффициент подавления помех по питанию PSRR, дБ		70	
Аналоговые входы			
Абсолютный входной ток, (GAIN = 1), нА		5,0	
Абсолютный входной ток, (GAIN = 2, 4, 8, 16), нА		1,0	
Дифференциальный входной ток, (GAIN = 1), нА		1,0	
Дифференциальный входной ток, (GAIN = 2, 4, 8, 16), нА		0,1	
Внутренний ИОН			
Напряжение внутреннего источника опорного напряжения (REFOUT), В	2,495	2,5	2,505
Температурный дрейф ИОН, ppm/°C		50	100
Нагрузочная способность ИОН, мкВ/мА		100	

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Продолжение таблицы 1

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Внешний ИОН			
Входной ток опорного напряжения, нА		4,0	
Дрейф входного тока опорного напряжения, пА/°С		100	
Тактовый генератор			
Частота внутреннего генератора (F_{CLK}), МГц	0,973	1,024	1,075
Частота тактирования модулятора (F_{MOD}), кГц		$F_{CLK}/4$	
Цифровые выходы			
Напряжение высокого уровня выходных цифровых сигналов (DOUT, DRDY), В (при $VDD_{DR} = 2,5$ В, $I_{LOAD} = 1,5$ мА; при $VDD_{DR} = 5,0$ В, $I_{LOAD} = 6,0$ мА)	$VDD_{DR}-0,4$	VDD_{DR}	
Напряжение низкого уровня выходных цифровых сигналов (DOUT, DRDY), В (при $VDD_{DR} = 2,5$ В, $I_{LOAD} = 1,5$ мА; при $VDD_{DR} = 5,0$ В, $I_{LOAD} = 6,0$ мА)		0	0,5
Потребление			
Ток потребления (при $GAIN [2:0] = \langle 0xx \rangle$), мА			1,35
Ток потребления (при $BUF_DIS = \langle 1 \rangle$), мА			1,45
Ток потребления (при $GAIN [2:0] = \langle 0xx \rangle$, $BUF_DIS = \langle 1 \rangle$), мА			1,25
Примечание:			
1) максимальное и минимальное значение интегральной нелинейности ограничено точностью лабораторного оборудования при измерении.			
2) значения стандартного отклонения результата преобразования в зависимости от выбранного режима (см. Таблица 12, биты 6 – 8, 10 – 12) при $V_{REF} = 2,5$ В:			
3) при использовании внутреннего опорного уровня $V_{REF} = V_{REFOUT} - VSSA$; при использовании внешнего опорного уровня $V_{REF} = V_{REFP} - V_{REFN}$.			

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 1000 В по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

Параметр, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение питания (VDDA, VDDD), В	4,75	5,25	-0,3	5,35
Напряжение питания интерфейсной части (VDD_DR), В	2,25	5,25	-0,3	5,35
Напряжение высокого уровня входных цифровых сигналов (CS, SCLK, DIN, nRST, START), В	VDD_DR -0,4 ⁽²⁾	VDD_DR	-0,3	VDD_DR +0,3 ⁽¹⁾
Напряжение низкого уровня входных цифровых сигналов (CS, SCLK, DIN, nRST, START), В	0	0,4	-0,3	VDD_DR +0,3 ⁽¹⁾
Напряжение высокого уровня входных цифровых сигналов (TYPE, CLKIN), В	4,75	VDDD	-0,3	VDDD+0,3 ⁽¹⁾
Напряжение низкого уровня входных цифровых сигналов (TYPE, CLKIN), В	0	0,4	-0,3	VDDD+0,3 ⁽¹⁾
Нагрузочная способность (DOUT, DRDY), мА при VDD_DR = 2,5 В	–	1,5	–	3,0
при VDD_DR = 5,0 В	–	6,0	–	8,0
Положительное напряжения внешнего опорного уровня (REFP), В	0,5	VDDA	-0,3	VDDA+0,3 ⁽¹⁾
Отрицательное напряжения внешнего опорного уровня (REFN), В	VSSA	VDDA-0,5	-0,3	VDDA+0,3 ⁽¹⁾
Диапазон входного аналогового сигнала (IN0-IN3) ⁽³⁾ , В	VSSA	VDDA	-0,3	VDDA+0,3 ⁽¹⁾
Температура эксплуатации, °С	-60	+125	-60	+150
Примечание: 1) не более 5,35 В 2) не менее 2,0 В 3) значение без использования встроенного усилительного каскада (PGA). Диапазон входного напряжения при использовании PGA: $VSSA + 0,3 + VIN (Gain - 1) / 2 < VINP, VINM < VDDA - 0,3 - VIN (Gain - 1) / 2,$ где V_{IN} – дифференциальное входное напряжение ($V_{IN} = V_{INP} - V_{INM}$); V_{INP}, V_{INM} – абсолютное значение входного напряжения; VSSA, VDDA – напряжение питания; Gain – коэффициент усиления.				

Конфигурация и функциональное описание выводов

Таблица 3. Функциональное описание выводов

№ вывода		Тип вывода	Наименование вывода	Назначение вывода
045A-025	045B-025			
1	25	DI	SCLK	Вход тактового сигнала последовательного интерфейса
2	26	DI	CS	Вывод «Chip-select» последовательного интерфейса
3	27	DO	CLKOUT	Выход тактовой частоты
4	28	DI	CLKIN	Вход тактовой частоты
5	1	DI	TYPE	Выбор режима работы последовательного интерфейса: лог. «1» – режим 3 (CPOL = 1, CPHA = 1) лог. «0» – режим 1 (CPOL = 0, CPHA = 1)
6, 8	2, 4	–	TECH	Технологический вывод (объединить с VSSA)
7, 20	3, 16	PWR	GND	Общий цифровой вывод
9	5	AO	REFOUT	Вывод для подключения внешнего шунтирующего конденсатора внутреннего опорного напряжения
10	6	AI	REFP	Положительное опорное напряжение АЦП
11	7	AI	REFN	Отрицательное опорное напряжение АЦП
12	8	PWR	VSSA	Общий аналоговый вывод
13	9	AI	IN1	Вход 1 мультиплексора
14	10	AI	IN0	Вход 0 мультиплексора
15	11	AO	CAPP	Вывод подключения конденсатора для фильтрации
16	12	AO	CAPN	Вывод подключения конденсатора для фильтрации
17	13	AI	IN3	Вход 3 мультиплексора
18	14	AI	IN2	Вход 2 мультиплексора
19	15	PWR	VDDA	Вывод положительного аналогового питания
21	17	AO	BYPASS	Вывод для подключения внешнего шунтирующего конденсатора встроенного линейного регулятора
22	18	PWR	VDDD	Вывод положительного цифрового питания
23	19	DI	nRST	Вход сигнала сброса. При подаче лог. «0» происходит сброс микросхемы в начальное состояние.
24	20	DI	START	Вход сигнала старта преобразования. При подаче лог. «1» запускает преобразование АЦП.
25	21	PWR	VDD_DR	Напряжение питания интерфейсной части
26	22	DO	DRDY	Сигнал готовности нового результата преобразования
27	23	DO	DOUT	Выход последовательного интерфейса
28	24	DI	DIN	Вход данных последовательного интерфейса
<p>Примечание: DI – цифровой вход DO – цифровой выход AI – аналоговый вход AO – аналоговый выход PWR – вывод напряжения питания</p>				

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Временные диаграммы

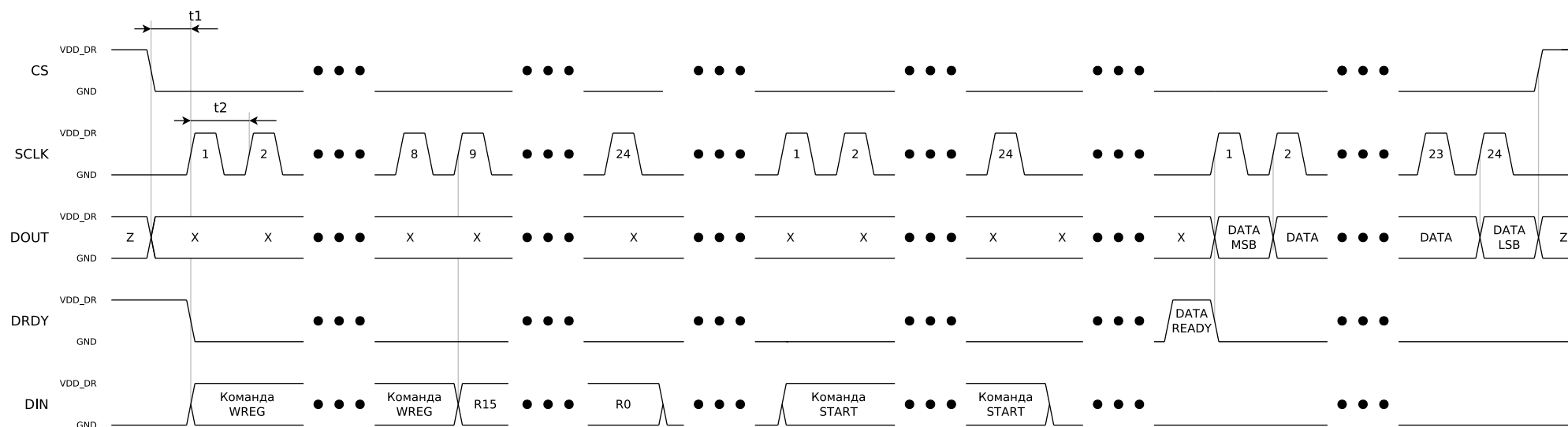


Рисунок 4. Временная диаграмма работы АЦП при единичном преобразовании в режиме 1 (TYPE = «0»; CPOL = 0; CPHA = 1)

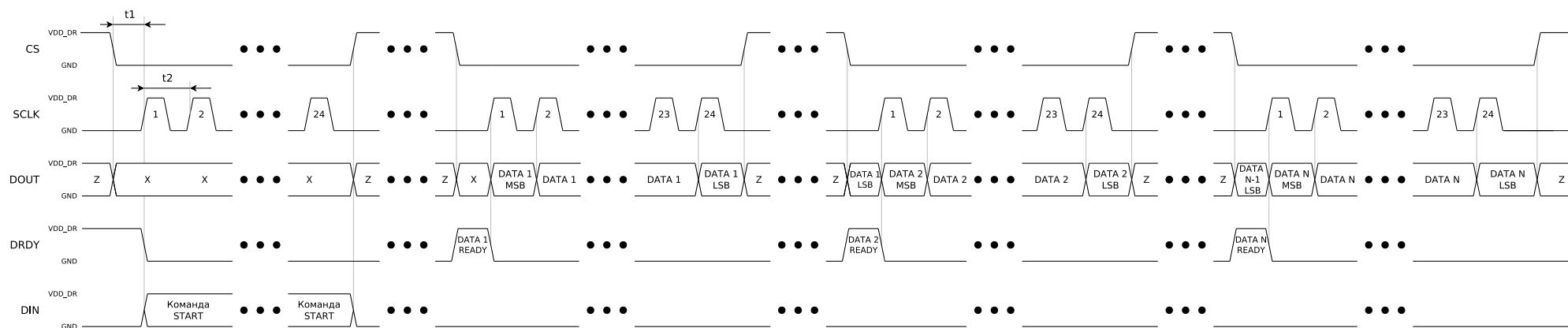


Рисунок 5. Временная диаграмма работы АЦП при непрерывном преобразовании в режиме 1 (TYPE = «0»; CPOL = 0; CPHA = 1)

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

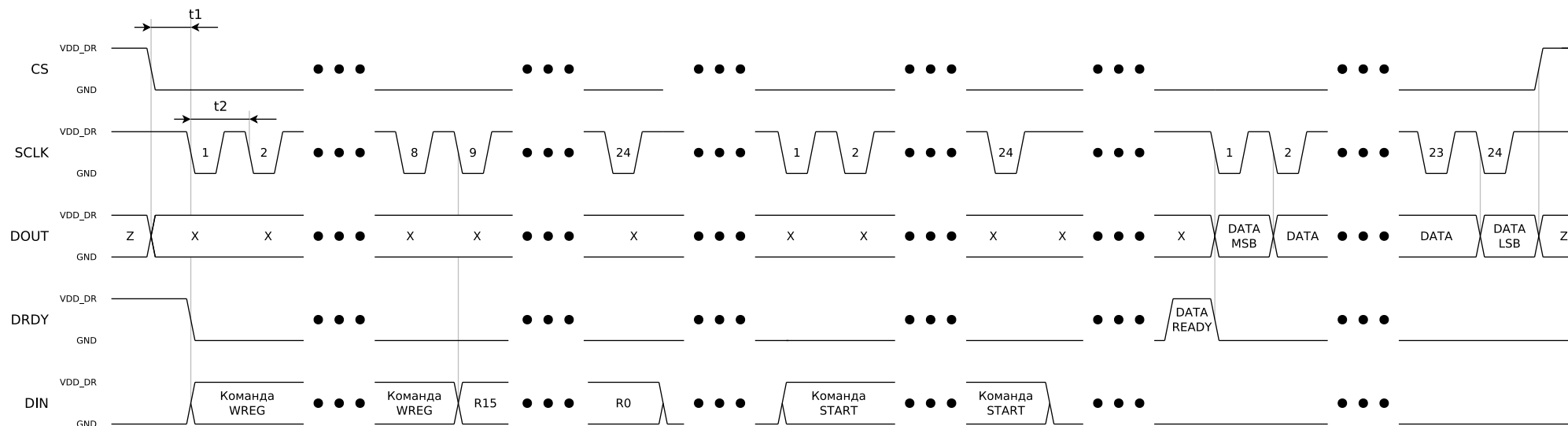


Рисунок 6. Временная диаграмма работы АЦП при единичном преобразовании в режиме 3 (TYPE = «1»; CPOL = 1; CPHA = 1)

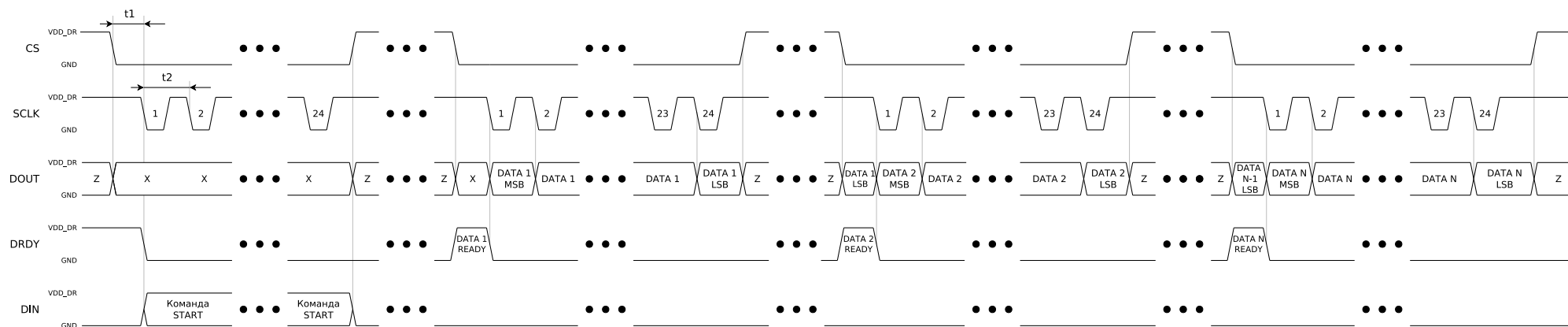


Рисунок 7. Временная диаграмма работы АЦП при непрерывном преобразовании в режиме 3 (TYPE = «1»; CPOL = 1; CPHA = 1)

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Таблица 4. Справочные данные

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Время задержки между срезом CS и фронтом SCLK (t_1), нс	50		
Период тактового сигнала SCLK (t_2), нс	200		
Коэффициент заполнения тактового сигнала, %	40	50	60

Выходные данные представлены в прямом двоичном коде со смещением.

Таблица 5. Формат выходных данных при SCALE = «0» (бит №3 (Таблица 14)).

$V_{INP} - V_{INM}$	Выходной код
$>+V_{REF}$	1111 1111 1111 1111 1111 1111
$+V_{REF}$	1111 1111 1111 1111 1111 1111
0	1000 0000 0000 0000 0000 0000
$-V_{REF}$	0000 0000 0000 0000 0000 0000
$<-V_{REF}$	0000 0000 0000 0000 0000 0000

Таблица 6. Формат выходных данных при SCALE = «1» (бит №3 (Таблица 14)).

$V_{INP} - V_{INM}$	Выходной код
$>+1,25 \times V_{REF}$	1111 1111 1111 1111 1111 1111
$+V_{REF}$	1110 0110 0110 0110 0110 0110
0	1000 0000 0000 0000 0000 0000
$-V_{REF}$	0001 1001 1001 1001 1001 1001
$<-1,25 \times V_{REF}$	0000 0000 0000 0000 0000 0000

Типовые характеристики

$V_{DDA} = V_{DDD} = 5,0 \text{ В}$, $V_{VSSA} = V_{GND} = 0 \text{ В}$, $V_{REF} = 2,5 \text{ В}$ – внешний источник опорного напряжения, внутренний источник тактовой частоты

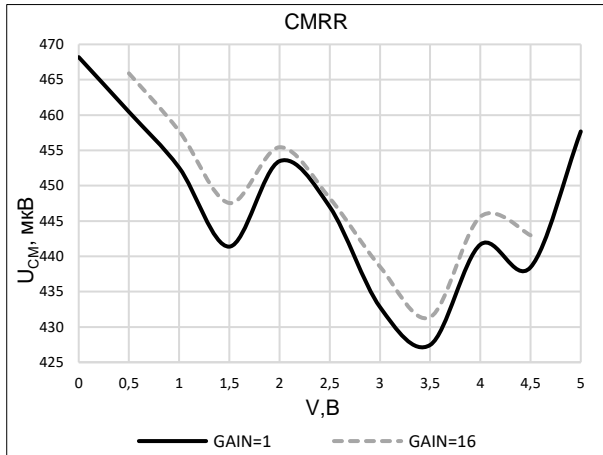


Рисунок 8. Зависимость напряжения смещения от входного синфазного сигнала

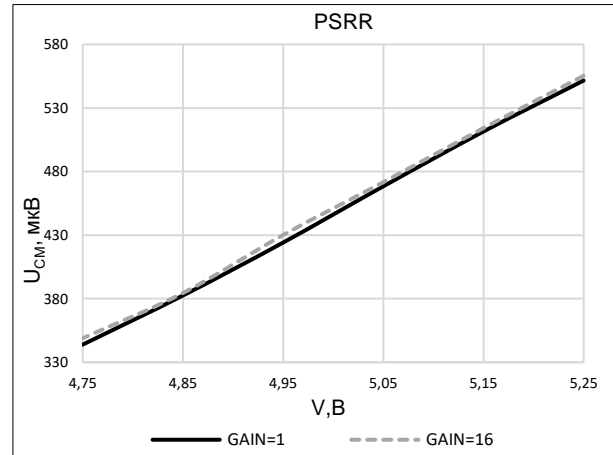


Рисунок 9. Зависимость напряжения смещения от аналогового напряжения питания

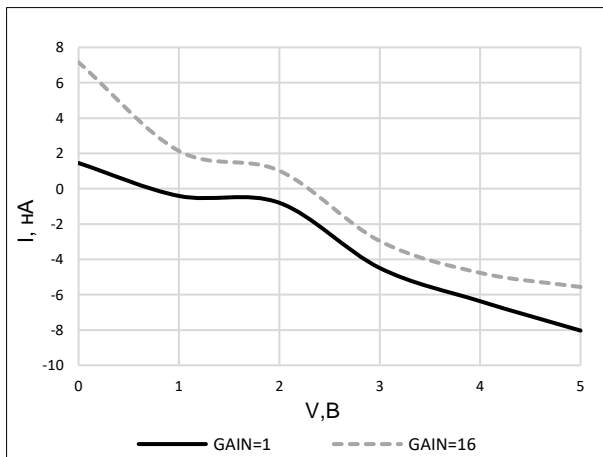


Рисунок 10. Зависимость входного тока канала опорного напряжения от напряжения

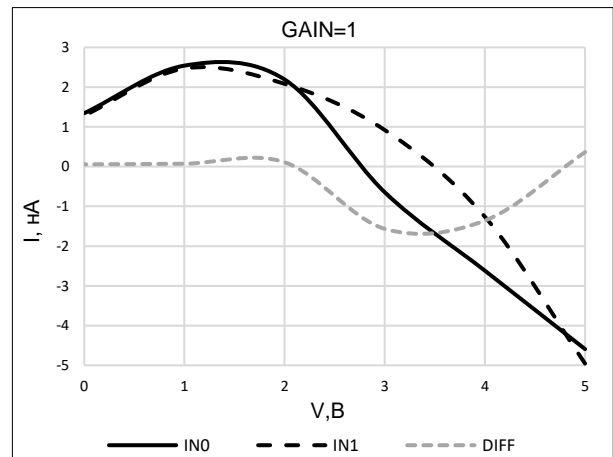


Рисунок 11. Зависимость входного тока от синфазного напряжения (GAIN = 1)

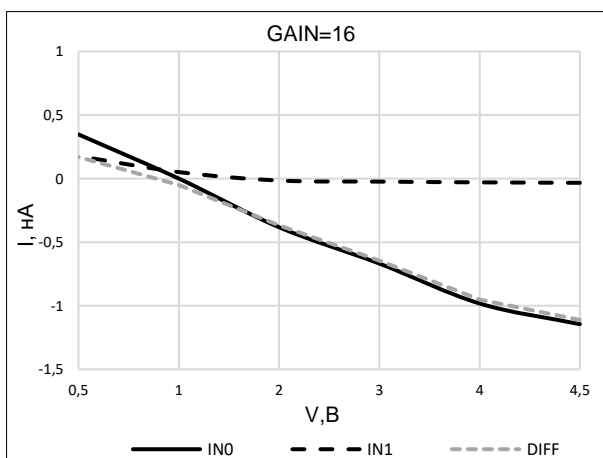


Рисунок 12. Зависимость входного тока от синфазного напряжения (GAIN = 16)

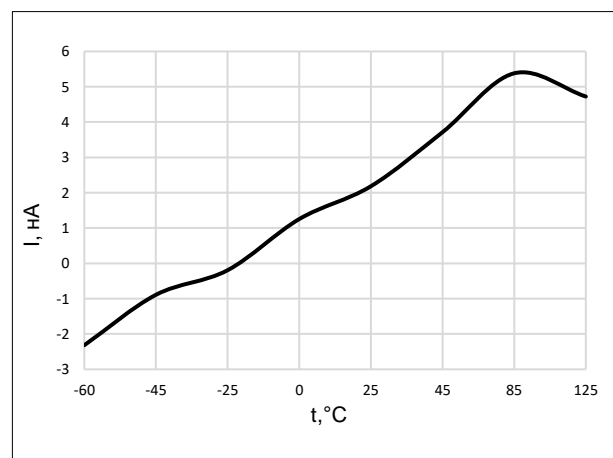


Рисунок 13. Зависимость входного тока канала опорного напряжения от температуры

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФС.431260.003-025Д16.

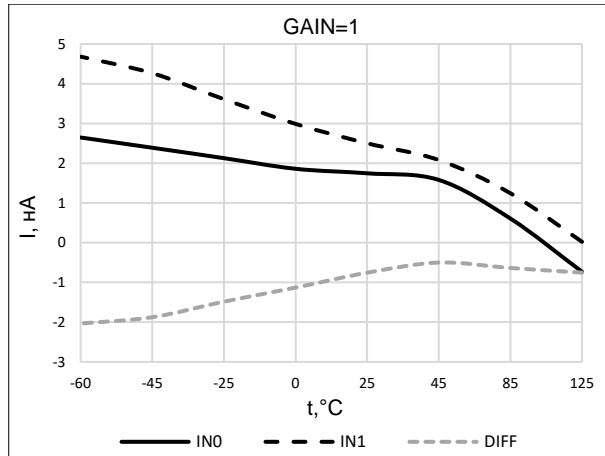


Рисунок 14. Зависимость входного тока от температуры (GAIN = 1)

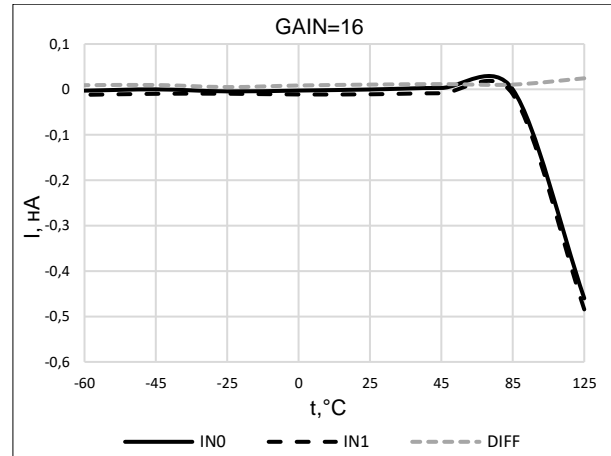


Рисунок 15. Зависимость входного тока от температуры (GAIN = 16)

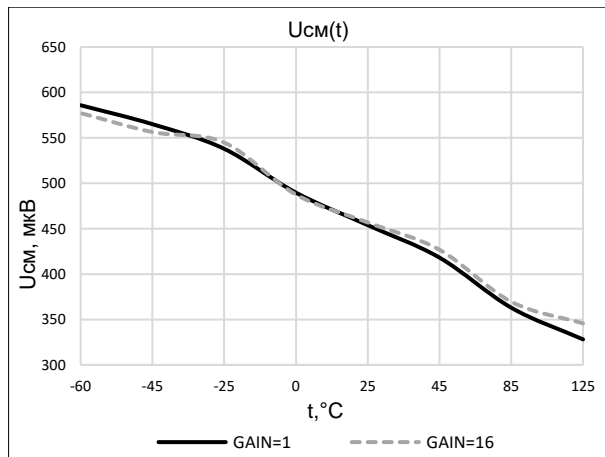


Рисунок 16. Зависимость напряжения смещения от температуры

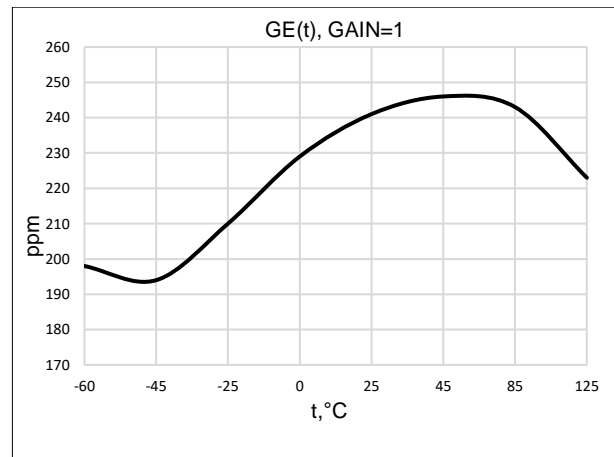


Рисунок 17. Зависимость ошибки усиления от температуры (GAIN = 1)

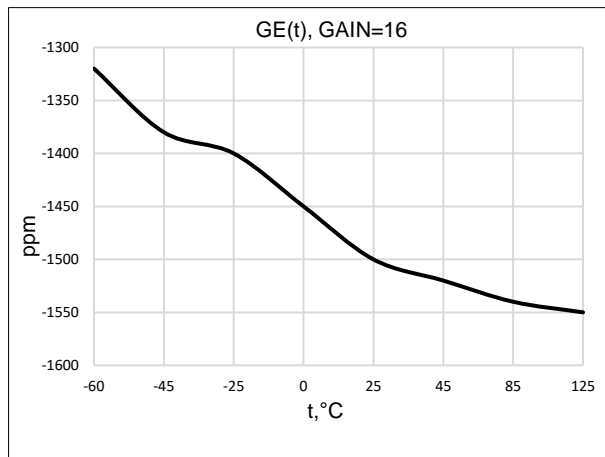


Рисунок 18. Зависимость ошибки усиления от температуры (GAIN = 16)

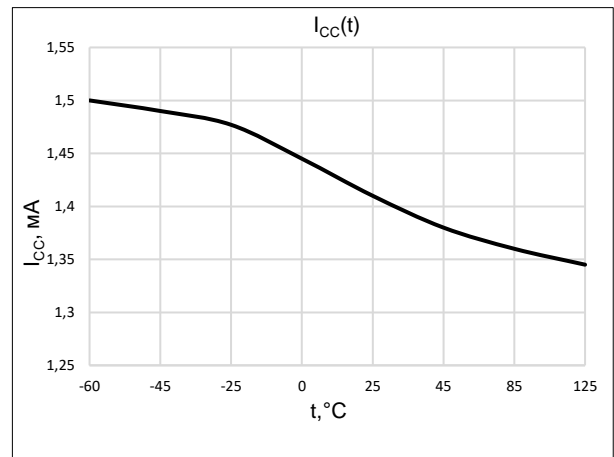


Рисунок 19. Зависимость тока потребления от температуры

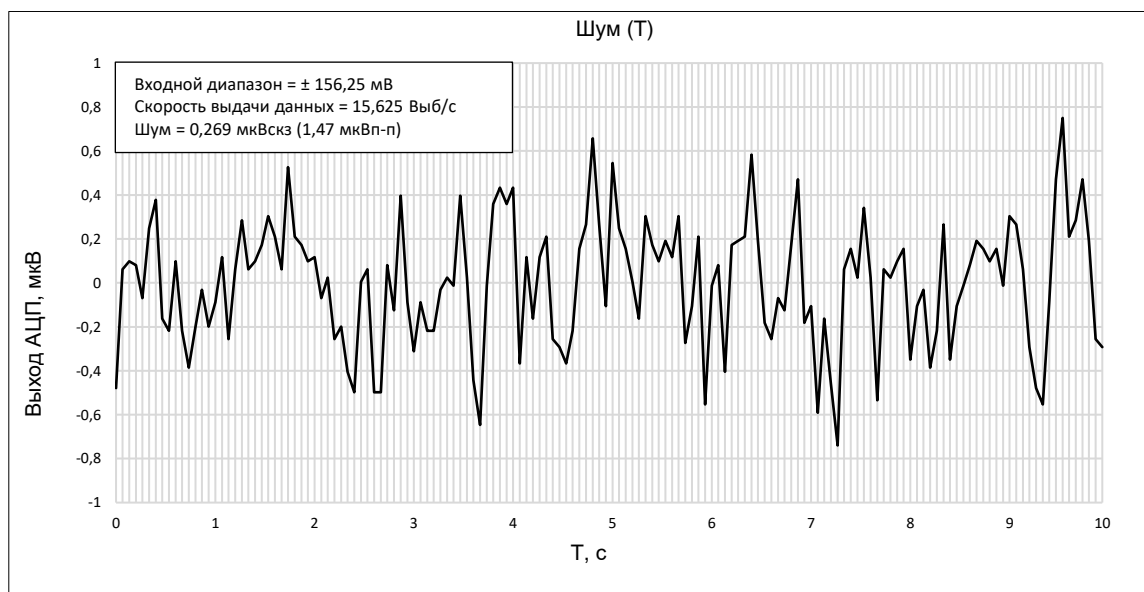


Рисунок 20. Шум АЦП при нулевом входном значении
(при GAIN = 16, внешнее опорное напряжение 2,5 В,
скорость преобразования 15,625 Гц)

Таблица 7. Шумовые характеристики

Шум в мкВ_{СКЗ} (мкВ_{п-п}) $V_{VDDA} = V_{VDD} = 5,0$ В, $V_{VSSA} = V_{GND} = 0$ В, $V_{REF} = 2,5$ В – внешний источник опорного напряжения, внутренний источник тактовой частоты

Частота выборки, Гц	Усиление				
	1	2	4	8	16
1000	16,928 (100,434)	7,484 (46,343)	3,723 (21,458)	2,536 (14,715)	2,220 (12,144)
250	6,814 (36,359)	3,965 (22,054)	2,076 (11,399)	1,397 (7,823)	1,146 (6,724)
62,5	3,511 (19,073)	1,805 (10,879)	1,088 (5,960)	0,769 (3,874)	0,583 (3,129)
15,625	1,888 (10,133)	1,0470 (5,513)	0,465 (2,235)	0,3814511 (1,863)	0,269 (1,471)

Рекомендуемая схема применения

Таблица 8. Таблица компонентов

Компонент	Номинал
C1 – C4, C6	0,1 мкФ...1,0 мкФ
C5*	4,7 нФ

Примечание:
* – в тракте сигнала необходимо использовать керамические конденсаторы с высоколинейным диэлектриком или тонкопленочного типа

Конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них обязательно должен быть высокочастотный керамический емкостью не менее 10 нФ. Шунтирующие конденсаторы должны располагаться на плате в непосредственной близости к соответствующим выводам микросхемы.

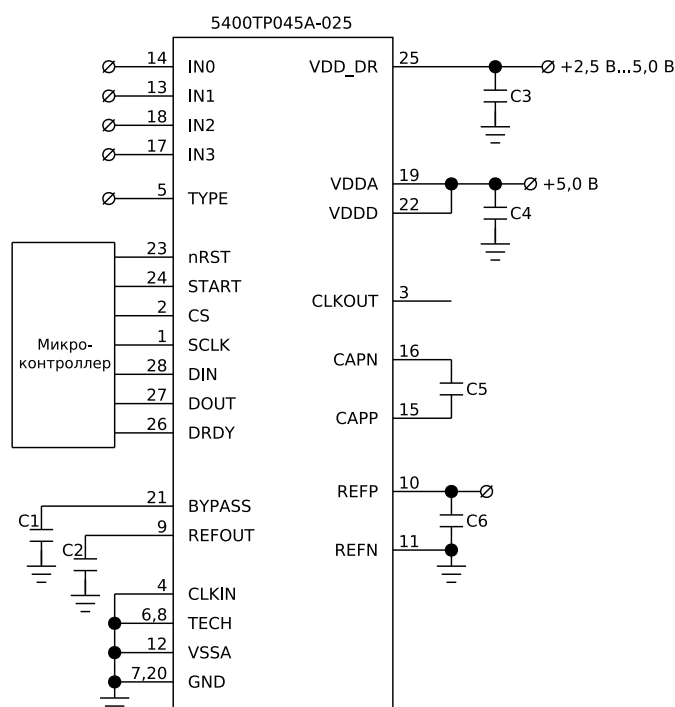


Рисунок 21. Рекомендуемая схема применения при использовании абсолютных измерений (схема с внешним опорным уровнем и встроенным генератором)

Примечания:

При использовании внешнего источника тактового сигнала необходимо подать частоту на вывод CLKIN (4), а вывод CLKOUT (3) оставить в обрыве.

Нагрузка током вывода BYPASS (21) и REFOUT (9) недопустима.

Неиспользуемые выводы мультиплексора рекомендуется подключить к «общему» выводу VSSA (12).

Если вывод nRST (23) не используется, необходимо его подключить к выводу VDDD (22),

Если вывод START (24) не используется, необходимо его подключить к выводу GND (7, 20).

Для абсолютных измерений рекомендуется использовать внешний малощумящий источник опорного напряжения. Внутренний источник опорного напряжения рекомендуется использовать в ратиометрических приложениях.

Для микросхемы 5400TP045B-025 схема применения аналогична относительно выводов микросхемы.

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Таблица 9. Таблица компонентов

Компонент	Номинал
C1 – C4, C6	0,1 мкФ...1,0 мкФ
C5*	4,7 нФ
R1	Резистор-датчик
R2	Опорный резистор
Rf1, Rf2, Cf1*, Cf2*	Компоненты фильтра, выбирается в зависимости от применения. Типовые значения: Rf1 = 1 кОм; Rf2 = 1 кОм; Cf1 = 1 нФ; Cf2 = 1 нФ.

Примечание:
* – в тракте сигнала необходимо использовать керамические конденсаторы с высоколинейным диэлектриком или тонкопленочного типа

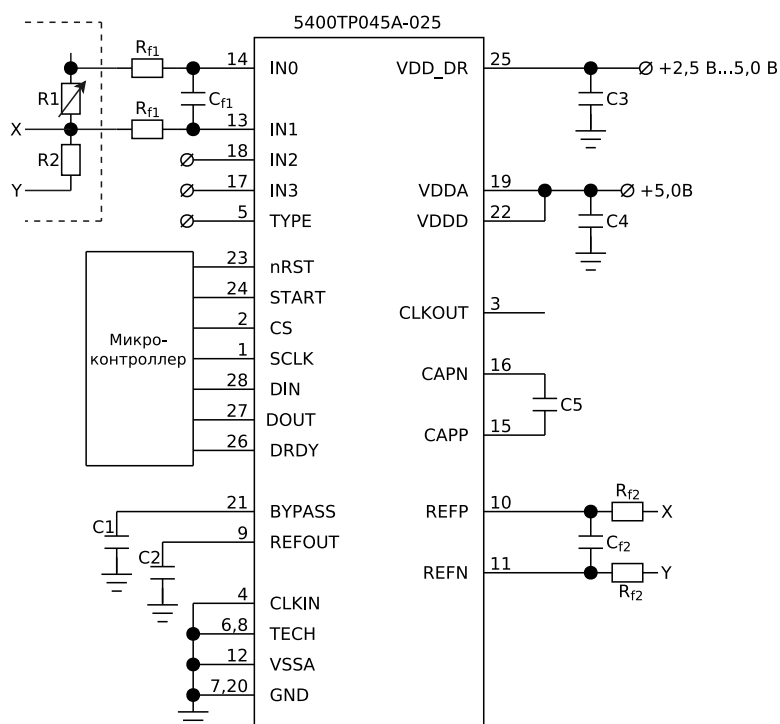


Рисунок 22. Рекомендуемая схема применения при использовании ратиометрических измерений

Примечания:

При использовании внешнего источника тактового сигнала необходимо подать частоту на вывод CLKIN (4), а вывод CLKOUT (3) оставить в обрыве.

Нагрузка током вывода BYPASS (21) и REFOUT (9) недопустима.

Неиспользуемые выходы мультиплексора необходимо подключить к «общему» выводу VSSA (12).

Если вывод nRST (23) не используется, необходимо его подключить к выводу VDDD (22),

Если вывод START (24) не используется, необходимо его подключить к выводу GND (7, 20).

Для абсолютных измерений рекомендуется использовать внешний маломощный источник опорного напряжения. Внутренний источник опорного напряжения рекомендуется использовать в ратиометрических приложениях.

Для микросхемы 5400TP045B-025 схема применения аналогична относительно выводов микросхемы.

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Описание функционирования микросхемы

Мультиплексор

В микросхеме реализован 2-х канальный мультиплексор для дифференциального входного сигнала. Мультиплексор позволяет конфигурировать входные аналоговые сигналы битами настройки №15-14 (A_MUX). Также в качестве входного напряжения можно выбрать канал опорного напряжения и вместе с битом настройки №3 (SCALE) конфигурационного регистра R (Таблица 14) провести калибровку полной шкалы АЦП.

Для улучшения точности измерения в микросхеме возможно выбирать полярность входного сигнала с помощью бита №9 (POL) конфигурационного регистра R. Данная настройка может быть использована для прецизионных измерений с очень низким дрейфом смещения. Меняя полярность входного сигнала и усредняя результаты оцифрованного сигнала с учетом знака, все смещения и низкочастотные дрейфы подавляются с точностью до уровня шумов (Таблица 7).

Усилительный каскад (PGA)

Встроенный усилительный каскад состоит из двух ОУ (Y1 и Y2) и программируемых резисторов для установки коэффициента усиления (Рисунок 23). Коэффициент усиления настраивается с помощью битов №12-10 (GAIN [2:0]) конфигурационного регистра R на значения 2, 4, 8, 16. Также возможно отключение усилителя для расширения диапазона входного сигнала.

В таблице ниже представлены значения размаха полной шкалы для различных коэффициентов усиления при опорном напряжении 2,5 В.

Таблица 10. Размах полной шкалы АЦП

Биты GAIN[2:0] регистра R	Коэффициент усиления, В/В	Размах полной шкалы, В
0xx	1 (без усиления)	±2,5
100	2	±1,25
101	4	±0,625
110	8	±0,312
111	16	±0,156

Выводы CAPP и CAPN – положительный и отрицательный выходы усилителя. Для предотвращения искажений в импульсах модулятора между выводами рекомендуется подключить конденсатор емкостью 4,7 нФ, который выполняет функцию аналогового фильтра.

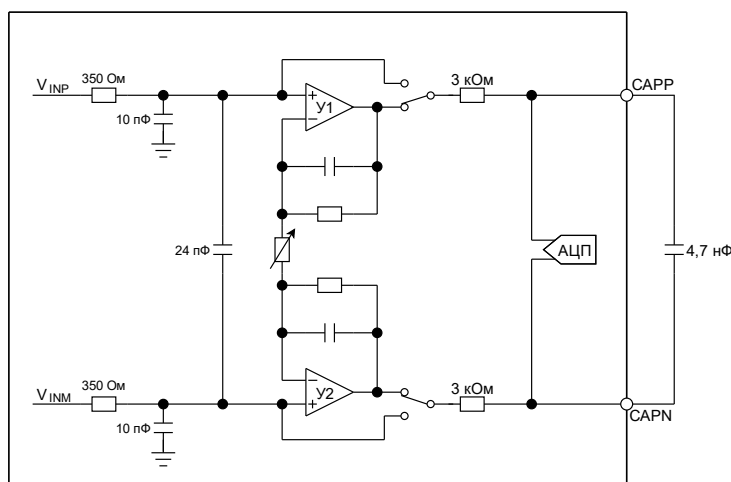


Рисунок 23. Блок-схема усилительного каскада PGA

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

У усилителя есть строгие ограничения на диапазон входного напряжения: положительное и отрицательное абсолютное значение входного напряжения должно соответствовать определенному диапазону:

$$VSSA + 0,3 + |V_{IN}| (\text{Gain} - 1) / 2 < V_{INP}, V_{INM} < VDDA - 0,3 - |V_{IN}| (\text{Gain} - 1) / 2$$

где V_{IN} – дифференциальное входное напряжение ($V_{IN} = V_{INP} - V_{INM}$); V_{INP} , V_{INM} – абсолютное значение входного напряжения; $VSSA$, $VDDA$ – напряжение питания; Gain – коэффициент усиления.

Связь между входом и выходом усилителя представлена на рисунке ниже (Рисунок 24). Для стабильной работы выходное напряжение должно находиться в пределах от $(VSSA + 0,3)$ В до $(VDDA - 0,3)$ В.

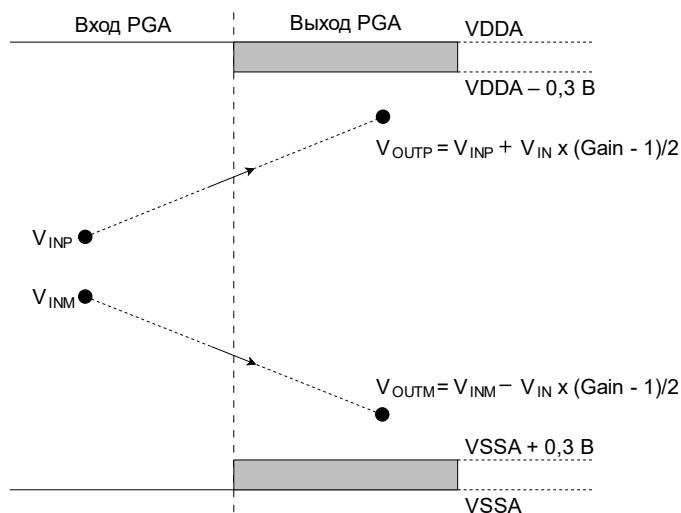


Рисунок 24. Диапазон входа/выхода усилительного каскада

Если усилитель не используется, то диапазон входного напряжения от $VDDA$ до $VSSA$. (Таблица 2).

Применение встроенного усилителя позволяет уменьшить шум, приведенный ко входу. Шумовые характеристики АЦП для различных коэффициентов усиления и частоты дискретизации приведены в разделе «Типовые характеристики» (Таблица 7, Рисунок 20).

Источник опорного напряжения

В микросхеме реализован встроенный источник опорного напряжения 2,5 В, который рекомендуется использовать в ратиометрических измерениях.

Для абсолютных измерений рекомендуется применять внешний малозумящий источник опорного напряжения.

Величина опорного напряжения вместе с коэффициентом усиления PGA определяет размах полной шкалы АЦП (Таблица 10).

Выбор источника опорного напряжения осуществляется с помощью бита №9 (REF) конфигурационного регистра R (Таблица 14).

С помощью бита №2 (BUF_DIS) конфигурационного регистра R (Таблица 14) настраивается выходной буфер внутреннего источника опорного напряжения на выводе REFOUT: лог. «0» – буфер включен, лог. «1» – буфер выключен.

Если используется внутренний источник опорного напряжения, то выходной буфер необходимо включить, т.е. бит №2 (BUF_DIS) – лог. «0».

Если используется внешний источник опорного напряжения, то выходной буфер можно не включать, т.е. бит №2 (BUF_DIS) – лог. «1» / лог. «0».

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Дельта-сигма модулятор

В микросхеме реализован $\Delta\Sigma$ -модулятор второго порядка, который оцифровывает входное напряжение с частотой дискретизации $F_{MOD} = F_{CLK} / 4 = 256$ кГц и преобразует в однобитовый поток данных.

Цифровой фильтр

Цифровой фильтр АЦП получает однобитовый поток данных модулятора, осуществляет фильтрацию и децимацию для окончательного результата преобразования.

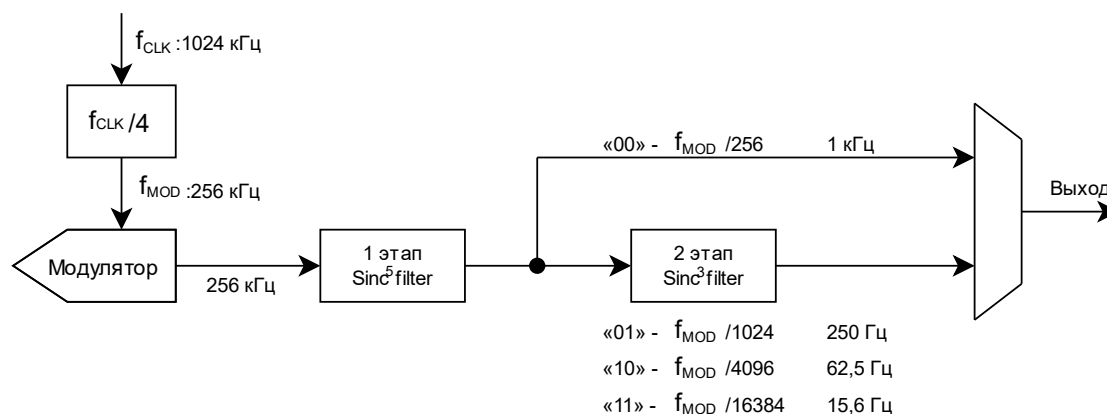


Рисунок 25. Блок-схема цифрового фильтра

Фильтр sinc состоит из двух каскадов: первый каскад – фильтр типа sinc5 пятого порядка с коэффициентом децимации 256; второй каскад – фильтр sinc3 с переменным коэффициентом децимации (4, 16, 64). Настройка цифрового фильтра производится с помощью битов №7-6 (DR) конфигурационного регистра R (Таблица 14).

Общая характеристика фильтра определяется уравнением:

$$|H(f)| = |H_{(\text{sinc}^5)}(f)| \times |H_{(\text{sinc}^3)}(f)| = \left| \frac{\sin \left[\frac{4\pi f A}{f_{CLK}} \right]}{A \times \sin \left[\frac{4\pi f}{f_{CLK}} \right]} \right|^5 \times \left| \frac{\sin \left[\frac{1024\pi f B}{f_{CLK}} \right]}{B \times \sin \left[\frac{1024\pi f}{f_{CLK}} \right]} \right|^3$$

где f – частота сигнала; $f_{CLK} = 1,024$ МГц – частота внутреннего генератора; $A = 256$ – коэффициент децимации, $B = 4, 16, 64$ – переменный коэффициент децимации.

Настройка параметров цифрового фильтра позволяет находить оптимальный баланс между разрешением, временем преобразования и подавлением помех.

В таблице ниже (Таблица 11) указано время задержки фильтра после запуска преобразования до получения корректных данных в зависимости от частоты дискретизации.

Таблица 11. Время задержки фильтра после запуска первого преобразования

Скорость выдачи данных, Выб/с	Задержка преобразования t_d , мс
1000	5,0
250	12,7
62,5	47,9
15,625	188,5

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

На рисунке ниже приведена временная диаграмма готовности данных для единичного преобразования (Рисунок 26). Для непрерывного режима (Рисунок 27, Рисунок 28) корректные данные появляются на 5 сигнал DRDY (для частоты дискретизации 1 кГц) и на 3 сигнал DRDY (для частоты дискретизации 250 Гц; 62,5 Гц; 15,625 Гц).

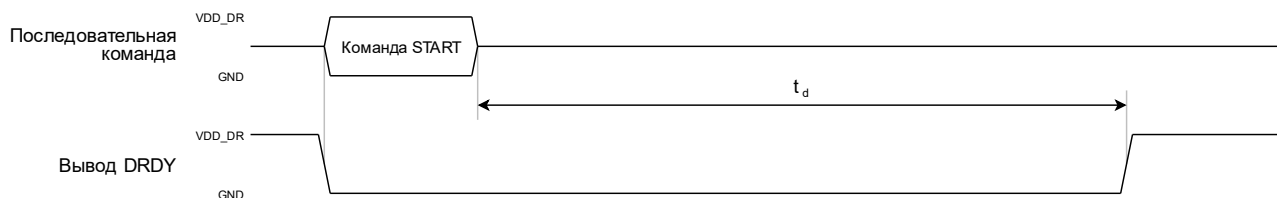


Рисунок 26. Время задержки первого преобразования после команды START для единичного преобразования

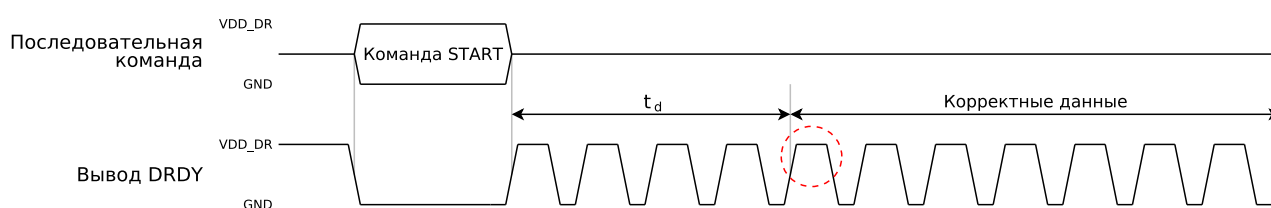


Рисунок 27. Время задержки преобразования после команды START для непрерывного преобразования при частоте 1 кГц

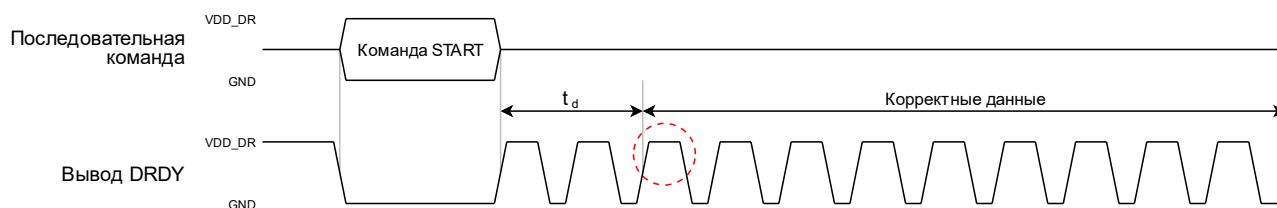


Рисунок 28. Время задержки преобразования после команды START для непрерывного преобразования при остальных частотах

Источники тактовых сигналов

Возможно использование как встроенного, так и внешнего источника тактового сигнала.

Для использования внутреннего источника тактового сигнала необходимо подсоединить вывод CLKIN к GND, вывод CLKOUT оставить в обрыве (Рисунок 29).

Для использования внешнего источника тактового сигнала необходимо подать частоту на вывод CLKIN, а вывод CLKOUT оставить в обрыве (Рисунок 30).

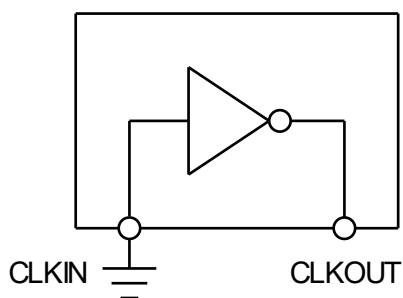


Рисунок 29. Внутренний источник тактового сигнала

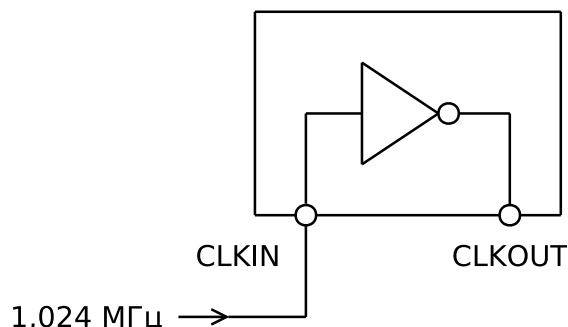


Рисунок 30. Внешний источник тактового сигнала

Таблица 12. Справочные данные внешнего тактового сигнала

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Напряжение высокого уровня входных цифровых сигналов (CLKIN), В	4,75	VDDD	
Напряжение низкого уровня входных цифровых сигналов (CLKIN), В		0	0,4
Период тактового сигнала, мкс	1/1,126	1/1,024	1/0,921
Коэффициент заполнения тактового сигнала, %	40	50	60

Последовательный интерфейс

Взаимодействие с управляющим устройством осуществляется через последовательный SPI интерфейс. Поддерживается два режима работы последовательного интерфейса, выбор режима работы осуществляется с помощью вывода TYPE:

лог. «0» – режим 1 (CPOL = 0, CPHA = 1);

лог. «1» – режим 3 (CPOL = 1, CPHA = 1).

Для управления микросхемой предусмотрено четыре команды: чтение и запись конфигурационного регистра, старт преобразования, сброс микросхемы до значений по умолчанию.

Для согласования уровней цифровых сигналов с управляющим устройством в микросхеме реализован вывод питания периферийной части VDD_DR (25) с допустимым диапазоном напряжения от 2,5 В до 5,0 В.

CS («Chip Select»)

Сигнал CS выбирает устройство для SPI-коммуникации, выбор производится низким логическим уровнем. При переходе CS в лог. «1» последовательный интерфейс сбрасывается, вывод SCLK игнорируется и сигнал на выводе DOUT переходит в состояние высокого импеданса. Если на шине несколько устройств, вывод DRDY может использоваться для мониторинга преобразований. Если шина не используется с другими устройствами, вывод CS можно удерживать в лог. «0».

SCLK

SCLK – вход тактового сигнала. Если последовательный интерфейс не используется, необходимо удерживать «SCLK» на уровне лог. «0» (при TYPE = «0»), либо в лог. «1» (при TYPE = «1»).

DRDY («Data Ready»)

DRDY сигнализирует о готовности нового результата преобразования. Когда DRDY переходит в состояние лог. «1» – новые данные готовы. DRDY возвращается в состояние лог. «0» на следующем фронте SCLK. В режиме непрерывного преобразования, если данные не считываются, вывод DRDY остается в состоянии лог. «1», но кратковременно переходит на лог. «0» длительностью $2 \times t(\text{MOD})$. Вывод DRDY всегда активен, даже когда вывод CS находится в лог. «1».

DIN («Data Input»)

DIN используется для отправки данных, команд и данных регистра. Микросхема фиксирует данные на входе DIN по срезу SCLK.

DOUT («Data Output»)

DOUT используется для чтения преобразования и регистрации данных. Данные на выводе DOUT сдвигаются по переднему фронту сигнала SCLK. Сигнал на выводе DOUT переходит в Z-состояние (высокого импеданса), когда вывод CS в лог. «1».

Команды последовательного интерфейса

Для управления микросхемой предусмотрено четыре команды.

Таблица 13. Команды последовательного интерфейса

Команда	Описание	Данные
RESET	Сброс устройства	00 00 01 10, 0
START	Старт или рестарт АЦП	00 00 10 00, 0
RREG	Чтение конфигурационного регистра	00 01 00 10, 0
WREG	Запись конфигурационного регистра	00 01 01 00, R15 ... R0
«0» – 0000 0000 0000 0000, «R15...R0» – 16 бит данных настройки конфигурационного регистра R		

RESET (00 00 01 10) – Сбрасывает данные регистров микросхемы до значений по умолчанию (0h). Рекомендуется подождать не менее (50 мкс + 16386×t_{CLK}) после выполнения команды RESET перед отправкой другой команды. Также сброс устройства можно произвести подачей лог. «0» длительностью не менее 1 мкс на вывод nRST.

START (00 00 10 00) – В режиме однократного преобразования команда START используется для запуска одного преобразования или сброса цифрового фильтра, а затем перезапуска однократного нового преобразования. После подачи питания, записи «0» в бит №8 (MODE) конфигурационного регистра R, или после подачи команды «RESET» будет автоматически запущено непрерывное преобразование. Отправка команды «START» в режиме непрерывного преобразования сбрасывает цифровой фильтр и перезапускает непрерывное преобразование. Также старт преобразования можно инициировать подачей лог. «1» длительностью не менее 1 мкс на вывод START.

RREG (00 01 00 10) – Команда RREG позволяет считать данные конфигурационного регистра R, после первых 8 периодов SCLK, на выводе DOUT формируется конфигурационный регистр R старшим разрядом вперед. В начальный момент времени и после выполнения команды RESET конфигурационный регистр содержит «0».

WREG (00 01 01 00) – Команда WREG позволяет записать данные в конфигурационный регистр R. Первые 8 бит активируют команду записи, последние 16 бит являются данными конфигурационного регистра R (Таблица 14).

Карта регистров

Микросхема содержит 16-битный регистр конфигурации, который доступен через последовательный интерфейс с помощью команд RREG и WREG. После включения или сброса в регистре устанавливаются значения по умолчанию – лог. «0».

Таблица 14. Конфигурационный регистр R

Биты	Название	Тип	Значение при сбросе	Описание
15-14	A_MUX	R/W	0h	Конфигурация входного мультиплексора MUX: «00» – выбор первого канала (IN0 – IN1); «01» – выбор второго канала (IN2 – IN3); «1x» – выбор канала опорного напряжения (REFP-REFN).
13	POL	R/W	0h	Конфигурация полярности сигнала мультиплексора: «0» – не инверсная; IN0 – положительный вход; IN1 – отрицательный вход; IN2 – положительный вход; IN3 – отрицательный вход; «1» – инверсная. IN0 – отрицательный вход; IN1 – положительный вход; IN2 – отрицательный вход; IN3 – положительный вход;
12-10	GAIN [2:0]	R/W	0h	Конфигурация коэффициента усиления блока PGA: «0xx» – напрямую без усиления; «100» – 2; «101» – 4; «110» – 8; «111» – 16.
9	REF	R/W	0h	Конфигурация опорного напряжения для АЦП: «0» – выбор внутреннего опорного напряжения; «1» – выбор внешнего напряжения.
8	MODE	R/W	0h	Выбор режима для АЦП: «0» – непрерывное преобразование; «1» – режим единичного преобразования.
7-6	DR [1:0]	R/W	0h	Конфигурация выходной скорости данных (настройка цифрового фильтра) для АЦП. См. пункт «Цифровой фильтр».
5-4	Tech	R/W	0h	Биты используются для настройки микросхемы при производстве. Необходимо записать лог. «0».
3	SCALE	R/W	0h	Выбор масштаба полной шкалы сигнала АЦП: «0» – 100%; «1» – 80%.
2	BUF_DIS	R/W	0h	Выбор режима работы буфера опорного напряжения: «0» – буфер включен; «1» – буфер выключен.
1-0	Tech	R/W	0h	Биты используются для настройки микросхемы при производстве. Необходимо записать лог. «0».

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Демонстрационный комплект

Для оценки характеристик микросхемы разработана демонстрационная плата КФЦС.441461.230, которая отражает основные возможные режимы работы микросхемы.

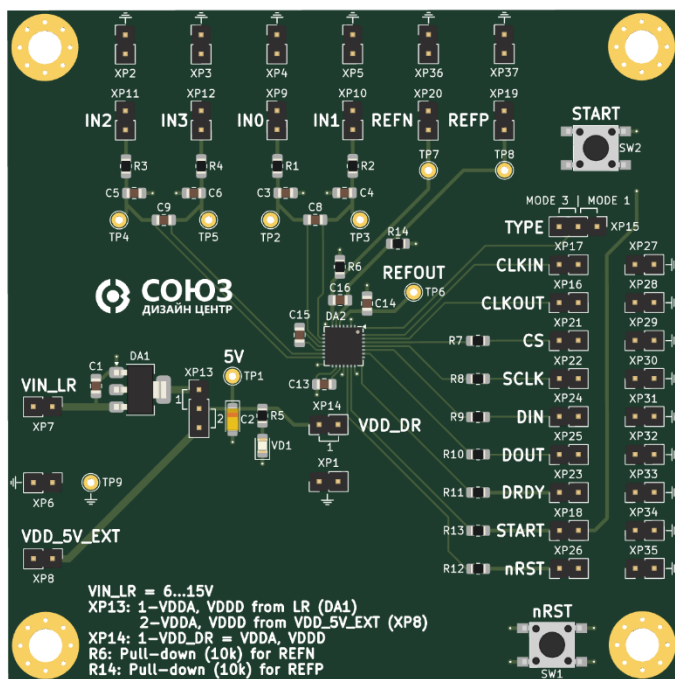


Рисунок 31. Демонстрационная плата для микросхемы 5400TP045B-025

Таблица 15. Таблица компонентов

Компонент	Номинал	Компонент	Номинал
C1, C10 – C12	0,1 мкФ	R1 – R4	1,0 кОм
C2	10 мкФ	R5	330 Ом
C3 – C5, C6	150 пФ	R6, R14	10 кОм
C7, C13, C14, C16	1,0 мкФ	R7 – R13	47 Ом
C8, C9	1,6 нФ	R15, R18	10 кОм
C15	4,7 нФ	R16, R17	100 кОм
VD1	FYLS-0805	XP13, XP15	PLS-3
DA1	LD1117S50TR	XP1 – XP12, XP14, XP16 – XP37	PLS-2
DA2	5400TP045B-025		

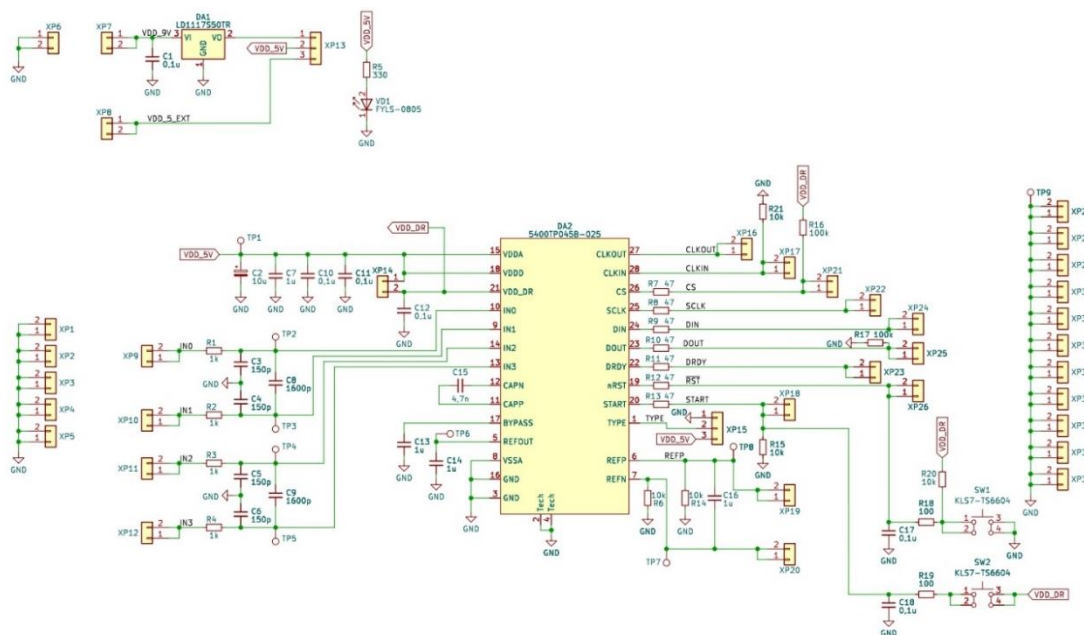


Рисунок 32. Электрическая схема демонстрационной платы КФЦС.441461.230 для микросхемы 5400TP045B-025

Руководство по работе с отладочной платой

Для работы с отладочной платой вам понадобится источник питания, источник входных сигналов АЦП и управляющее устройство с интерфейсом SPI.

Перед началом работы необходимо:

- выбрать режим работы SPI (SPI MODE 1 или SPI MODE 3), замкнув джампером на XP15 соответствующие контакты;
- на XP13 установить джампер в положение 1, если питание будет подаваться от импульсного источника питания с выходным напряжением 6,0 В...15 В, в положение 2, если питание подается от стабилизированного источника питания с выходным напряжением 5,0 В (после подачи питания на плату загорится светодиод VD1);
- установить джампер на XP14 для подачи на вывод питания интерфейсной части VDD_DR напряжения 5,0 В или подать на правый пин разъема XP14 необходимое вам напряжение VDD_DR;
- при использовании внешнего опорного уровня подать напряжение на выводы REFP и REFN, ($V_{REF} = V_{REFP} - V_{REFN}$), при использовании внутреннего опорного напряжения подача напряжения на выводы REFP и REFN не требуется ($V_{REF} = 2,5$ В);
- при использовании внутреннего генератора тактовой частоты вывод CLKIN объединить с GND.

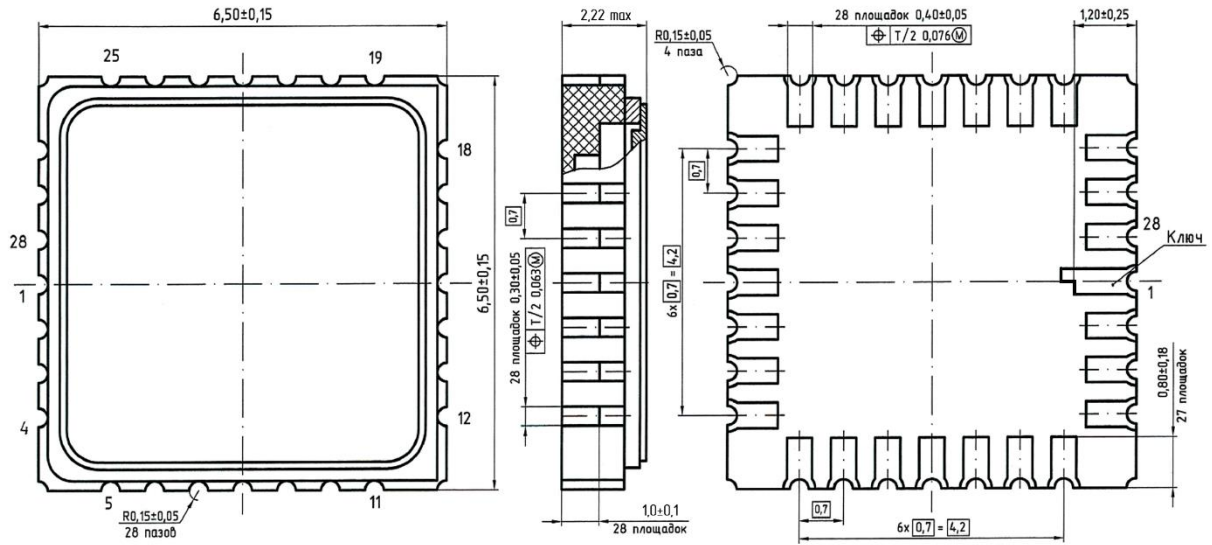
Для подачи команд и считывания результатов преобразования на плате выведены управляющие сигналы CLKIN, CS, SCLK, DIN, DOUT, DRDY, START, nRST (выводы DOUT и START подтянуты к GND резисторами 100 кОм и 10 кОм соответственно, вывод nRST подтянут к VDDDR резистором 10 кОм). Подключите ваше управляющее устройство к плате, подайте входные и управляющие сигналы в соответствии с временными диаграммами (Рисунок 4 – Рисунок 7). Также для подачи сигналов START и RESET на плате предусмотрены кнопки SW1, SW2.

Для ускорения начала работы с микросхемой разработан скетч для аппаратно-программной платформы Arduino. В скетче реализованы все команды управления АЦП: возможно считывание данных преобразования, запись и чтение данных конфигурационного регистра, сброс микросхемы до значений по умолчанию. Скачать данный скетч можно на официальном сайте в разделе «Программное обеспечение» или на странице микросхемы.

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Габаритный чертеж



- * Размеры для справок.
- Нумерация выводных площадок показана условно.

Рисунок 33. Габаритный чертеж корпуса МК 5123.28-1.01 (размеры в мм)

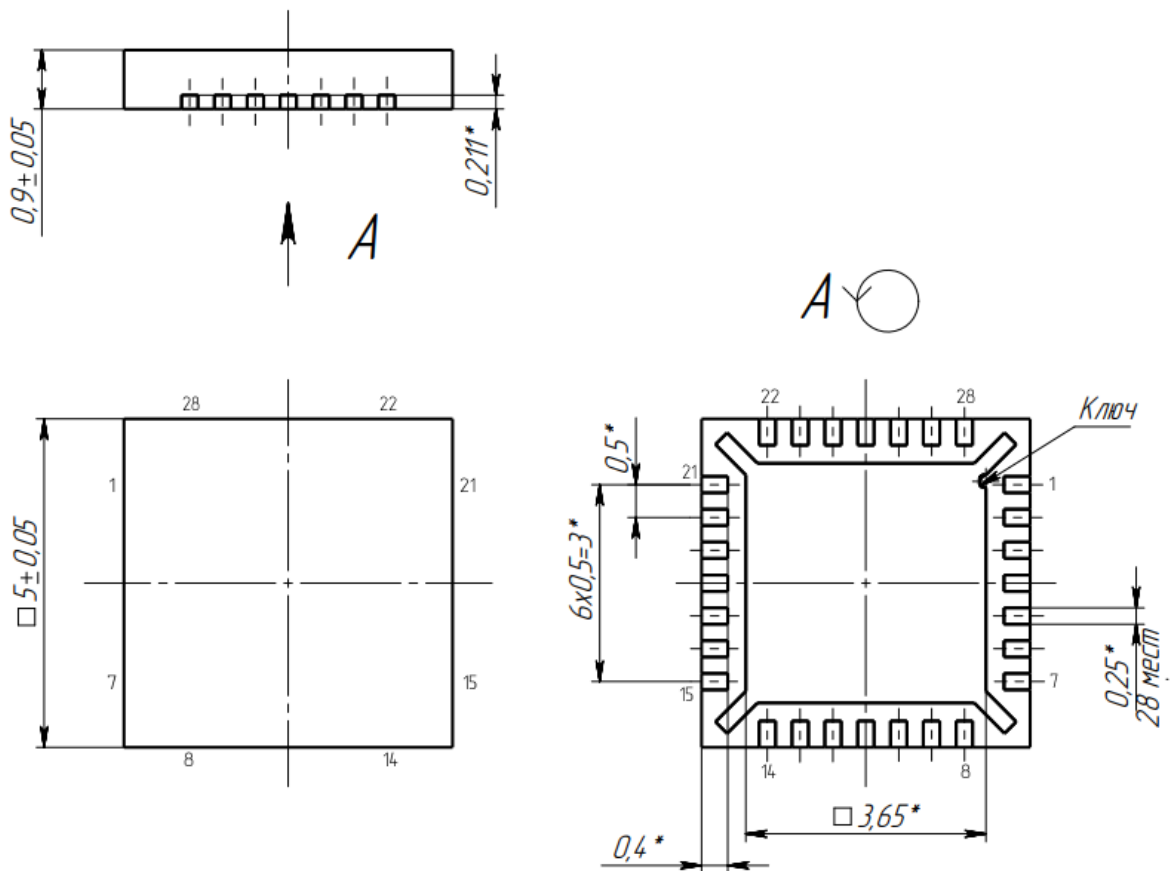


Рисунок 34. Габаритный чертеж корпуса 5102.28-1 К (размеры в мм)

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Информация для заказа

Обозначение	Маркировка	Корпус	Температурный диапазон
Категория качества «ВП»			
5400ТР045А-025 АЕНВ.431260.237ТУ карта заказа КФЦС.431260.003-025Д16	045А-025	МК 5123.28-1.01	-60°C ...+125°C
5400ТР045В-025 АЕНВ.431260.237ТУ карта заказа КФЦС.431260.032-025Д16	045В-025	5102.28-1 К	-60°C ...+100°C
Категория качества «ОТК»			
К5400ТР045А-025 КФЦС.431000.001ТУ КФЦС.431260.001.01СП карта заказа КФЦС 431260.003.01-025Д16	045А-025	МК 5123.28-1.01	-60°C ...+125°C
К5400ТР045В-025 КФЦС.431000.001ТУ КФЦС.431260.001.01СП карта заказа КФЦС 431260.032.01-025Д16	045В-025	5102.28-1 К	-60°C ...+100°C

Микросхемы категории качества «ВП» маркируются ромбом.

Микросхемы категории качества «ОТК» маркируются буквой «К».

