

Основные особенности

- 24 разряда;
- Частота дискретизации:
16 Выб/с ... 1 кВыб/с;
- Встроенный усилительный каскад
с GAIN = 2; 4; 8; 16;
- Внутренний генератор
с частотой 1,024 МГц;
- Внутренний источник опорного
напряжения 2,5 В;
- Последовательный интерфейс
выходных данных;
- Напряжение питания ядра 5,0 В ± 5%;
- Напряжение питания периферийной
части от 1,8 В до 5,0 В;
- Ток потребления 1,4 мА;
- Температурный диапазон
от -60°C до +125°C.

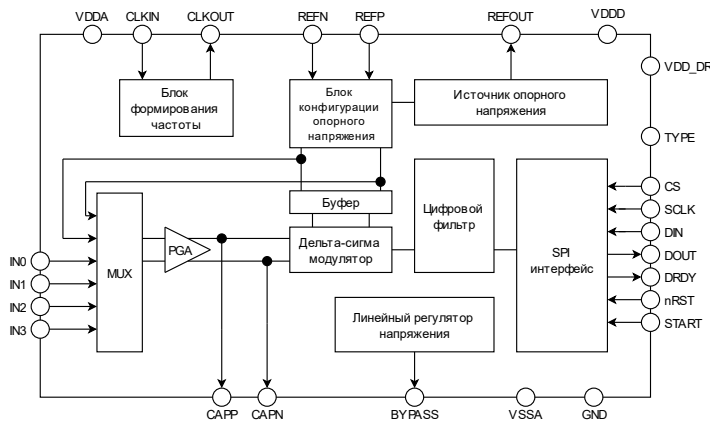


Рисунок 1. Структурная схема

Общее описание

Микросхема 5400TP045A-025 – 2-х канальный 24-х разрядный дельта-сигма АЦП с последовательным интерфейсом выходных данных. Микросхема выполнена на базе радиационно-стойкого аналого-цифрового БМК 5400TP04 по технологии КНИ.

Выходные данные представлены КМОП логическими уровнями. В микросхеме реализован усилительный каскад с настраиваемым коэффициентом усиления 2; 4; 8; 16. Возможно использование как встроенного, так и внешнего генератора тактового сигнала и источника опорного напряжения.

Микросхема является функциональным аналогом ADS1263/ADS1220 (ф. Texas Instruments).


 Рисунок 2. Внешний вид
микросхемы 5400TP045A-025

 Рисунок 3. Внешний вид
микросхемы 5400TP045B-025

ГГ – год выпуска
НН – неделя выпуска

Микросхемы 5400TP045A-025 и 5400TP045B-025 имеют в своей основе один кристалл и отличаются только типом корпуса:

- 5400TP045A-025 выполнена в 28-ми выводном металлокерамическом корпусе МК 5123.28-1.01;
- 5400TP045B-025 выполнена в 28-ми выводном металлополимерном корпусе QFN50P500X500X90-28.

Электрические параметры микросхемы

Таблица 1. Электрические характеристики (температурный диапазон от -60°C до $+125^{\circ}\text{C}$)

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Ток потребления, мА		1,4	1,6
Напряжение смещения, мкВ	-1000		1000
Интегральная нелинейность (INL), ppm	-200 ⁽¹⁾	10	200 ⁽¹⁾
Стандартное отклонение результата преобразования ⁽²⁾ , МЗР		См. Таблица 6	
STD1: GAIN = 000, DR = 00, MODE = 1			100
STD2: GAIN = 000, DR = 11, MODE = 1			20
STD3: GAIN = 111, DR = 00, MODE = 1			300
STD4: GAIN = 111, DR = 11, MODE = 1			50
STD5: GAIN = 000, DR = 00, MODE = 0			120
STD6: GAIN = 000, DR = 11, MODE = 0		20	
Справочные данные			
Характеристики АЦП			
Разрядность, бит		24	
Скорость выдачи данных, Гц	$F_{\text{MOD}}/16384$	$F_{\text{MOD}}/1024$	$F_{\text{MOD}}/256$
Коэффициент усиления встроенного усилительного каскада (GAIN), В/В		2; 4; 8; 16	
Шумовые характеристики		См. Таблица 6	
Напряжение смещения, мкВ	$-1000/\text{GAIN}$	$350/\text{GAIN}$	$1000/\text{GAIN}$
Дрейф напряжения смещения, мкВ/ $^{\circ}\text{C}$		$1,4/\text{GAIN}$	
Размах полной шкалы, В	1,0	$2 \times V_{\text{REF}}^{(3)}$	VDDA
Ошибка усиления (GAIN = 1), ppm	-250		250
Ошибка усиления (GAIN = 2, 4, 8, 16), ppm	-1000		1000
Дрейф ошибки усиления (GAIN = 1), ppm/ $^{\circ}\text{C}$		0,25	
Дрейф ошибки усиления (GAIN = 2, 4, 8, 16), ppm/ $^{\circ}\text{C}$		1,24	
Коэффициент подавления синфазной составляющей CMRR, дБ		102	
Коэффициент подавления помех по питанию PSRR, дБ		70	
Аналоговые входы			
Абсолютный входной ток, (GAIN = 1), нА		5,0	
Абсолютный входной ток, (GAIN = 2, 4, 8, 16), нА		1,0	
Дифференциальный входной ток, (GAIN = 1), нА		1,0	
Дифференциальный входной ток, (GAIN = 2, 4, 8, 16), нА		0,1	
Внутренний ИОН			
Напряжение внутреннего источника опорного напряжения (REFOUT), В	2,495	2,5	2,505
Температурный дрейф ИОН, ppm/ $^{\circ}\text{C}$		50	100
Нагрузочная способность ИОН, мкВ/мА		100	

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Продолжение таблицы 1

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Внешний ИОН			
Входной ток опорного напряжения, нА		4,0	
Дрейф входного тока опорного напряжения, пА/°С		100	
Тактовый генератор			
Частота внутреннего генератора (F_{CLK}), МГц	0,973	1,024	1,075
Частота тактирования модулятора (F_{MOD}), кГц		$F_{CLK}/4$	
Цифровые выходы			
Напряжение высокого уровня выходных цифровых сигналов (DOUT, DRDY), В (при $VDD_{DR} = 1,8$ В, $I_{LOAD} = 1,5$ мА; при $VDD_{DR} = 5,0$ В, $I_{LOAD} = 6,0$ мА)	$VDD_{DR} - 0,4^{(4)}$	VDD_{DR}	
Напряжение низкого уровня выходных цифровых сигналов (DOUT, DRDY), В (при $VDD_{DR} = 1,8$ В, $I_{LOAD} = 1,5$ мА; при $VDD_{DR} = 5,0$ В, $I_{LOAD} = 6,0$ мА)		0	0,5
Потребление			
Ток потребления (при $GAIN [2:0] = \langle 0xx \rangle$), мА			1,35
Ток потребления (при $BUF_DIS = \langle 1 \rangle$), мА			1,45
Ток потребления (при $GAIN [2:0] = \langle 0xx \rangle$, $BUF_DIS = \langle 1 \rangle$), мА			1,25
Примечание:			
1) максимальное и минимальное значение интегральной нелинейности ограничено точностью лабораторного оборудования при измерении.			
2) значения стандартного отклонения результата преобразования в зависимости от выбранного режима (см. Таблица 12, биты 6 – 8, 10 – 12) при $V_{REF} = 2,5$ В:			
3) при использовании внутреннего опорного уровня $V_{REF} = V_{REFOUT} - VSSA$; при использовании внешнего опорного уровня $V_{REF} = V_{REFP} - V_{REFN}$.			
4) не менее 1,6 В.			

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 1000 В по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

Параметр, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение питания (VDDA, VDDD), В	4,75	5,25	-0,3	5,35
Напряжение питания интерфейсной части (VDD_DR), В	1,71	5,25	-0,3	5,35
Напряжение высокого уровня входных цифровых сигналов (CS, SCLK, DIN, nRST, START), В	1,71	VDD_DR	-0,3	VDD_DR +0,3 ⁽¹⁾
Напряжение низкого уровня входных цифровых сигналов (CS, SCLK, DIN, nRST, START), В	0	0,4	-0,3	VDD_DR +0,3 ⁽¹⁾
Напряжение высокого уровня входных цифровых сигналов (TYPE, CLKIN), В	4,75	VDDD	-0,3	VDDD+0,3 ⁽¹⁾
Напряжение низкого уровня входных цифровых сигналов (TYPE, CLKIN), В	0	0,4	-0,3	VDDD+0,3 ⁽¹⁾
Нагрузочная способность (DOUT, DRDY), мА при VDD_DR = 1,8 В	–	1,5	–	3,0
при VDD_DR = 5,0 В	–	6,0	–	8,0
Положительное напряжения внешнего опорного уровня (REFP), В	VSSA+0,5	VDDA	-0,3	VDDA+0,3 ⁽¹⁾
Отрицательное напряжение внешнего опорного уровня (REFN), В	VSSA	VDDA-0,5	-0,3	VDDA+0,3 ⁽¹⁾
Диапазон входного аналогового сигнала (IN0-IN3), В	VSSA	VDDA	-0,3	VDDA+0,3 ⁽¹⁾
Температура эксплуатации, °С	-60	+125	-60	+150
Примечание: 1) не более 5,35 В				

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Конфигурация и функциональное описание выводов

Таблица 3. Функциональное описание выводов

№ вывода		Тип вывода	Наименование вывода	Назначение вывода
045A-025	045B-025			
1	4	DI	SCLK	Вход тактового сигнала последовательного интерфейса
2	5	DI	CS	Вывод «Chip-select» последовательного интерфейса
3	6	DO	CLKOUT	Выход тактовой частоты
4	7	DI	CLKIN	Вход тактовой частоты
5	8	DI	TYPE	Выбор режима работы последовательного интерфейса: лог. «1» – режим 3 (CPOL = 1, CPHA = 1) лог. «0» – режим 1 (CPOL = 0, CPHA = 1)
6, 8	9, 11	–	TECH	Технологический вывод (объединить с VSSA)
7, 20	10, 23	PWR	GND	Общий цифровой вывод
9	12	AO	REFOUT	Вывод для подключения внешнего шунтирующего конденсатора внутреннего опорного напряжения
10	13	AI	REFP	Положительное опорное напряжение АЦП
11	14	AI	REFN	Отрицательное опорное напряжение АЦП
12	15	PWR	VSSA	Общий аналоговый вывод
13	16	AI	IN1	Вход 1 мультиплексора
14	17	AI	IN0	Вход 0 мультиплексора
15	18	AO	CAPP	Вывод подключения конденсатора для фильтрации
16	19	AO	CAPN	Вывод подключения конденсатора для фильтрации
17	20	AI	IN3	Вход 3 мультиплексора
18	21	AI	IN2	Вход 2 мультиплексора
19	22	PWR	VDDA	Вывод положительного аналогового питания
21	24	AO	BYPASS	Вывод для подключения внешнего шунтирующего конденсатора встроенного линейного регулятора
22	25	PWR	VDDD	Вывод положительного цифрового питания
23	26	DI	nRST	Вход сигнала сброса. При подаче лог. «0» происходит сброс микросхемы в начальное состояние.
24	27	DI	START	Вход сигнала старта преобразования. При подаче лог. «1» запускает преобразование АЦП.
25	28	PWR	VDD_DR	Напряжение питания интерфейсной части
26	1	DO	DRDY	Сигнал готовности нового результата преобразования
27	2	DO	DOUT	Выход последовательного интерфейса
28	3	DI	DIN	Вход данных последовательного интерфейса
<p>Примечание:</p> <p>DI – цифровой вход</p> <p>DO – цифровой выход</p> <p>AI – аналоговый вход</p> <p>AO – аналоговый выход</p> <p>PWR – вывод напряжения питания</p>				

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Временные диаграммы

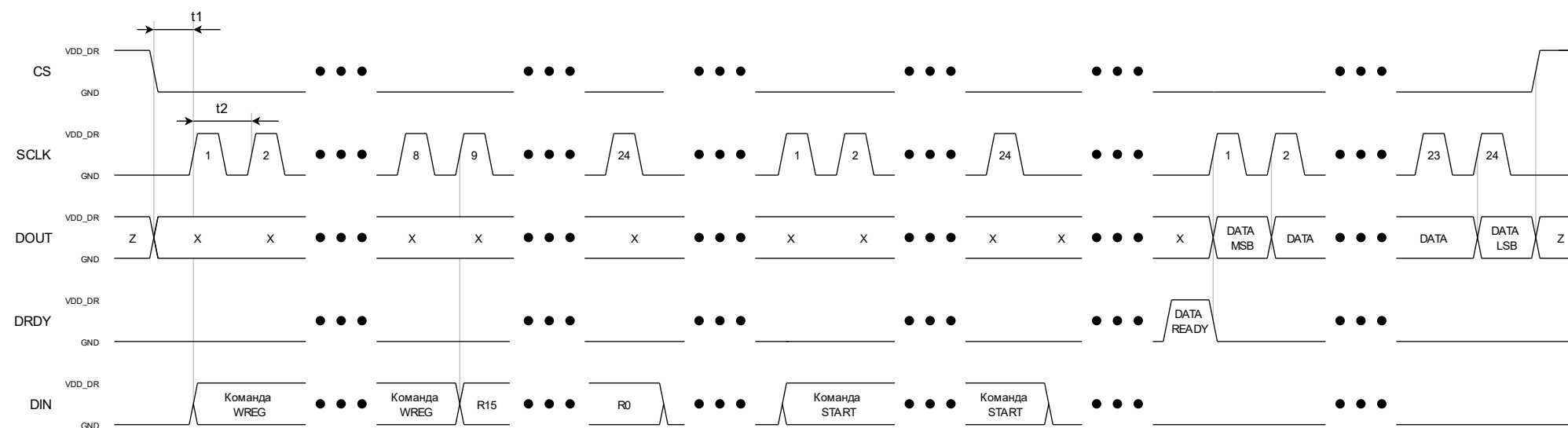


Рисунок 4. Временная диаграмма работы АЦП при единичном преобразовании в режиме 1 (TYPE = «0»; CPOL = 0; CPHA = 1)

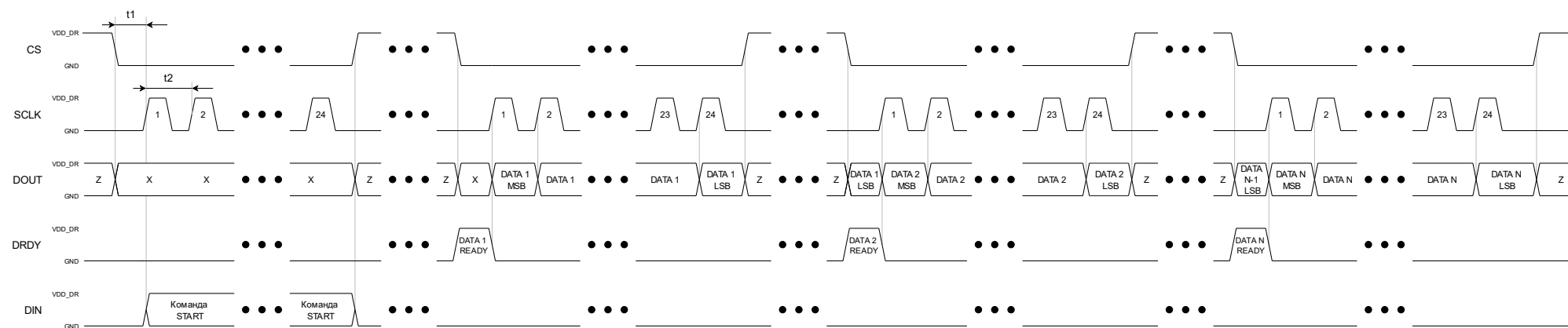


Рисунок 5. Временная диаграмма работы АЦП при непрерывном преобразовании в режиме 1 (TYPE = «0»; CPOL = 0; CPHA = 1)

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

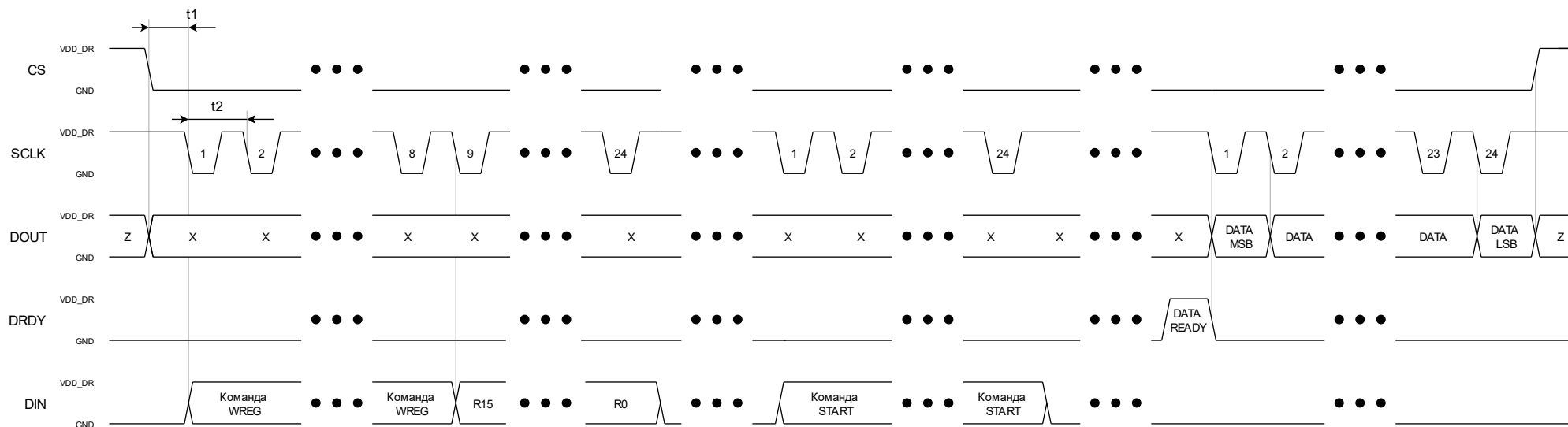


Рисунок 6. Временная диаграмма работы АЦП при единичном преобразовании в режиме 3 (TYPE = «1»; CPOL = 1; CPHA = 1)

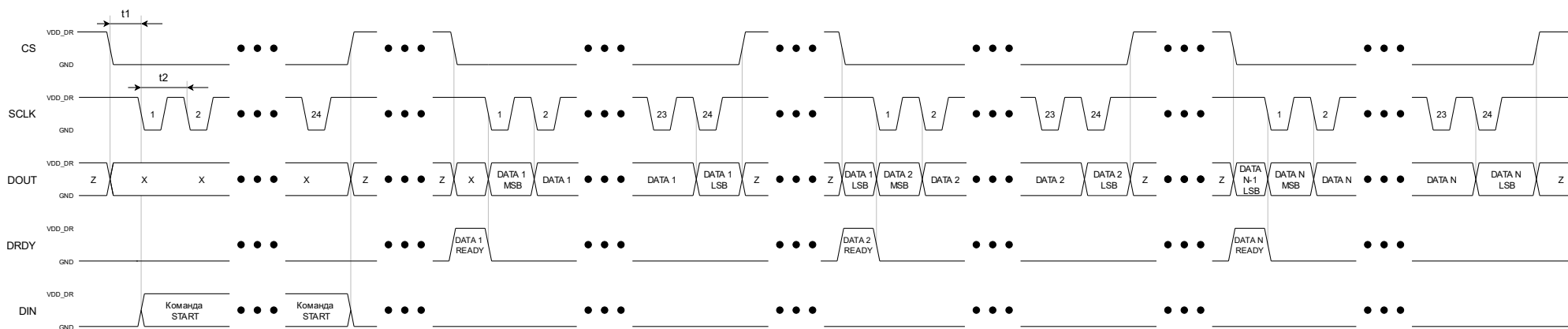


Рисунок 7. Временная диаграмма работы АЦП при непрерывном преобразовании в режиме 3 (TYPE = «1»; CPOL = 1; CPHA = 1)

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Таблица 4. Справочные данные

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Время задержки между срезом CS и фронтом SCLK (t_1), нс	50		
Период тактового сигнала SCLK (t_2), нс	200		
Коэффициент заполнения тактового сигнала, %	40	50	60

Выходные данные представлены в прямом двоичном коде со смещением.

Таблица 5. Формат выходных данных

$V_{INP} - V_{INM}$	Выходной код
$>+V_{REF}$	1111 1111 1111 1111 1111 1111
$+V_{REF}$	1111 1111 1111 1111 1111 1111
0	1000 0000 0000 0000 0000 0000
$-V_{REF}$	0000 0000 0000 0000 0000 0000
$<-V_{REF}$	0000 0000 0000 0000 0000 0000

Примечание:

При условии, что бит SCALE = «0» (бит №3 конфигурационного регистра R (Таблица 12)).

Типовые характеристики

$V_{VDDA} = 5,0\text{ В}$, $V_{VSSA} = 0\text{ В}$, $V_{VDDD} = 5,0\text{ В}$, $V_{REF} = 2,5\text{ В}$ – внешний источник опорного напряжения, внутренний источник тактовой частоты

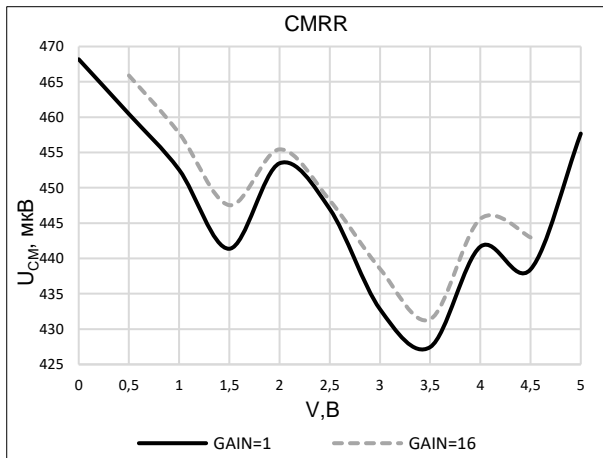


Рисунок 8. Зависимость напряжения смещения от входного синфазного сигнала

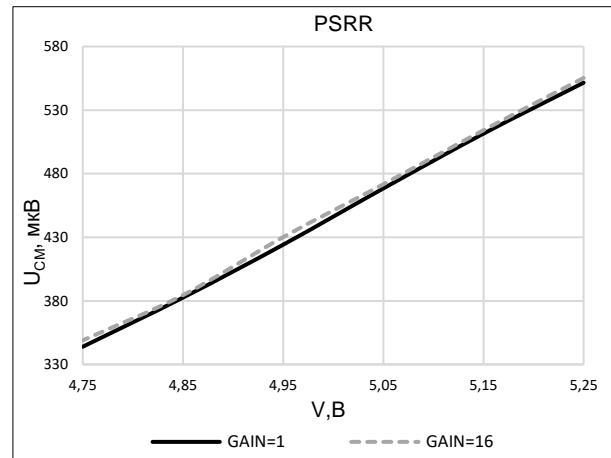


Рисунок 9. Зависимость напряжения смещения от аналогового напряжения питания

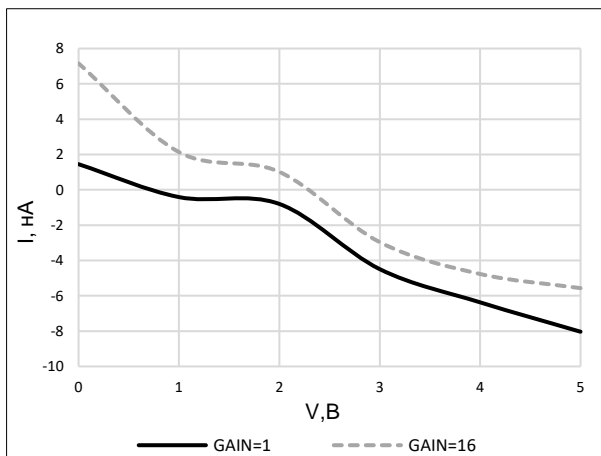


Рисунок 10. Зависимость входного тока канала опорного напряжения от напряжения

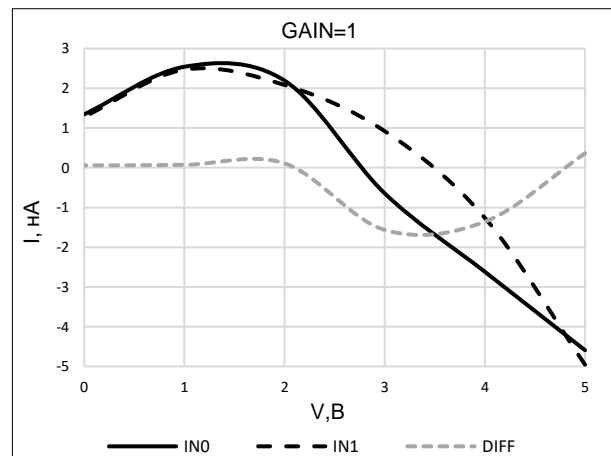


Рисунок 11. Зависимость входного тока от синфазного напряжения (GAIN = 1)

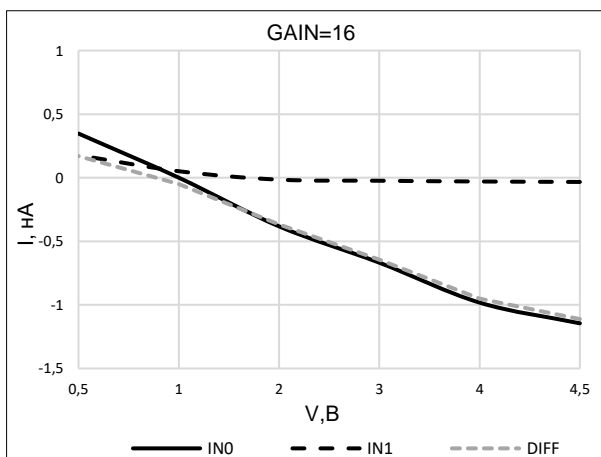


Рисунок 12. Зависимость входного тока от синфазного напряжения (GAIN = 16)

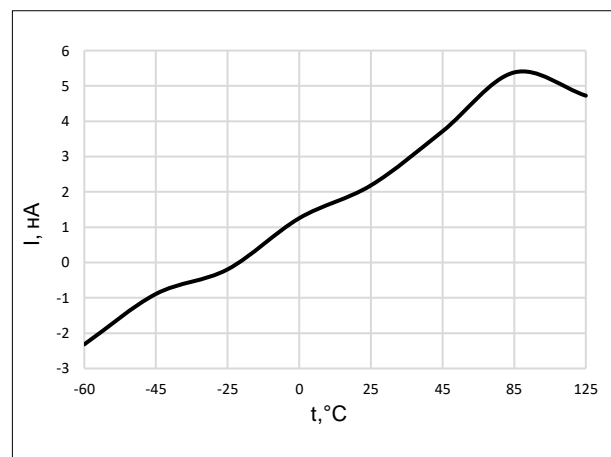


Рисунок 13. Зависимость входного тока канала опорного напряжения от температуры

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

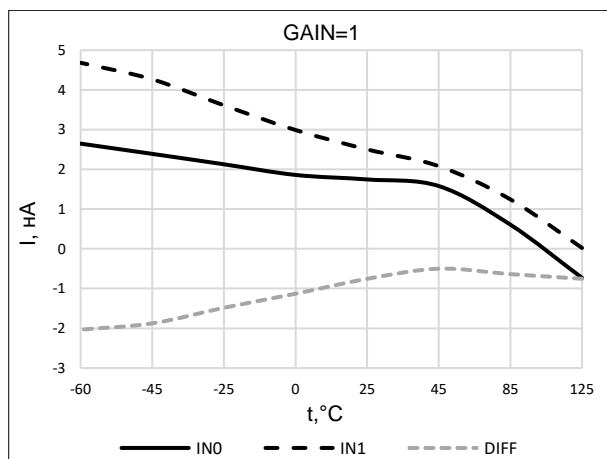


Рисунок 14. Зависимость входного тока от температуры (GAIN = 1)

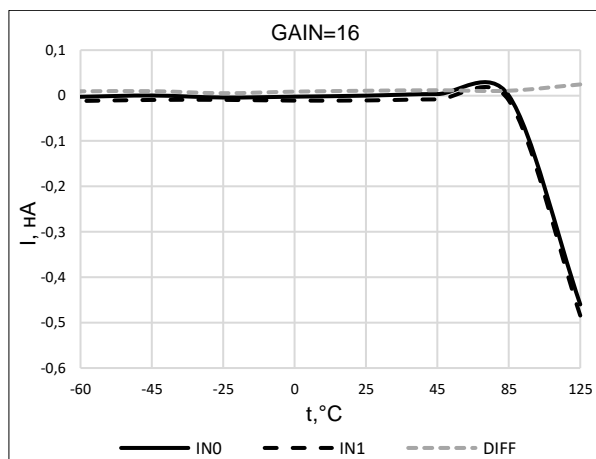


Рисунок 15. Зависимость входного тока от температуры (GAIN = 16)

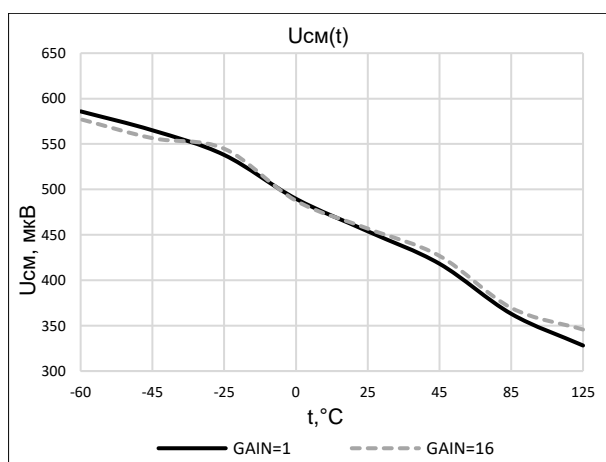


Рисунок 16. Зависимость напряжения смещения от температуры

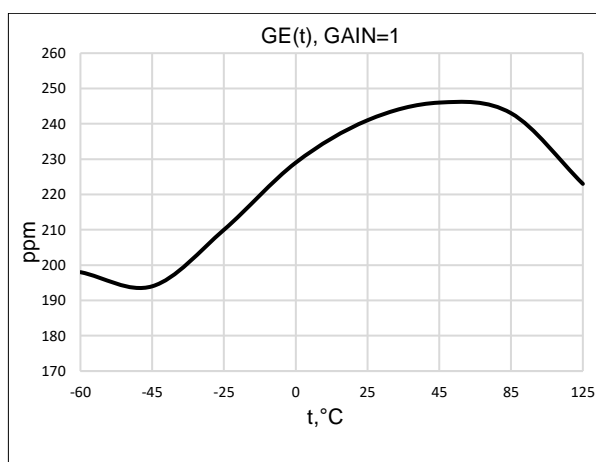


Рисунок 17. Зависимость ошибки усиления от температуры (GAIN = 1)

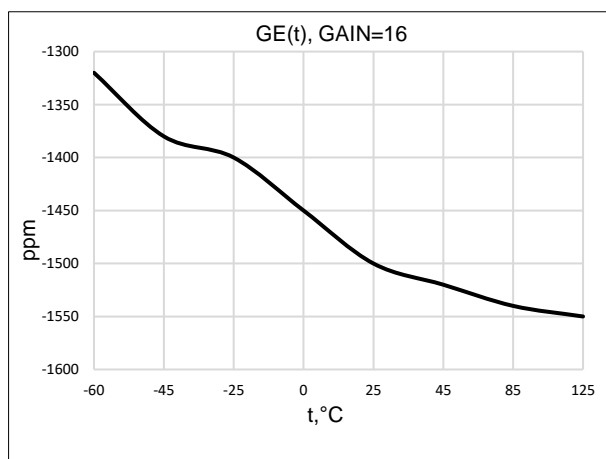


Рисунок 18. Зависимость ошибки усиления от температуры (GAIN = 16)

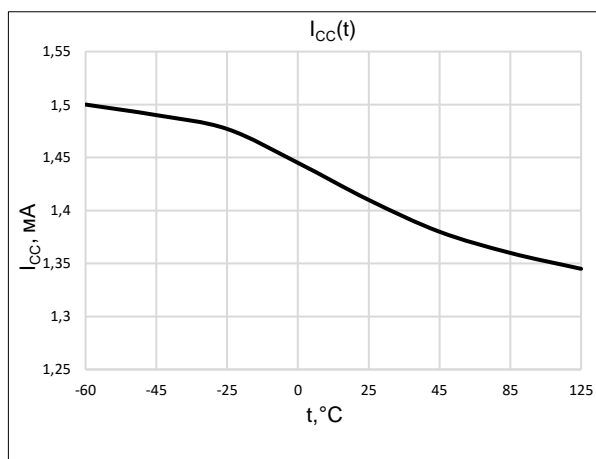


Рисунок 19. Зависимость тока потребления от температуры

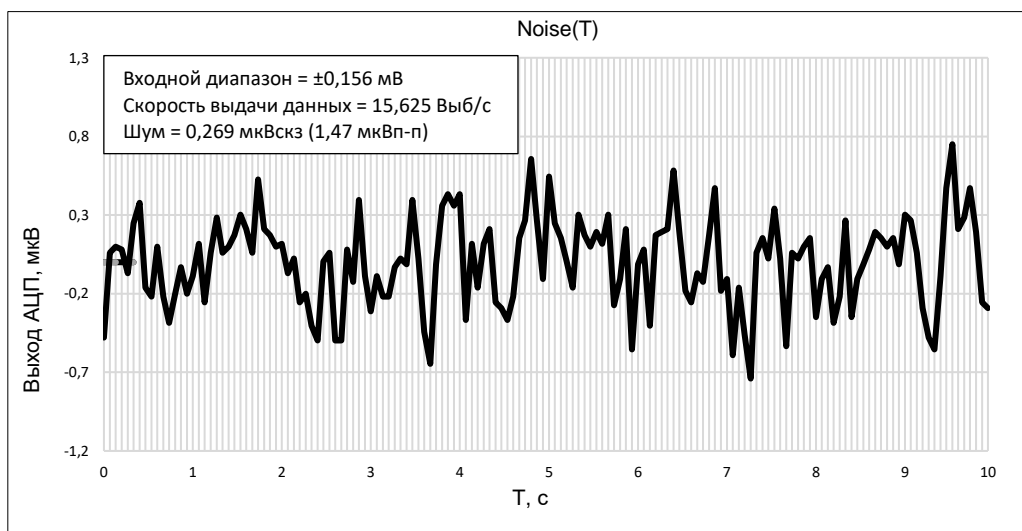


Рисунок 20. Шум АЦП при нулевом входном значении
(при GAIN = 16, внешнее опорное напряжение 2,5 В,
скорость преобразования 15,625 Гц)

Таблица 6. Шумовые характеристики

Шум в мкВ_{СКЗ} (мкВ_{п-п}) T = 27°C, V_{VDDA} = 5,0 В, V_{VSSA} = 0 В, V_{VDDD} = 5,0 В, V_{REF} = 2,5 В – внешний источник опорного напряжения, внутренний источник тактовой частоты

Частота выборки, Гц	Усиление				
	1	2	4	8	16
1000	16,928 (100,434)	7,484 (46,343)	3,723 (21,458)	2,536 (14,715)	2,220 (12,144)
250	6,814 (36,359)	3,965 (22,054)	2,076 (11,399)	1,397 (7,823)	1,146 (6,724)
62,5	3,511 (19,073)	1,805 (10,879)	1,088 (5,960)	0,769 (3,874)	0,583 (3,129)
15,625	1,888 (10,133)	1,0470 (5,513)	0,465 (2,235)	0,3814511 (1,863)	0,269 (1,471)

Таблица 8. Таблица компонентов

Компонент	Номинал
C1 – C4, C6	0,1 мкФ...1,0 мкФ
C5*	4,7 нФ
R1	Резистор-датчик
R2	Опорный резистор
Rf1, Rf2, Cf1*, Cf2*	Компоненты фильтра, выбирается в зависимости от применения. Типовые значения: Rf1 = 1 кОм Rf2 = 1 кОм Cf1 = 1 нФ; Cf2 = 1 нФ.

Примечание:
* – в тракте сигнала необходимо использовать керамические конденсаторы с высоколинейным диэлектриком или тонкопленочного типа

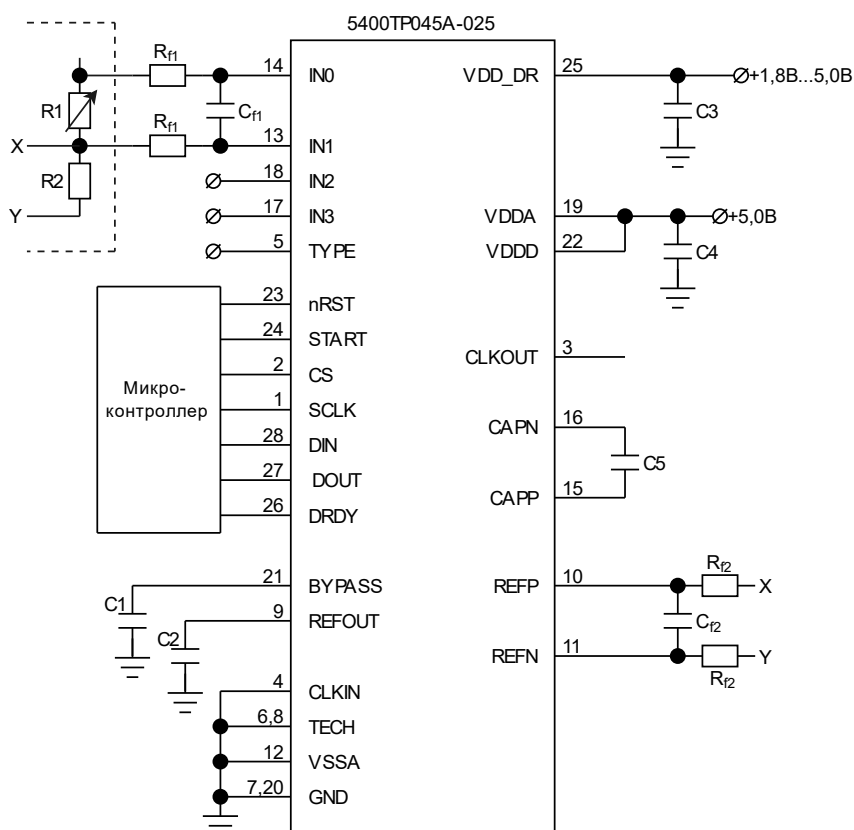


Рисунок 22. Рекомендуемая схема применения при использовании ратиометрических измерений

Примечание:

При использовании внешнего источника тактового сигнала необходимо подать частоту на вывод CLKIN (4), а вывод CLKOUT (3) оставить в обрыве.

Нагрузка вывода BYPASS недопустима.

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Мультиплексор

Мультиплексор позволяет конфигурировать входные аналоговые сигналы битами настройки №15-14 (A_MUX). Также в качестве входного напряжения можно выбрать канал опорного напряжения. Выбор канала опорного напряжения может использоваться для калибровки полной шкалы входного сигнала. Вместе с битом настройки №3 (SCALE) конфигурационного регистра R (Таблица 12) можно провести калибровку полной шкалы АЦП.

Используя бит №9 (POL) конфигурационного регистра R, можно выбирать полярность входного сигнала. Данная настройка может быть использована для прецизионных измерений с очень низким дрейфом смещения. Меняя полярность входного сигнала и усредняя результаты оцифрованного сигнала с учетом знака, все смещения и низкочастотные дрейфы подавляются с точностью до уровня шумов (Таблица 6).

Программируемый усилитель (PGA)

PGA – это усилитель с программируемым коэффициентом усиления, низким уровнем шума и дифференциальными входами/выходами. PGA расширяет динамический диапазон АЦП. Коэффициент усиления может быть установлен на значения 2, 4, 8, 16 с помощью битов №12-10 (GAIN [2:0]) конфигурационного регистра R. В случае необходимости можно отключить усилитель для расширения аналогового входного диапазона напряжений.

Усилитель PGA состоит из двух ОУ (Y1 и Y2) и программируемых резисторов для установки коэффициента усиления (Рисунок 23). При отключении усилителя можно напрямую соединить вход с АЦП. Выводы CAPP и CAPN являются положительными и отрицательными выходами усилителя соответственно. Между выводами рекомендуется подключить конденсатор емкостью 4,7 нФ. Конденсатор выполняет функцию аналогового фильтра, предотвращая искажения в импульсах модулятора.

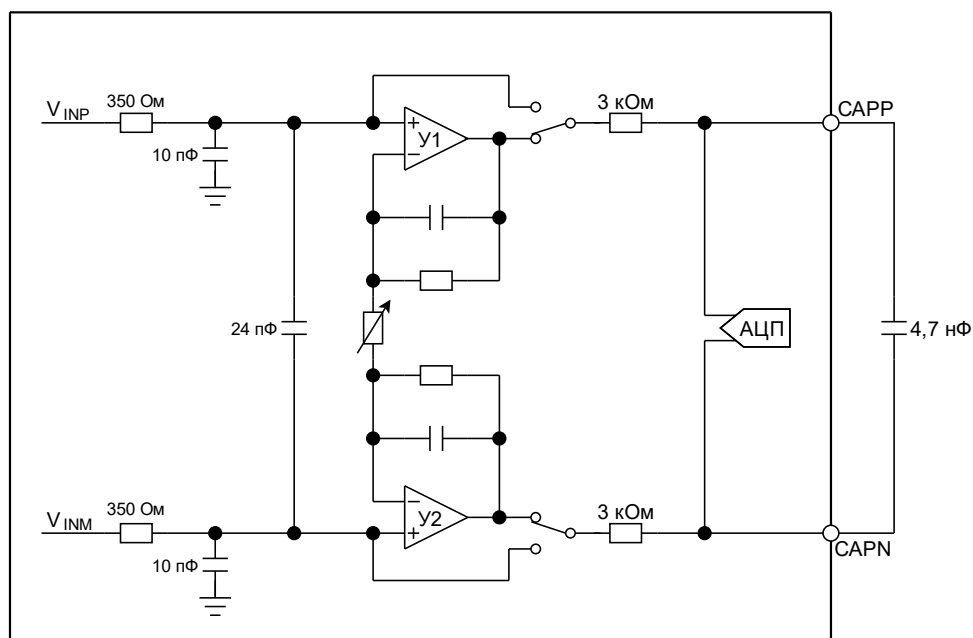


Рисунок 23. Блок-схема усилителя PGA

Размах полной шкалы АЦП определяется опорным напряжением и коэффициентом усиления PGA. В таблице ниже представлены значения размаха полной шкалы для различных коэффициентов усиления при опорном напряжении 2,5 В.

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Таблица 9. Размах полной шкалы АЦП

Биты GAIN[2:0] регистра R	Коэффициент усиления, В/В	Размах полной шкалы, В
0xx	Напрямую без усиления	±2,5
100	2	±1,25
101	4	±0,625
110	8	±0,312
111	16	±0,156

У PGA есть строгие ограничения на диапазон входного напряжения, которые необходимо соблюдать. Установленные минимальные и максимальные значения входного напряжения (V_{INP} и V_{INM}) определяются коэффициентом усиления PGA, входным дифференциальным напряжением (V_{IN}) и допустимым отклонением напряжения в аналоговых источниках питания (V_{DDA} и V_{SSA}).

Положительные и отрицательные абсолютные значения входного напряжения должны соответствовать определенному диапазону:

$$V_{SSA} + 0,3 + |V_{IN}| (\text{Gain} - 1) / 2 < V_{INP}, V_{INM} < V_{DDA} - 0,3 - |V_{IN}| (\text{Gain} - 1) / 2$$

где V_{IN} – дифференциальное входное напряжение ($V_{IN} = V_{INP} - V_{INM}$); V_{INP} , V_{INM} – входное напряжение; V_{SSA} , V_{DDA} – напряжение питания.

Связь между входом PGA и выходом PGA представлена на рисунке ниже. Выходные напряжения PGA (V_{OUTP} , V_{OUTN}) зависят от коэффициента усиления PGA и значений входного напряжения. Для стабильной работы выходное напряжение должно находиться в пределах от ($V_{DDA} - 0,3$) В до ($V_{SSA} + 0,3$) В. Важно отметить, что на диаграмме показано положительное дифференциальное входное напряжение, приводящее к положительному дифференциальному выходному напряжению.

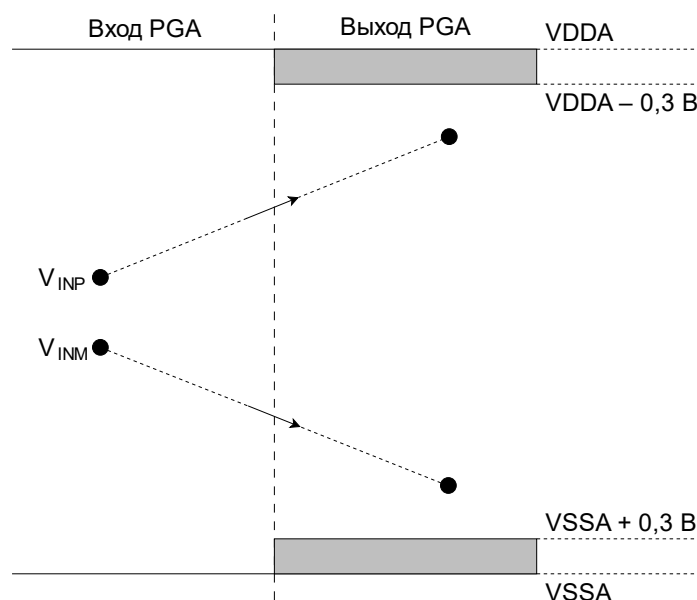


Рисунок 24. Диапазон входа/выхода PGA

Если усилитель PGA не используется, то диапазон входного напряжения для АЦП от V_{DDA} до V_{SSA} . (Таблица 2).

Источники тактовых сигналов

Возможно использование как встроенного, так и внешнего источника тактового сигнала.

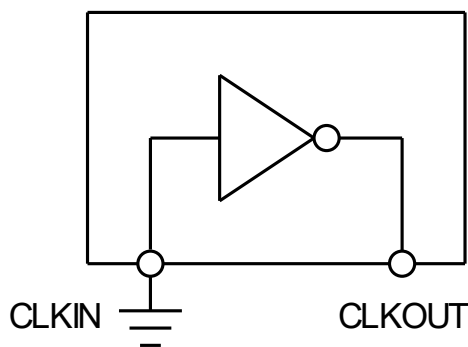


Рисунок 25. Внутренний источник тактового сигнала

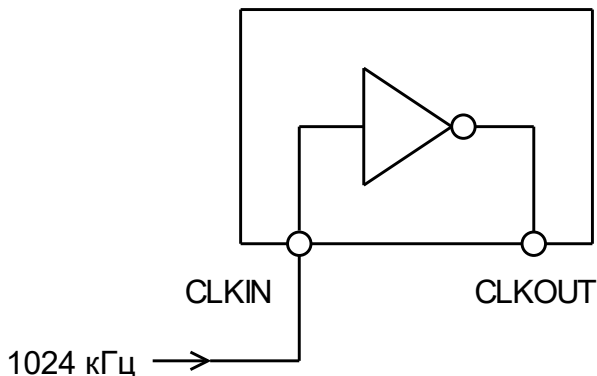


Рисунок 26. Внешний источник тактового сигнала

Для использования внутреннего источника тактового сигнала необходимо подсоединить вывод CLKIN к GND, вывод CLKOUT оставить в обрыве (Рисунок 25).

Для использования внешнего источника тактового сигнала необходимо подать частоту на вывод CLKIN, а вывод CLKOUT оставить в обрыве (Рисунок 26).

Опорное напряжение

Возможно использование внутреннего источника опорного напряжения 2,5 В, либо внешнего. Внешнее опорное напряжение определяется как $V_{REFEXT} = V_{REFP} - V_{REFN}$, где V_{REFP} и V_{REFN} представляют собой положительное и отрицательное напряжения внешнего опорного уровня. Внешнее опорное напряжение V_{REFEXT} задается на выводы REFP и REFN. $V_{REFEXT} = V_{REFP} - V_{REFN}$ от 0,5 В до 5,0 В.

Величина опорного напряжения вместе с коэффициентом усиления PGA определяет полный дифференциальный диапазон входного напряжения АЦП по формуле $V_{IN} = \pm V_{REF} / GAIN$, где GAIN – усиление блока PGA (2, 4, 8, 16).

Выбора источника опорного напряжения осуществляется с помощью бита №9 (REF) конфигурационного регистра R. Вывод REFOUT выдает буферизированное напряжение опорного источника. Для отключения внутреннего буфера опорного напряжения необходимо записать «1» в бит №2 (BUF_DIS) конфигурационного регистра R.

Для абсолютных измерений рекомендуется использовать внешний малошумящий источник опорного напряжения. Внутренний источник опорного напряжения рекомендуется использовать в ратиометрических приложениях.

Модулятор

Модулятор АЦП является $\Delta\Sigma$ -модулятором второго порядка. Он оцифровывает аналоговое входное напряжение с высокой частотой дискретизации ($f_{MOD} = f_{CLK} / 4 = 256$ кГц) и преобразует входной аналоговый сигнал в однобитовый поток данных. Цифровой фильтр получает однобитовый поток данных, фильтрует его и производит децимацию для получения окончательного результата преобразования.

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Цифровой фильтр

Цифровой фильтр АЦП получает данные модулятора и осуществляет фильтрацию, децимацию и таким образом формирует окончательные выходные данные. Настройка параметров цифрового фильтра позволяет находить оптимальный баланс между разрешением, скоростью, подавлением помех и временем преобразования.

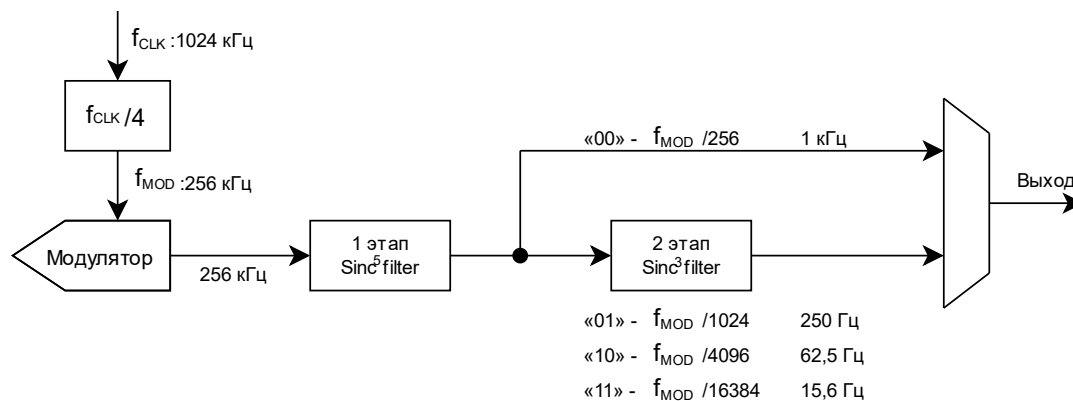


Рисунок 27. Блок-схема цифрового фильтра

Настройка цифрового фильтра производится с помощью битов №7-6 (DR) конфигурационного регистра R.

Фильтр sinc состоит из двух каскадов: первый каскад – фильтр типа sinc⁵ пятого порядка с коэффициентом децимации 256; второй каскад – фильтр sinc³ с переменным коэффициентом децимации.

На первом каскаде происходит фильтрация и уменьшение частоты данных модулятора до $f_{MOD} / 256$. Второй каскад представляет собой программируемый фильтр sinc³ с переменным коэффициентом децимации (4, 16, 64).

Общая характеристика фильтра определяется уравнением:

$$|H(f)| = |H_{(sinc^5)}(f)| \times |H_{(sinc^3)}(f)| = \left| \frac{\sin \left[\frac{4\pi f A}{f_{CLK}} \right]}{A \times \sin \left[\frac{4\pi f}{f_{CLK}} \right]} \right|^5 \times \left| \frac{\sin \left[\frac{1024\pi f B}{f_{CLK}} \right]}{B \times \sin \left[\frac{1024\pi f}{f_{CLK}} \right]} \right|^3$$

где f – частота сигнала; $f_{CLK} = 1024$ кГц – частота внутреннего генератора; $A = 256$ – коэффициент децимации, $B = 4, 16, 64$ – переменный коэффициент децимации.

В таблице 10 указано время задержки фильтра после запуска первого преобразования. Обратите внимание, что задержка преобразования зависит от настроек фильтра. Задержка преобразования показана на рисунке ниже (Рисунок 28). Параметр t_d показывает задержку от начала до готовности данных преобразования (высокий уровень DRDY). Стабилизированные данные предоставляются при условии, что аналоговый входной сигнал стабильный до момента запуска. Для непрерывного режима корректные данные появляются на 5 сигнал DRDY (для частоты дискретизации 1000 Гц) и на 3 сигнал DRDY (для остальных частот: 250 Гц; 62,5 Гц; 15,625 Гц).

Таблица 10. Время задержки фильтра после запуска первого преобразования

Скорость выдачи данных, Выб/с	Задержка преобразования t_d , мс
1000	5,0
250	12,7
62,5	47,9
15,625	188,5

Примечание: Данные указаны для частоты CLK = 1,024МГц

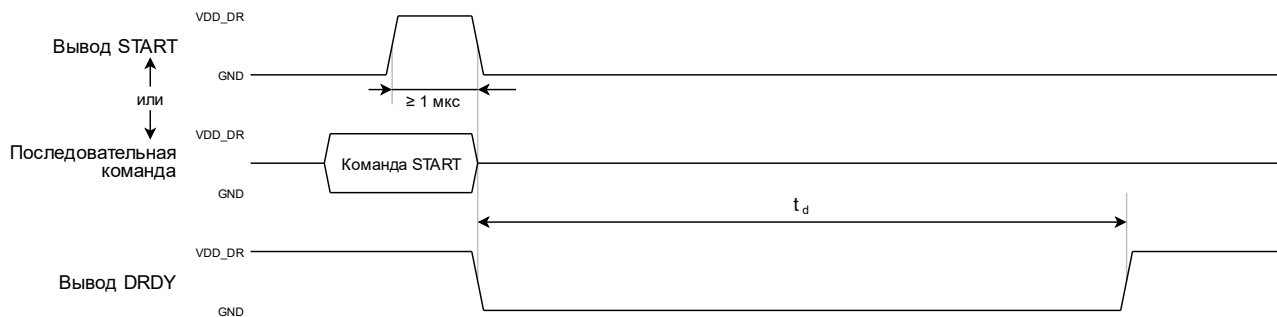


Рисунок 28. Время задержки первого преобразования после команды START для единичного преобразования

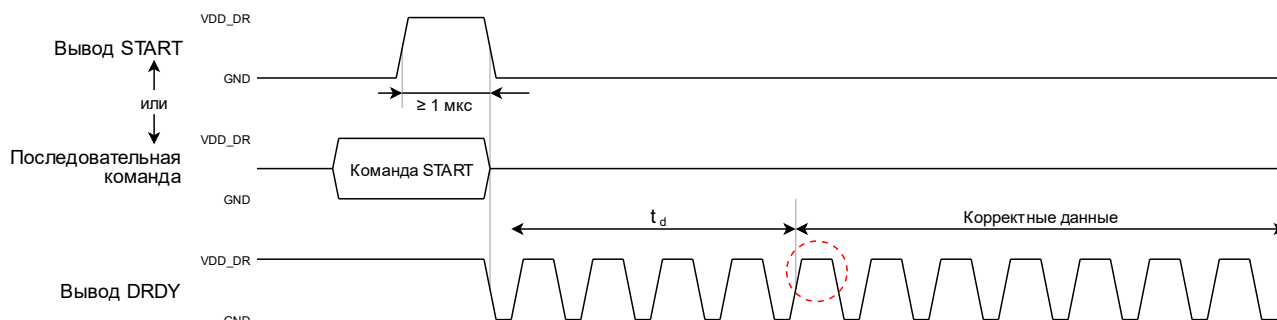


Рисунок 29. Время задержки преобразования после команды START для непрерывного преобразования при частоте 1 кГц

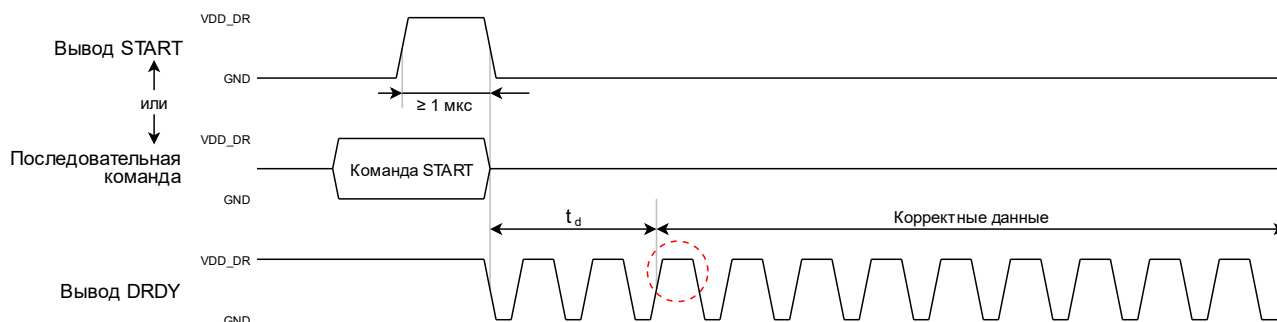


Рисунок 30. Время задержки преобразования после команды START для непрерывного преобразования при остальных частотах

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Описание функционирования микросхемы

Последовательный интерфейс

Последовательный интерфейс устройства совместимый с SPI используется для чтения данных преобразования, чтения и записи регистров конфигурации устройства и управления работой. Поддерживается два режима работы последовательного интерфейса, выбор режима работы осуществляется с помощью вывода TYPE:

лог. «0» – режим 1 (CPOL = 0, CPHA = 1);

лог. «1» – режим 3 (CPOL = 1, CPHA = 1).

Описание выводов последовательного интерфейса

CS («Chip Select»)

CS («Chip Select») – вход с низким активным уровнем для выбора микросхемы. Вывод CS должен оставаться на низком уровне во время последовательной связи. Когда вывод CS принимает высокий уровень, последовательный интерфейс сбрасывается, вывод SCLK игнорируется и сигнал на выводе DOUT переходит в состояние высокого импеданса. В ситуациях, когда на шине присутствует несколько микросхем, специальный вывод DRDY может обеспечить непрерывный мониторинг состояния преобразования. Если последовательная шина не используется совместно с другим периферийным устройством, вывод CS может быть привязан к низкому уровню.

SCLK

SCLK – вход тактового сигнала. Используется для тактирования данных в устройство и из него на выводах DIN и DOUT. Если последовательный интерфейс не используется, удерживайте «SCLK» на уровне лог. «0» (при TYPE = «0»), либо в лог. «1» (при TYPE = «1»).

DRDY («Data Ready»)

DRDY («Data Ready») указывает о готовности нового результата преобразования. Когда DRDY принимает значение лог. «1» – новые данные готовы. Вывод DRDY переключается обратно в лог. «0» на следующем нарастающем фронте сигнала SCLK. Если в режиме непрерывного преобразования данные не считываются, вывод DRDY остается в лог. «0», но имеет высокий импульс в течение $2 \times t(\text{MOD})$ до следующего спадающего фронта сигнала DRDY. Вывод DRDY всегда активен, даже когда вывод CS находится в лог. «1».

DIN («Data Input»)

DIN («Data Input») используется для отправки данных, команд и данных регистра. Микросхема фиксирует данные на входе DIN по заднему фронту SCLK.

DOUT («Data Output»)

DOUT («Data Output») используется для чтения преобразования и регистрации данных. Данные на выводе DOUT сдвигаются по переднему фронту сигнала SCLK. Сигнал на выводе DOUT переходит в состояние высокого импеданса, когда вывод CS в лог. «1».

Команды последовательного интерфейса

Для управления микросхемой предусмотрено четыре команды.

Таблица 11. Команды последовательного интерфейса

Команда	Описание	Данные
RESET	Сброс устройства	00 00 01 10, 0
START	Старт или рестарт АЦП	00 00 10 00, 0
RREG	Чтение конфигурационного регистра	00 01 00 10, 0
WREG	Запись конфигурационного регистра	00 01 01 00, R15 ... R0
«0» – 0000 0000 0000 0000, «R» – 16 бит данных настройки конфигурационного регистра R		

RESET (00 00 01 10) – Сбрасывает данные регистров микросхемы до значений по умолчанию (0h). Рекомендуется подождать не менее (50 мкс + 16386×t (CLK)) после выполнения команды RESET отправкой другой команды. Также сброс устройства можно произвести подачей лог. «0» длительностью не менее 1 мкс на вывод nRST.

START (00 00 10 00) – В режиме однократного преобразования команда START используется для запуска одного преобразования или сброса цифрового фильтра, а затем перезапуска одного нового преобразования. В режиме непрерывного преобразования, команда «START» должна быть подана один раз, чтобы начать непрерывное преобразование. Отправка команды «START» во время преобразования в режиме непрерывного преобразования сбрасывает цифровой фильтр и перезапускает непрерывное преобразование. Также старт преобразования можно инициировать подачей лог. «1» длительностью не менее 1 мкс на вывод START.

RREG (00 01 00 10) – Команда RREG позволяет считать данные конфигурационного регистра R, после первых 8 периодов SCLK, на выводе DOUT формируется конфигурационный регистр R старшим разрядом вперед.

WREG (00 01 01 00) – Команда WREG позволяет записать данные в конфигурационный регистр R. Первые 8 бит активируют команду записи, последние 16 бит являются данными конфигурационного регистра R.

Карта регистров

Микросхема содержит 16-битный регистр конфигурации, который доступен через последовательный интерфейс с помощью команд RREG и WREG. Регистр конфигурации контролирует работу устройства и может быть изменен в любое время без повреждения данных. После включения или сброса для регистра устанавливаются значения по умолчанию лог. «0».

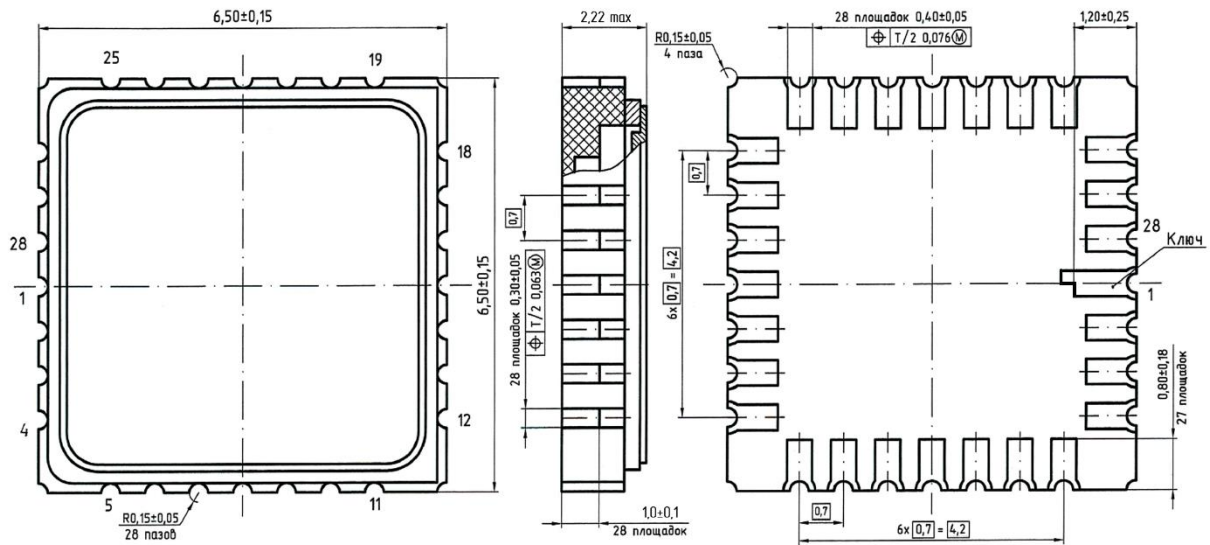
Таблица 12. Конфигурационный регистр R

Биты	Название	Тип	Значение при сбросе	Описание
15-14	A_MUX	R/W	0h	Конфигурация входного мультиплексора MUX: «00» – выбор первого канала (IN0 – IN1); «01» – выбор второго канала (IN2 – IN3); «1x» – выбор канала опорного напряжения (REFP-REFN).
13	POL	R/W	0h	Конфигурация полярности сигнала мультиплексора: «0» – не инверсная; IN0 – положительный вход; IN1 – отрицательный вход; IN2 – положительный вход; IN3 – отрицательный вход; «1» – инверсная. IN0 – отрицательный вход; IN1 – положительный вход; IN2 – отрицательный вход; IN3 – положительный вход;
12-10	GAIN [2:0]	R/W	0h	Конфигурация коэффициента усиления блока PGA: «0xx» – напрямую без усиления; «100» – 2; «101» – 4; «110» – 8; «111» – 16.
9	REF	R/W	0h	Конфигурация опорного напряжения для АЦП: «0» – выбор внутреннего опорного напряжения; «1» – выбор внешнего напряжения.
8	MODE	R/W	0h	Выбор режима для АЦП: «0» – непрерывное преобразование; «1» – режим единичного преобразования.
7-6	DR [1:0]	R/W	0h	Конфигурация выходной скорости данных (настройка цифрового фильтра) для АЦП. См. пункт «Цифровой фильтр».
5-4	Tech	R/W	0h	Биты используются для настройки микросхемы при производстве. Необходимо записать лог. «0».
3	SCALE	R/W	0h	Выбор масштаба полной шкалы сигнала АЦП: «0» – 100%; «1» – 80%.
2	BUF_DIS	R/W	0h	Выбор режима работы буфера опорного напряжения: «0» – буфер включен; «1» – буфер выключен.
1-0	Tech	R/W	0h	Биты используются для настройки микросхемы при производстве. Необходимо записать лог. «0».

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Габаритный чертеж



1. * Размеры для справок.
2. Нумерация выводных площадок показана условно.

Рисунок 31. Габаритный чертеж корпуса МК 5123.28-1.01 (размеры в мм)

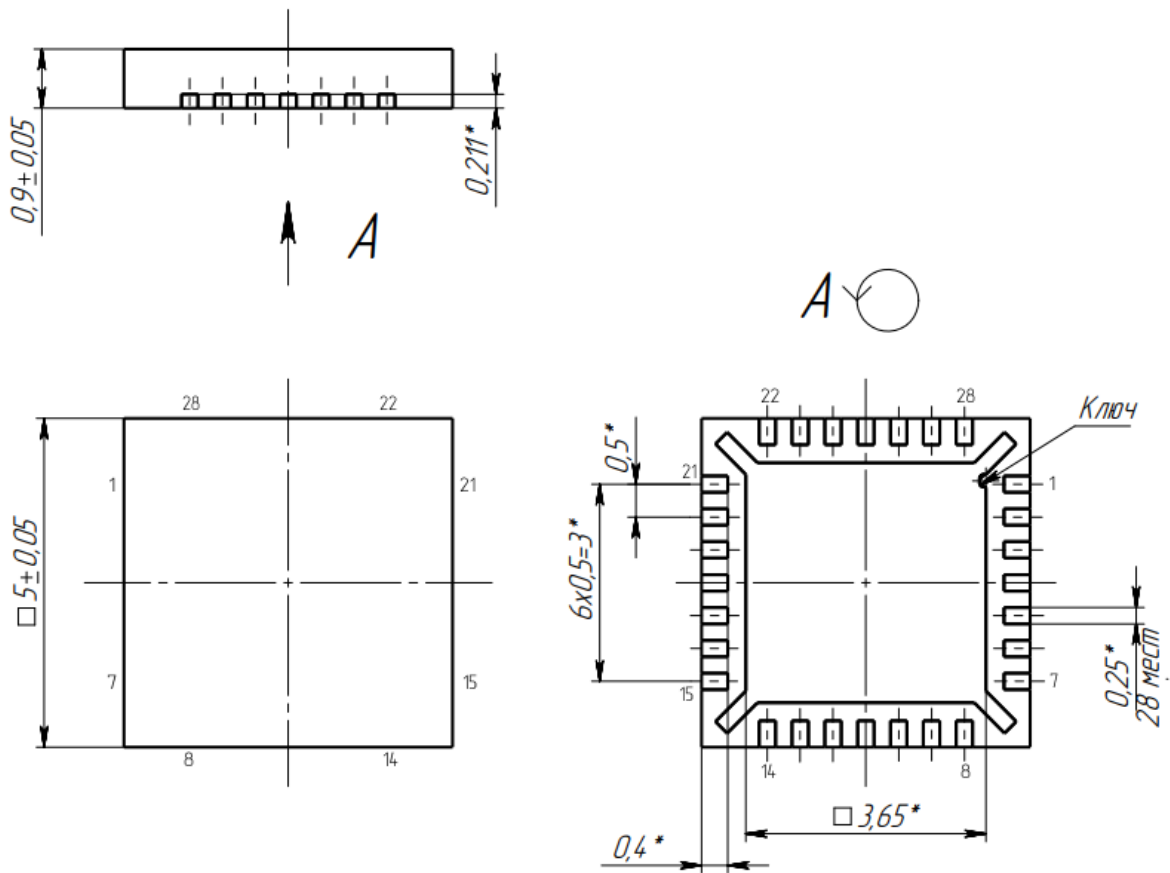


Рисунок 32. Габаритный чертеж корпуса QFN50P500X500X90-28 (размеры в мм)

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-025Д16.

Информация для заказа

Обозначение	Маркировка	Корпус	Температурный диапазон
Категория качества «ВП»			
5400ТР045А-025 АЕНВ.431260.237ТУ карта заказа КФЦС.431260.003-025Д16	045А-025	МК 5123.28-1.01	–60°С ...+125°С
5400ТР045В-025 АЕНВ.431260.237ТУ карта заказа КФЦС.431260.032-025Д16	045В-025	QFN50P500X500X90-28	–60°С ...+100°С
Категория качества «ОТК»			
К5400ТР045А-025 КФЦС.431000.001ТУ КФЦС.431260.001.01СП карта заказа КФЦС 431260.001.01-025Д16	К045А-025	МК 5123.28-1.01	–60°С ...+125°С
К5400ТР045В-025 КФЦС.431000.001ТУ КФЦС.431260.001.01СП карта заказа КФЦС 431260.032.01-025Д16	К045В-025	QFN50P500X500X90-28	–60°С ...+100°С

Микросхемы категории качества «ВП» маркируются ромбом.

Микросхемы категории качества «ОТК» маркируются буквой «К».

