

Основные особенности

- 18 / 16 разрядов;
- Частота дискретизации 200 кВыб/с;
- DNL (типичное) 0,5 МЗР;
- INL (типичное) 3,0 МЗР;
- Диапазон входных аналоговых напряжений от 0 до VREF;
- Диапазон опорного напряжения от 2,5 В до VDDA;
- Напряжение питания 5,0 В;
- Температурный диапазон от -60°C до $+125^{\circ}\text{C}$.

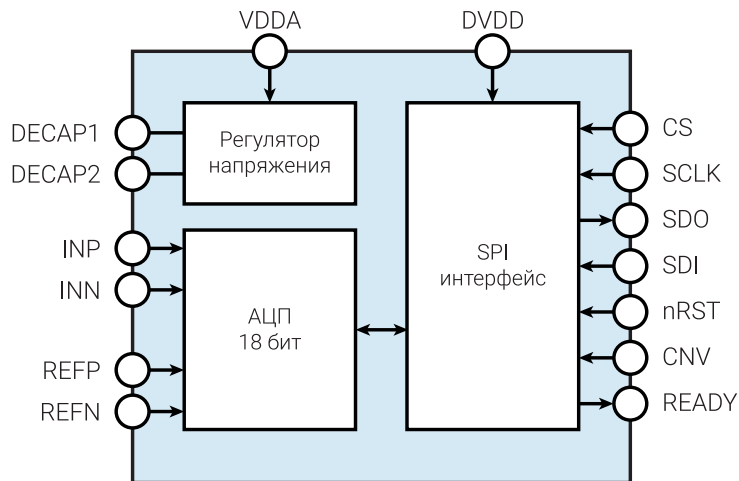


Рисунок 1. Структурная схема

Общее описание

Микросхема 5400TP045A(B)-049-18(16) – 18(16)-ти разрядный АЦП последовательного приближения с последовательным интерфейсом выходных данных (формат: прямой код со смещением). Микросхема выполнена на базе радиационно-стойкого аналого-цифрового БМК 5400TP04 по технологии КНИ.

Выходные данные представлены КМОП логическими уровнями. В микросхеме реализован режим низкого энергопотребления («Shutdown»).

Микросхема 5400TP045A(B)-049-18(16) – функциональный аналог ADS8910 (ф. Texas Instruments).



Рисунок 2. Внешний вид микросхемы 5400TP045A-049-18



Рисунок 3. Внешний вид микросхемы 5400TP045B-049-18

ГГ – год выпуска
НН – неделя выпуска

Микросхемы 5400TP045A-049-18(16) и 5400TP045B-049-18(16) имеют в своей основе один кристалл и отличаются только типом корпуса:

- 5400TP045A-049 выполнена в 28-ми выводном металлокерамическом корпусе МК 5123.28-1.01;
- 5400TP045B-049 выполнена в 28-ми выводном металлополимерном корпусе 5102.28-1 К (QFN-28).

Электрические параметры микросхемы

Таблица 1(а). Электрические характеристики для микросхемы 5400TP045A-049-18 (температурный диапазон от -60°C до $+125^{\circ}\text{C}$)

Параметр, единица измерения	Норма параметра		
	не менее	типичное	не более
Разрядность (N), бит		18	
Дифференциальная нелинейность (DNL), МЗР	-1,0	$\pm 0,5$	2,0
Интегральная нелинейность (INL), МЗР	-8,0 ⁽¹⁾ -12	$\pm 3,0$	+8,0 ⁽¹⁾ +12
Напряжение смещения, МЗР	-200	± 15	200
Ошибка усиления, %FSR	-0,5	$\pm 0,03$	0,5
Ток потребления, мА		9,0	17
Ток потребления в режиме «Shutdown», мкА		100	700
Время преобразования, мкс			5,4
Справочные данные			
Напряжение полной шкалы (FSR), В		2xVREF	
Входной ток опорного напряжения, мкА (при $V_{REFP}=5,0$ В)		6,0	
Коэффициент подавления синфазной составляющей (CMRR), дБ		80	
Частота выборок (Fs), кВыб/с		200	
Малосигнальная полоса, МГц		25	
Отношение сигнал-шум (SNR), дБ (при частоте $F_{IN}=2$ кГц)		93	
Отношение сигнал/шум и искажения (SINAD), дБ (при частоте $F_{IN}=2$ кГц)		92	
Динамический диапазон, свободный от гармоник (SFDR), дБ (при частоте $F_{IN}=2$ кГц)		102	
Напряжение высокого уровня выходных цифровых сигналов (READY, SDO), В	DVDD-0,4	DVDD	
Напряжение низкого уровня выходных цифровых сигналов (READY, SDO), В		0	0,5
Входная емкость (INP, INN), пФ режим выборки режим удержания		60 5,0	
Примечание: 1) При температуре 25°C			

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-049Д16

Таблица 1(б). Электрические характеристики для микросхемы 5400TP045A-049-16 (температурный диапазон от -60°C до $+125^{\circ}\text{C}$)

Параметр, единица измерения	Норма параметра		
	не менее	типичное	не более
Разрядность (N), бит		16	
Дифференциальная нелинейность (DNL), МЗР	-0,99	$\pm 0,25$	0,99
Интегральная нелинейность (INL), МЗР	-5,0	$\pm 3,0$	+5,0
Напряжение смещения, МЗР	-50	± 15	50
Ошибка усиления, %FSR	-0,5	$\pm 0,03$	0,5
Ток потребления, мА		9,0	17
Ток потребления в режиме «Shutdown», мкА		100	700
Время преобразования, мкс			5,4
Справочные данные			
Напряжение полной шкалы (FSR), В		$2 \times V_{REF}$	
Входной ток опорного напряжения, мкА (при $V_{REF}=5,0$ В)		6,0	
Коэффициент подавления синфазной составляющей (CMRR), дБ		80	
Частота выборок (Fs), кВыб/с		200	
Малосигнальная полоса, МГц		25	
Отношение сигнал-шум (SNR), дБ (при частоте $F_{IN}=2$ кГц)		93	
Отношение сигнал/шум и искажения (SINAD), дБ (при частоте $F_{IN}=2$ кГц)		92	
Динамический диапазон, свободный от гармоник (SFDR), дБ (при частоте $F_{IN}=2$ кГц)		102	
Напряжение высокого уровня выходных цифровых сигналов (READY, SDO), В	DVDD-0,4	DVDD	
Напряжение низкого уровня выходных цифровых сигналов (READY, SDO), В		0	0,5
Входная емкость (INP, INN), пФ			
режим выборки		60	
режим удержания		5,0	

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 1000 В по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

Параметр, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение питания аналоговой части (VDDA), В	4,75	5,25	-0,3	5,35
Напряжение питания интерфейсной части (DVDD), В	4,75	5,25	-0,3	5,35
Напряжение входного синфазного сигнала (V_{CM}), В ⁽¹⁾	$V_{REFP}/2$ -0,1	$V_{REFP}/2$ +0,1	-	-
Внешнее опорное напряжение ($V_{REFP} - V_{REFN}$), В	2,5	VDDA	-0,3	VDDA +0,3 ⁽²⁾
Внешнее опорное напряжение ($V_{REFN} - GND$), В	-0,1	0,1	-0,1	0,1
Диапазон входного аналогового сигнала (INP, INN – GND), В	0	V_{REFP}	-0,3	V_{REFP} +0,3 ⁽²⁾
Напряжение высокого уровня входных цифровых сигналов (CS, CNV, nRST, SDI, SCLK), В	DVDD -0,5 ⁽³⁾	DVDD	-0,3	DVDD +0,5 ⁽²⁾
Напряжение низкого уровня входных цифровых сигналов (CS, CNV, nRST, SDI, SCLK), В	0	0,5	-0,3	DVDD +0,5 ⁽²⁾
Нагрузочная способность выхода (SDO), мА	-	10	-	15
Температура эксплуатации, °С	-60	+100 ⁽⁴⁾ +125	-60	+125 ⁽⁴⁾ +150
Примечание: 1) $V_{CM} = (V_{INP} + V_{INN})/2$, где INP и INN напряжения на положительном и отрицательном входах АЦП 2) не более 5,35 В 3) не менее 4,5 В 4) для микросхемы 5400TP045B-049-18(16)				

Конфигурация и функциональное описание выводов

Таблица 3. Функциональное описание выводов

№ вывода		Тип вывода	Наименование вывода	Назначение вывода
045A-049	045B-049			
1	25	PWR	DVDD	Вывод положительного напряжения питания интерфейсной части
2	26	DO	SDO	Последовательный выход данных
3	27	DI	SDI	Вход данных
4	28	DI	SCLK	Вход тактового сигнала последовательного интерфейса
5	1	DI	CS	Вывод выбора микросхемы (Chip-Select)
6	2	–	TECH1	Технологический вывод 1 (не подключать)
7, 9	3, 5	–	TECH2	Технологический вывод 2 (подключить к GND)
8, 12, 19, 27	4, 8, 15, 23	PWR	GND	Общий вывод
10, 11, 18	6, 7, 14	–	NC	Вывод не используется (не подключать)
13, 28	9, 24	PWR	VDDA	Вывод положительного напряжения питания аналоговой части
14	10	AO	DECAP1	Вывод для подключения шунтирующего конденсатора внутреннего регулятора напряжения
15	11	AO	DECAP2	Вывод для подключения шунтирующего конденсатора внутреннего регулятора напряжения
16, 23	12, 19	AI	REFN	Вход отрицательного опорного напряжения АЦП
17, 22	13, 18	AI	REFP	Вход положительного опорного напряжения АЦП
20	16	AI	INP	Положительный вход АЦП
21	17	AI	INN	Отрицательный вход АЦП
24	20	DI	nRST	Вход сигнала сброса. При подаче лог. «0» происходит сброс микросхемы в начальное состояние.
25	21	DO	READY	Сигнал готовности выходных данных
26	22	DI	CNV	Вход сигнала начала преобразования
Примечание: DI – цифровой вход DO – цифровой выход AI – аналоговый вход AO – аналоговый выход PWR – вывод напряжения питания				

Эквивалентные схемы

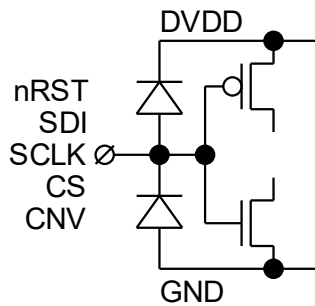


Рисунок 4. Цифровые входы nRST, SDI, SCLK, CS, CNV

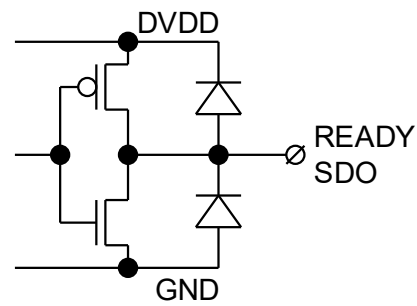


Рисунок 5. Цифровые выходы READY, SDO

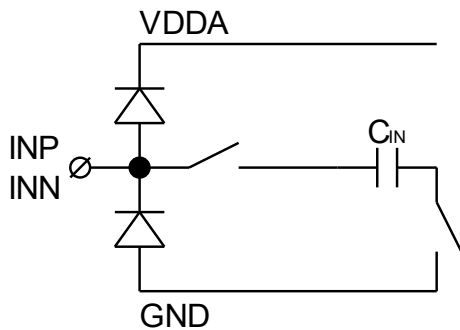


Рисунок 6. Аналоговые входы INP, INN

Входное сопротивление выводов INP, INN (модель входного каскада – ключ и конденсатор) зависит от частоты тактирования и определяется формулой: $R = 1/(FC)$, где F – частота дискретизации, $C = 60$ пФ.

Типовые характеристики

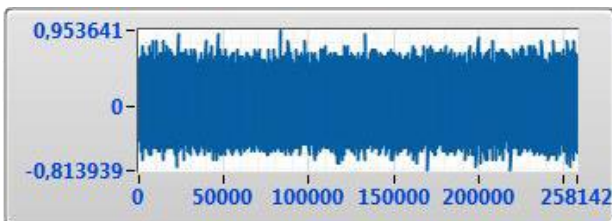


Рисунок 7. Дифференциальная нелинейность
($F_s = 200$ кГц, $V_{REFP} - V_{REFN} = 3,0$ В)

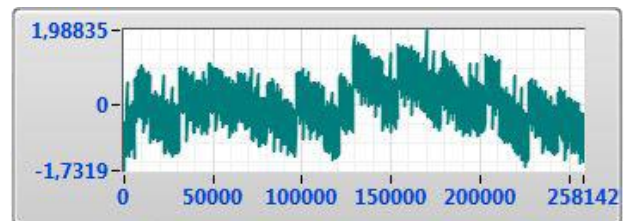


Рисунок 8. Интегральная нелинейность
($F_s = 200$ кГц, $V_{REFP} - V_{REFN} = 3,0$ В)

Рекомендуемая схема применения

Таблица 4. Таблица внешних компонентов

Компонент	Номинал
C1, C2	от 0,1 мкФ до 1,0 мкФ
C3	от 10 мкФ до 100 мкФ
C4	1,0 мкФ
C _{IN}	10 нФ
R _{IN}	от 10 Ом до 100 Ом

Конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них обязательно должен быть высокочастотный керамический емкостью не менее 10 нФ. Шунтирующие конденсаторы должны располагаться на плате в непосредственной близости к соответствующим выводам микросхемы.

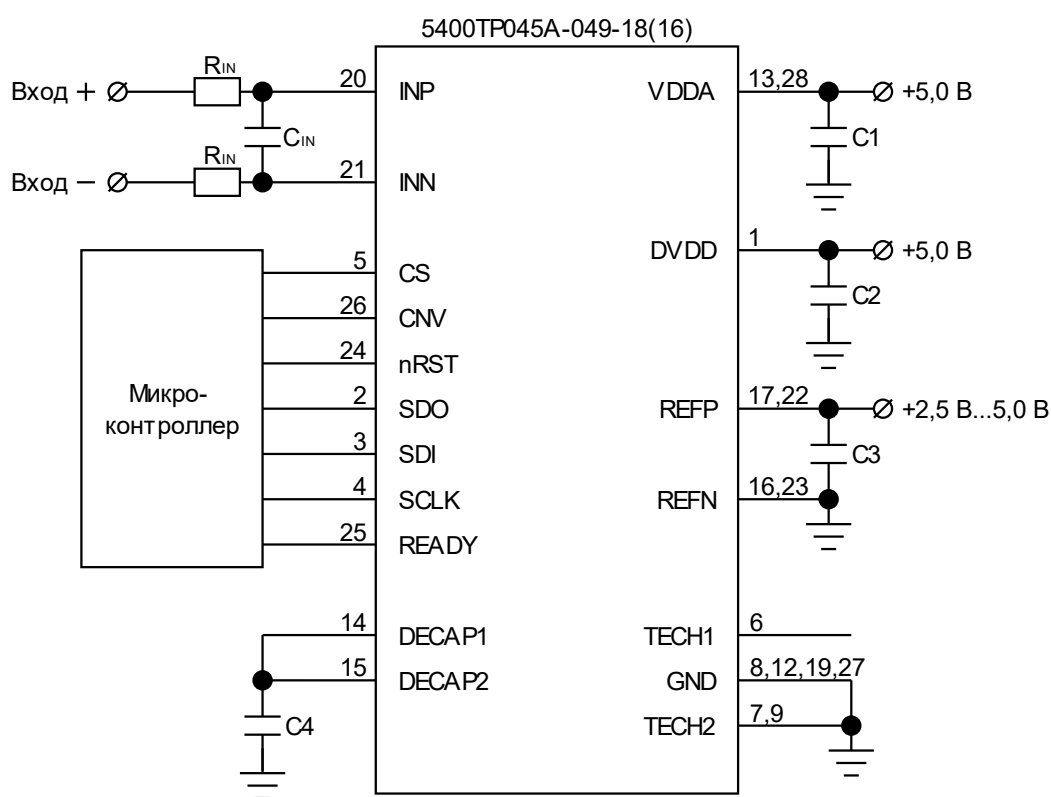


Рисунок 9. Рекомендуемая схема применения

Примечания:

Если вывод nRST (24) не используется, необходимо его подключить к выводу DVDD (1).

Нагрузка током вывода DECAP1 (14) и DECAP2 (15) недопустима.

Для микросхемы 5400TP045B-049-18(16) схема применения аналогична относительно выводов микросхемы.

Описание функционирования микросхемы

Микросхема 5400TP045A(B)-049-18(16) поддерживает три функциональных состояния: RST, ACQ и CNV. Состояние микросхемы определяется состоянием управляющих сигналов CNV и nRST.

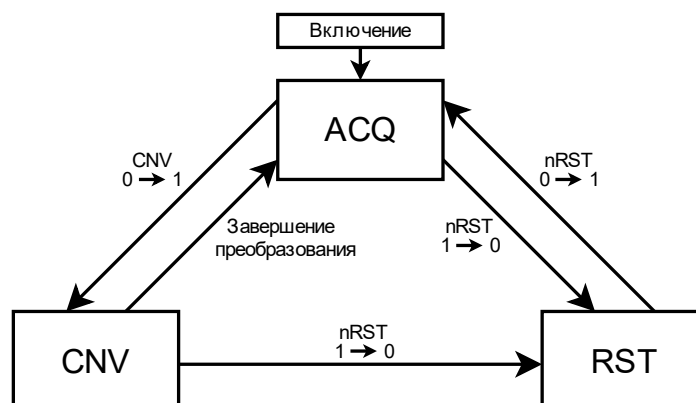


Рисунок 10. Диаграмма состояний АЦП

RST (Reset)

Состояние RST предназначено для инициализации и сброса всех регистров в начальное состояние. Для перехода в состояние RST контроллер устанавливает сигнал nRST в лог. «0» и удерживает его в течение 100 нс (t_{WL_RST}).

Для выхода из состояния RST контроллер переводит сигнал nRST в лог. «1», при этом сигналы CNV и SCLK удерживаются в лог. «0», а сигнал CS остается в лог. «1». Чтобы сигнал SDO находился в высокоимпедансном состоянии, сигнал CS должен быть в лог. «1». После задержки 1 мс (t_{D_RST}), микросхема переходит в состояние ACQ.

Для работы АЦП в состоянии ACQ или CNV, сигнал nRST должен быть в лог. «1». Когда сигнал nRST находится в лог. «1», переключение сигнала CNV определяет функциональное состояние микросхемы.

ACQ (Acquisition)

Состояние ACQ используется для выборки аналогового входного сигнала. Микросхема переходит в состояние ACQ при включении питания, выходе из режима низкого потребления, после асинхронного сброса и в конце каждого преобразования. Спадающий фронт сигнала nRST переводит микросхему из состояния ACQ в состояние RST. Нарастающий фронт сигнала CNV переводит микросхему из состояния ACQ в состояние CNV.

CNV (Conversion)

Переключение сигнала CNV из лог. «0» в лог. «1» переводит микросхему из состояния выборки ACQ в состояние преобразования CNV. Процесс преобразования использует внутреннее тактирование. Микросхема игнорирует любые дальнейшие переключения сигнала CNV до завершения текущего преобразования, которое занимает время $t_{CNV} \sim 4,5$ мкс. По окончании преобразования микросхема возвращается в состояние ACQ. Время цикла преобразования определяется уравнением: $t_{CNV} + t_{ACQ}$.

Время преобразования, t_{CNV} , варьируется в пределах от t_{CNV_MIN} до t_{CNV_MAX} . После запуска преобразования контроллер должен отслеживать переход с низкого уровня на высокий на выводе READY или ждать пока истечет время t_{CNV_MAX} , прежде чем инициировать новую операцию передачи данных или преобразования. Если сигнал READY не отслеживается, требуется заменить t_{CNV} в уравнении на $t_{CNV_MAX} \sim 5,4$ мкс.

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-049Д16

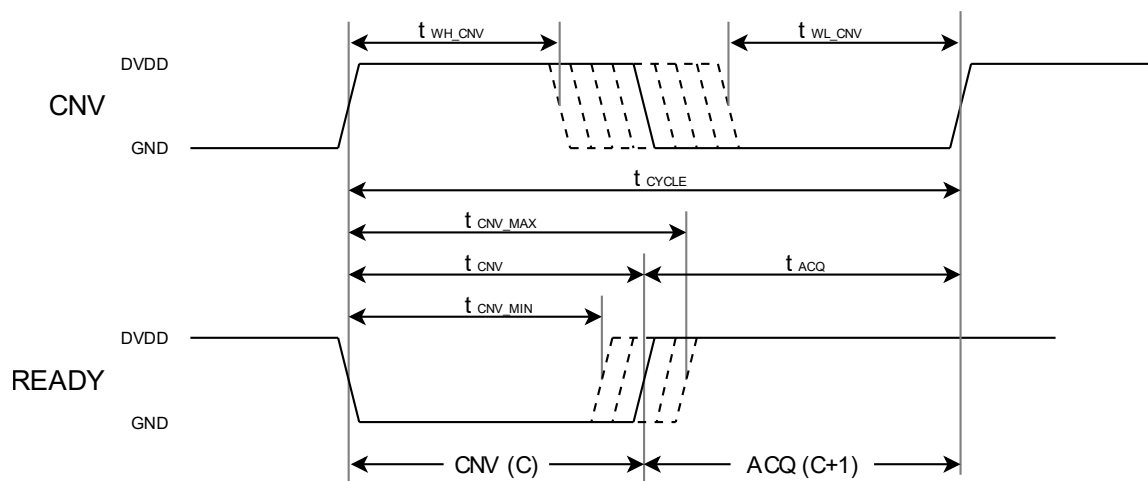


Рисунок 11. Временная диаграмма цикла преобразования

Таблица 5. Справочные данные

Обозначение, параметр, единица измерения		Мин.	Тип.	Макс.
Цикл преобразования				
f_{CYCLE}	Частота выборок	кГц	200	
t_{CYCLE}	Период цикла преобразования	мкс	4,8	5,4
$t_{\text{WH_CNV}}$	Длительность CNV высокий уровень	нс	50	
$t_{\text{WL_CNV}}$	Длительность CNV низкий уровень	нс	50	
t_{ACQ}	Время выборки	нс	300	
$t_{\text{QT_ACQ}}$	Время без переключений до выборки (тихая выборка)	нс	50	
$t_{\text{D_CNVCAP}}$	Время без переключений после выборки (апертурное молчание)	нс	50	
Асинхронный сброс				
$t_{\text{WL_RST}}$	Длительность импульса nRST низкий уровень	нс	100	
$t_{\text{D_RST}}$	Задержка после перехода nRST в высокий уровень	мс		1,0
Последовательный интерфейс				
f_{SCLK}	Интерфейсный сигнал тактирования	МГц		10

Передача данных

Кадр передачи данных между микросхемой и микроконтроллером ограничивается задним фронтом CS и последующим передним фронтом CS. Контроллер может инициировать передачу в любое время независимо от состояния сигнала CNV, однако данные, считанные во время такой передачи данных, являются функцией относительной синхронизации между сигналами CNV и CS.

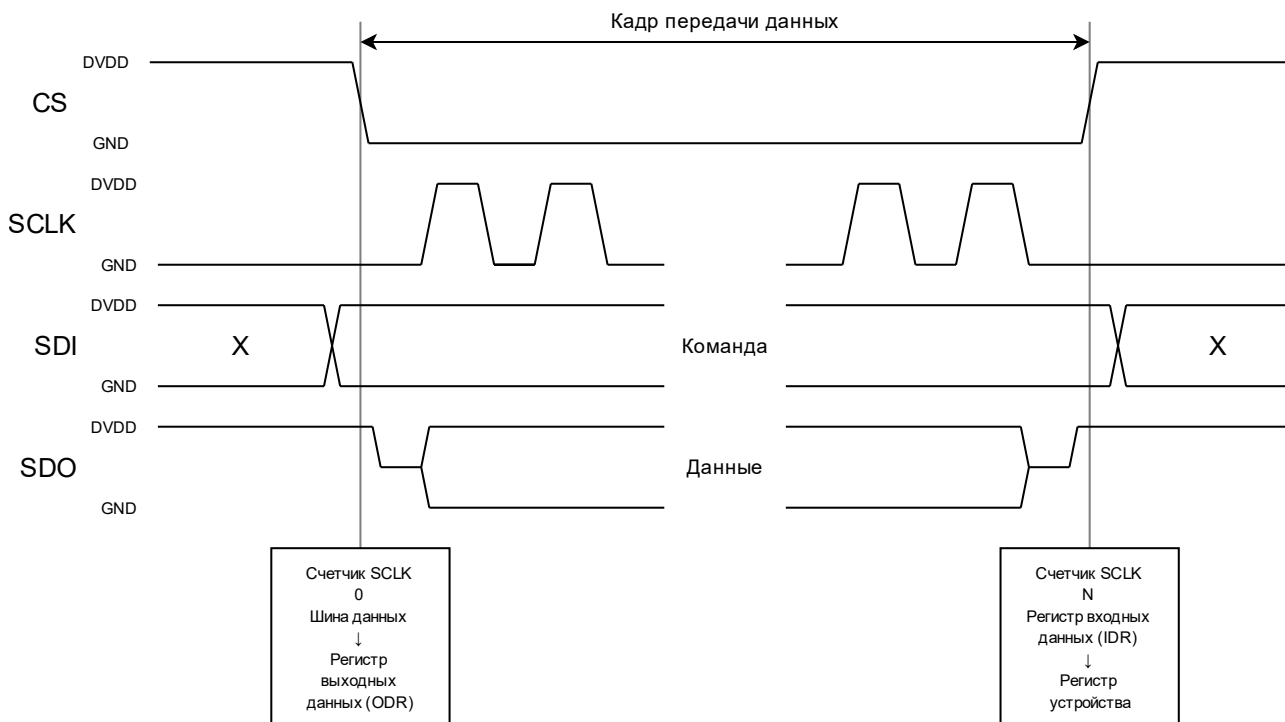


Рисунок 12. Кадр передачи данных

Кадр передачи данных следует следующему порядку:

1. Контроллер переводит сигнал CS в лог. «0», чтобы инициировать кадр передачи данных. На заднем фронте CS:

- счетчик SCLK сбрасывается в 0;
- микросхема берет на себя управление шиной данных. 20-битное содержимое выходных данных загружаются в 20-битный регистр выходных данных ODR (output data register);
- 20-битный регистр входных данных IDR (input data register) сбрасывается на 00000h, что соответствует команде NOP.

2. Во время передачи данных контроллер обеспечивает синхронизацию на выводе SCLK. Внутри микросхемы:

- на каждом повышающемся фронте SCLK счетчик SCLK увеличивается на 1, и бит данных, полученный на выводе SDI, сдвигается в регистр IDR;
- на каждом спадающем фронте тактового сигнала SCLK данные ODR сдвигаются на вывод SDO.

3. Контроллер переводит сигнал CS в лог. «1» для завершения передачи данных. На переднем фронте CS:

- вывод SDO переводится в Hi-Z состояние;
- 20-битное содержимое IDR передается в регистр микросхемы для расшифровки и дальнейших действий.

Таблица 6. Определение команд

Название команды	Код	Описание
NOP	00000h	Пустая команда
SHD_en	60000h	Переход в режим низкого энергопотребления
SHD_dis ⁽¹⁾	40000h	Выход из режима низкого энергопотребления
Примечание: 1) После выхода из режима низкого энергопотребления необходимо подождать 20 мкс		

В конце кадра передачи данных:

- Если значение счетчика $SCLK < 20$, то регистр входных данных IDR захватывает менее 20 битов из SDI. В этом случае микросхема обрабатывает кадр как *короткий командный кадр*. В конце короткого кадра регистр IDR не обновляется, и микросхема обрабатывает кадр как команду отсутствия операции (NOP).

- Если счетчик $SCLK = 20$, то IDR захватывает ровно 20 бит из SDI. В этом случае микросхема обрабатывает кадр как *оптимальный командный кадр*. В конце оптимального командного кадра командный процессор микросхемы декодирует 20-битное содержимое регистра IDR как допустимое командное слово.

- Если счетчик $SCLK > 20$, то IDR захватывает более 20 битов из SDI, однако только последние 20 бит сохраняются. В этом случае микросхема обрабатывает кадр как *длинный командный кадр*. В конце длинного командного кадра, командный процессор микросхемы обрабатывает 20-битное содержимое регистра IDR как допустимое командное слово. Нет ограничений на максимальное количество тактовых импульсов, которое может быть предоставлено в рамках любого кадра передачи данных. Однако, как объяснено выше необходимо убедиться, что последние 20 бит перед нарастающим фронтом CS, представляют собой нужную команду.

В *коротком кадре* команды операции записи в устройство становятся недействительными, однако биты выходных данных, переданные во время короткого кадра, все еще являются действительными выходными данными. Следовательно, контроллер может использовать такие более короткие кадры передачи данных, считывая только необходимое количество битов MSB из 20-битного слова выходных данных. Оптимальный кадр чтения для микросхемы составляет 18 старших разрядов (16 для микросхемы 5400TP045A(B)-049-16) выходного слова.

Взаимодействие циклов преобразования и кадров передачи данных.

Контроллер управляет устройством с желаемой пропускной способностью, чередуя циклы преобразования и кадры передачи данных.

Время цикла устройства ($t_{\text{CYCLE}}=1$ мкс) представляет собой разницу во времени между двумя последовательными нарастающими фронтами сигнала CNV. Время отклика АЦП (t_{RESP}) является разницей во времени между началом преобразования S и получением данных преобразования S .

На рисунке ниже показаны три цикла преобразования: S , $S+1$ и $S+2$ (Рисунок 13). Преобразование S инициируется передним фронтом CNV в момент времени $t = 0$, результат преобразования становится доступен для передачи в момент времени t_{CNV} . Однако этот результат загружается в выходной регистр ODR только на следующем спадающем фронте CS. Этот спадающий фронт сигнала CS должен быть установлен до завершения преобразования $S+1$ (т.е до $t_{\text{CYCLE}} + t_{\text{CNV}}$).

Для достижения номинальных рабочих характеристик контроллер должен убедиться, что никакие цифровые сигналы не переключаются в течение времени тихой выборки ($t_{\text{QT_ACQ}}$) и времени апертурного молчания ($t_{\text{D_CNVCAP}}$). Любой шум во время $t_{\text{D_CNVCAP}}$ может отрицательно повлиять на результат текущего преобразования, а любой шум во время $t_{\text{QT_ACQ}}$ может отрицательно повлиять на результат последующего преобразования.

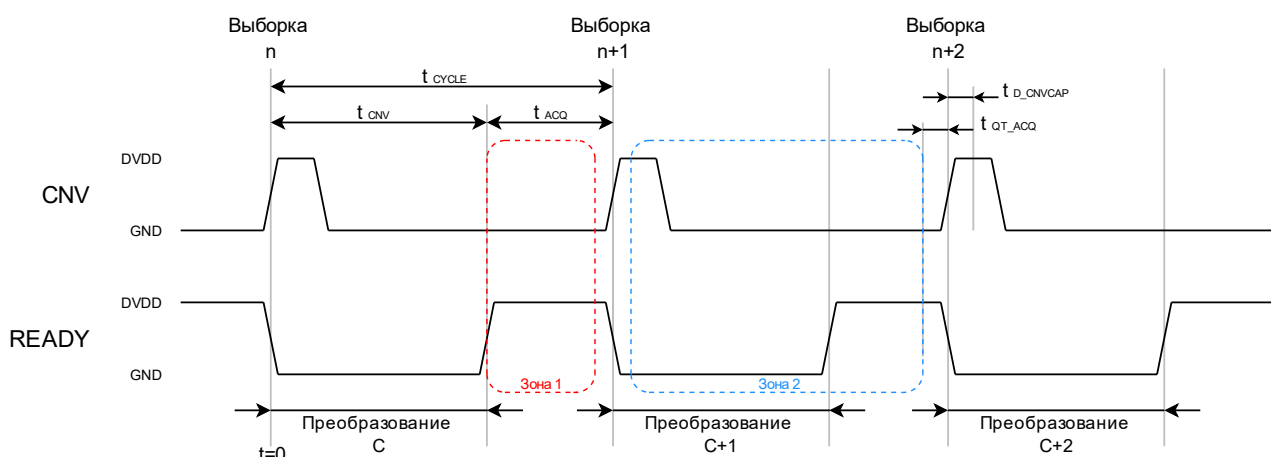


Рисунок 13. Зоны передачи данных

Микросхема позволяет использовать две временные зоны (зона 1 и зона 2) для передачи данных.

Таблица 7. Время зон передачи данных

Зона	Время начала	Время завершения
Зона 1 для преобразования S	t_{CNV}	$t_{\text{CYCLE}} - t_{\text{QT_ACQ}}$
Зона 2 для преобразования S	$t_{\text{CYCLE}} + t_{\text{D_CNVCAP}}$	$t_{\text{CYCLE}} + t_{\text{CYCLE}} - t_{\text{QT_ACQ}}$

Время отклика (t_{RESP}) включает время преобразования и время передачи данных и, таким образом, зависит от выбранной зоны передачи данных.

Рисунки ниже показывают чередование трех циклов преобразования (C, C+1 и C+2) с тремя кадрами передачи данных (F, F+1 и F+2) в зонах 1 и 2 соответственно.

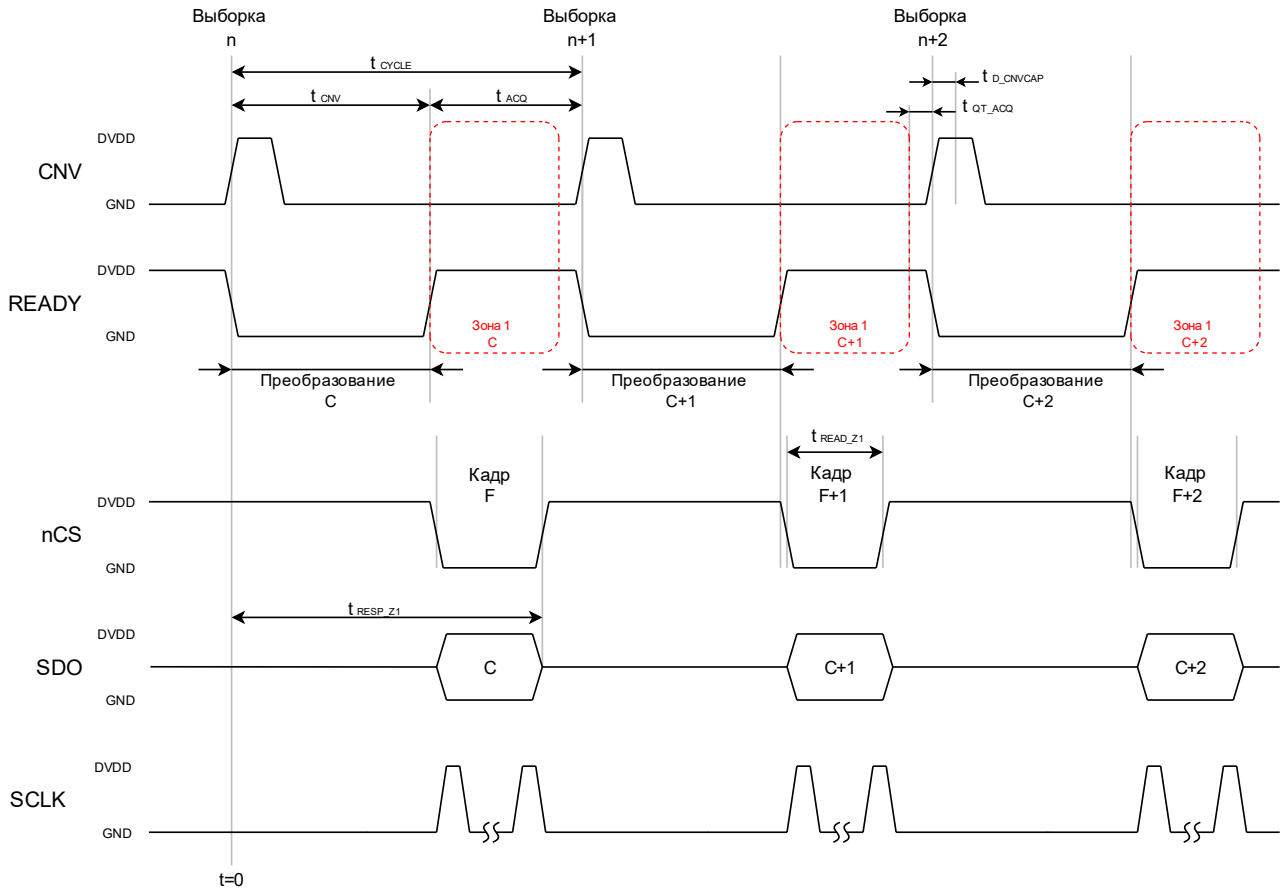


Рисунок 14. Передача данных в зоне 1

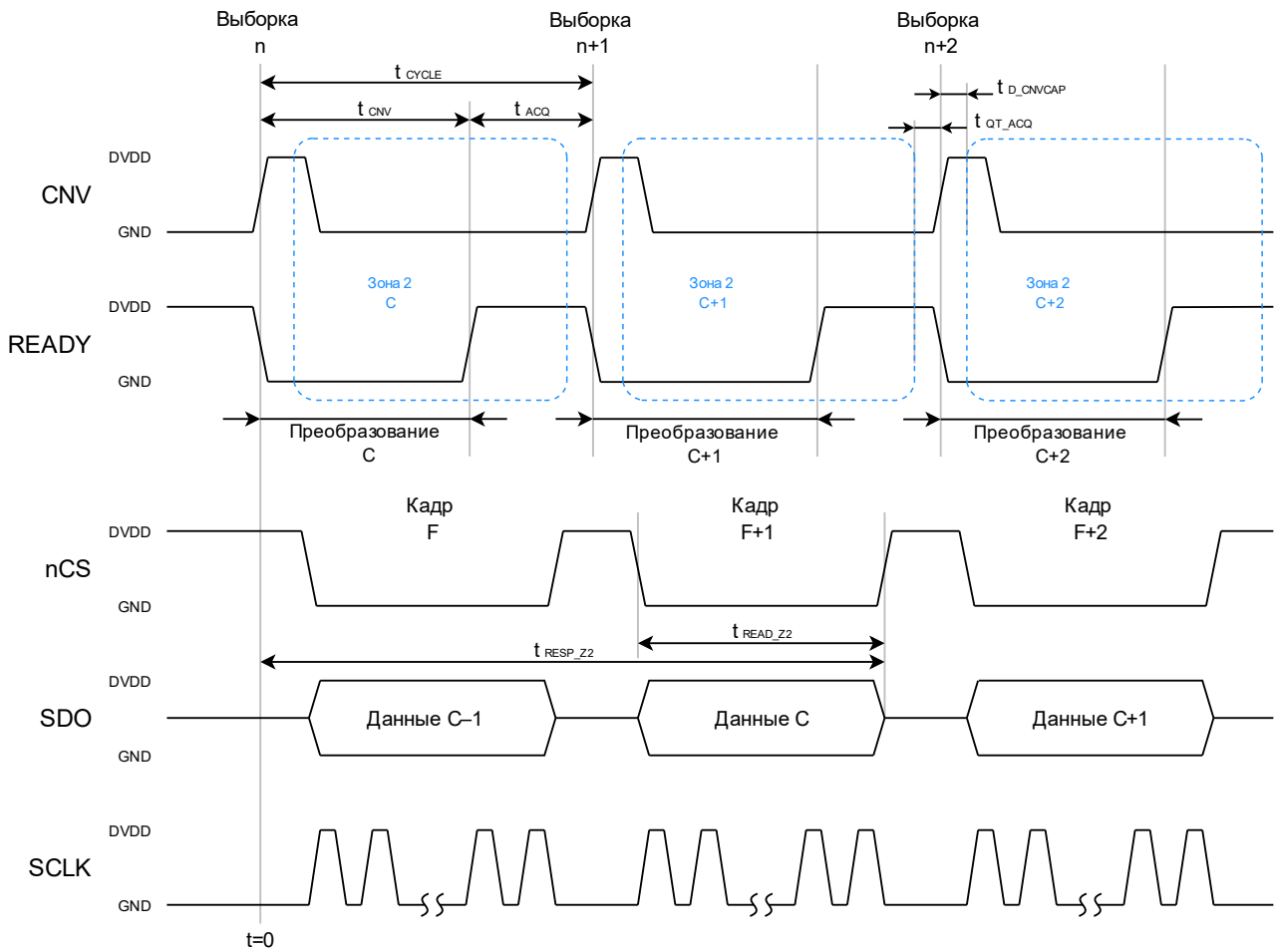
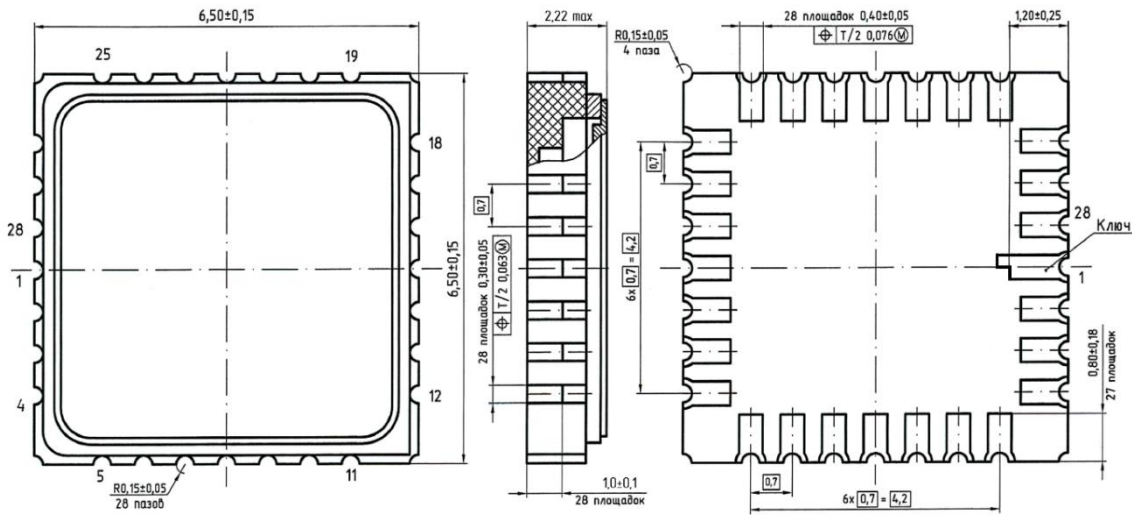


Рисунок 15. Передача данных в зоне 2

Таблица 8. Формат выходных данных

Входное напряжение ($V_{INP} - V_{INN}$)	Выходной код
$>+V_{REF}$	11 1111 1111 1111 1111
$+V_{REF}$	11 1111 1111 1111 1111
0	10 0000 0000 0000 0000
$-V_{REF}$	00 0000 0000 0000 0000
$<-V_{REF}$	00 0000 0000 0000 0000

Габаритный чертеж



1. * Размеры для справок.
2. Нумерация выводных площадок показана условно.

Рисунок 16. Габаритный чертеж корпуса МК 5123.28-1.01 (размеры в мм)

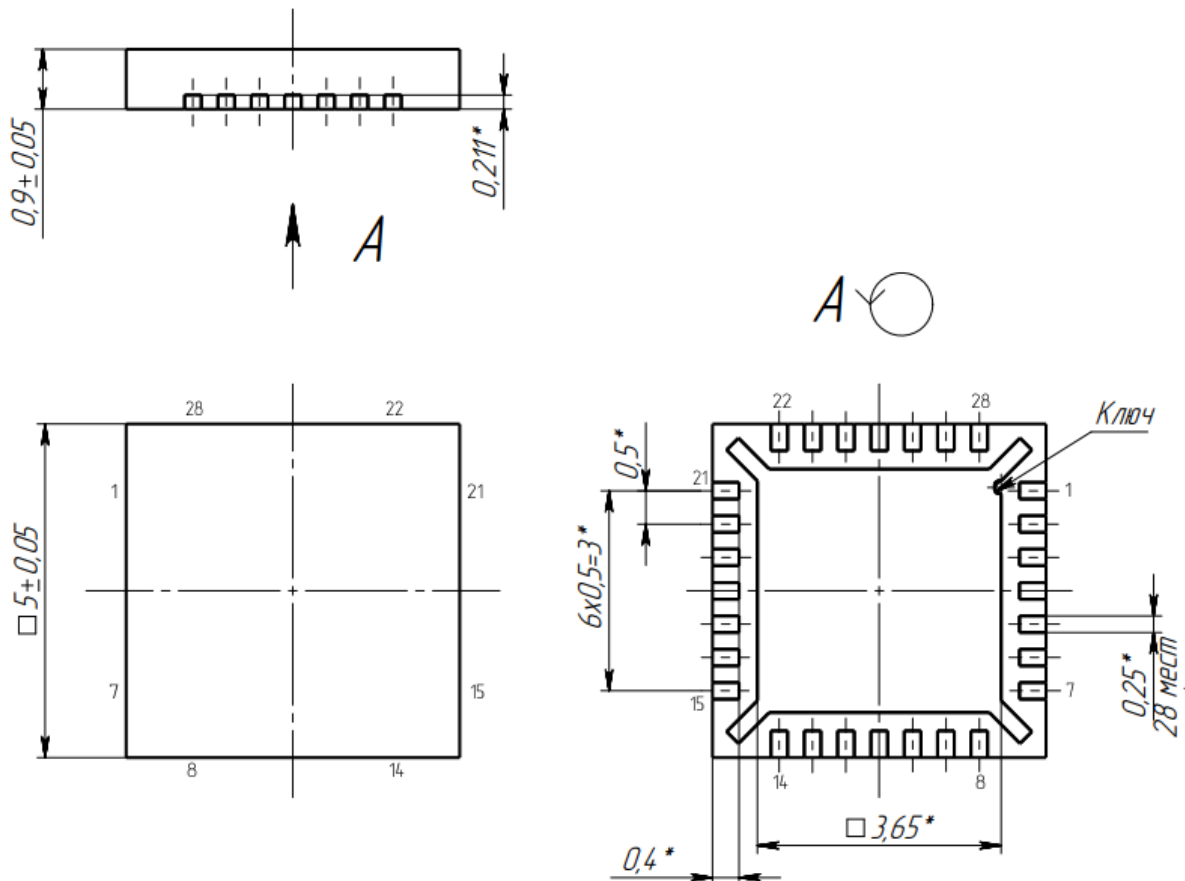


Рисунок 17. Габаритный чертеж корпуса 5102.28-1 К (размеры в мм)

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-049Д16

Информация для заказа

Обозначение	Маркировка	Корпус	Температурный диапазон
Категория качества «ВП»			
5400ТР045А-049-18 АЕНВ.431260.237ТУ карта заказа КФЦС.431260.003-049Д16	Д049-18	МК 5123.28-1.01	-60°C ...+125°C
5400ТР045А-049-16 АЕНВ.431260.237ТУ карта заказа КФЦС.431260.003-049Д16	Д049-16	МК 5123.28-1.01	-60°C ...+125°C
5400ТР045В-049-18 АЕНВ.431260.237ТУ карта заказа КФЦС.431260.032-049Д16	Д049-18	5102.28-1 К	-60°C ...+100°C
5400ТР045В-049-16 АЕНВ.431260.237ТУ карта заказа КФЦС.431260.032-049Д16	Д049-16	5102.28-1 К	-60°C ...+100°C
Категория качества «ОТК»			
К5400ТР045А-049-18 КФЦС.431000.001ТУ КФЦС.431260.001.01СП карта заказа КФЦС 431260.003.01-049Д16	Д049-18	МК 5123.28-1.01	-60°C ...+125°C
К5400ТР045А-049-16 КФЦС.431000.001ТУ КФЦС.431260.001.01СП карта заказа КФЦС 431260.003.01-049Д16	Д049-16	МК 5123.28-1.01	-60°C ...+125°C
К5400ТР045В-049-18 КФЦС.431000.001ТУ КФЦС.431260.001.01СП карта заказа КФЦС 431260.032.01-049Д16	Д049-18	5102.28-1 К	-60°C ...+100°C
К5400ТР045В-049-16 КФЦС.431000.001ТУ КФЦС.431260.001.01СП карта заказа КФЦС 431260.032.01-049Д16	Д049-16	5102.28-1 К	-60°C ...+100°C

Микросхемы категории качества «ВП» маркируются ромбом.

Микросхемы категории качества «ОТК» маркируются буквой «К».

