

Основные особенности

- 18 разрядов;
- Напряжение питания ядра от 3,3 В до 5,0 В;
- Напряжение питания периферийной части от 3,3 В до 5,0 В;
- Частота дискретизации 200 кВыб/с;
- DNL (типичное) 0,5 МЗР;
- INL (типичное) 1,0 МЗР;
- Диапазон входных аналоговых напряжений от 0 до VREF;
- Диапазон опорного напряжения от 2,5 В до VDDA-0,5 В;
- Температурный диапазон от -60°C до +125°C;
- Стойкость к СВВФ.

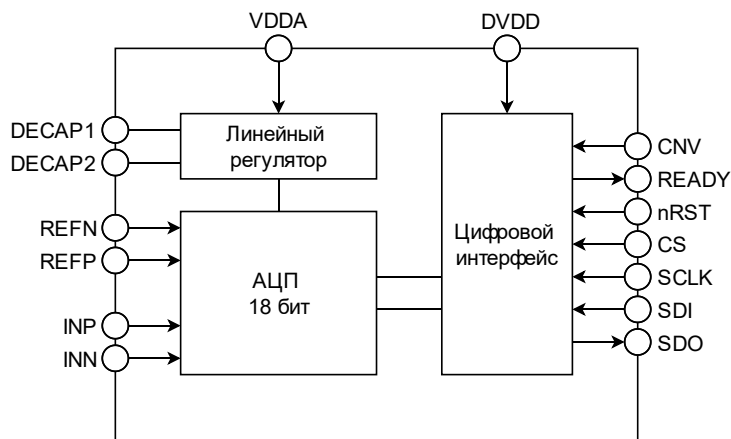


Рисунок 1. Структурная схема


 Рисунок 2. Внешний вид
микросхемы 5400TP045A-049

ГГ – год выпуска
НН – неделя выпуска

Общее описание

Микросхема 5400TP045A-049 – 18-ти разрядный АЦП последовательного приближения с последовательным интерфейсом выходных данных (формат: прямой код со смещением). Микросхема выполнена на базе радиационно-стойкого аналого-цифрового БМК 5400TP04 по технологии КНИ.

Выходные данные представлены КМОП логическими уровнями. В микросхеме реализован режим низкого энергопотребления («Shutdown»).

Микросхема является функциональным аналогом ADS8910 (ф. Texas Instruments).

Микросхема выполнена в 28-ми выводном металлокерамическом корпусе МК 5123.28-1.01.

Электрические параметры микросхемы

Таблица 1. Электрические характеристики (температурный диапазон от -60°C до $+125^{\circ}\text{C}$)

Параметр, единица измерения	Норма параметра		
	не менее	типичное	не более
Разрядность (N), бит		18	
Дифференциальная нелинейность (DNL), МЗР	-1,0	$\pm 0,5$	1,0
Интегральная нелинейность (INL), МЗР	-4,0	$\pm 1,0$	+4,0
Напряжение смещения, МЗР	-40	$\pm 4,0$	40
Коэффициент подавления синфазной составляющей (CMRR), дБ		80	
Напряжение полной шкалы (FSR), В		$2 \times V_{REF}$	
Ошибка усиления, %FSR	-0,05	$\pm 0,01$	0,05
Ток потребления, мА		8,0	12
Ток потребления в режиме «Shutdown», мкА		200	
Входной ток опорного напряжения, мкА (при $V_{REF}=5,0$ В)		6,0	
Напряжение питания аналоговой части (VDDA), В	3,0		5,5
Напряжение питания интерфейсной части (DVDD), В	3,0		5,5
Напряжение высокого уровня выходных цифровых сигналов (READY, SDO), В	$DVDD-0,4^{(1)}$	DVDD	
Напряжение низкого уровня выходных цифровых сигналов (READY, SDO), В		0	0,5
Динамические характеристики			
Частота выборок (Fs), кВыб/с			200
Малосигнальная полоса, МГц		25	
Отношение сигнал-шум (SNR), дБ (при частоте $F_{IN}=2$ кГц)		100	
Отношение сигнал/шум и искажения (SINAD), дБ (при частоте $F_{IN}=2$ кГц)		100	
Динамический диапазон, свободный от гармоник (SFDR), дБ (при частоте $F_{IN}=2$ кГц)		114	
Примечание: 1) Не менее 2,9 В			

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 1000 В по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

Параметр, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение питания аналоговой части (VDDA), В	3,0	5,5	-0,3	5,6
Напряжение питания интерфейсной части (DVDD), В	3,0	5,5	-0,3	5,6
Напряжение входного синфазного сигнала (V_{CM}), В ⁽¹⁾	$V_{REFP}/2$ -0,1	$V_{REFP}/2$ +0,1	-	-
Внешнее опорное напряжение ($V_{REFP} - V_{REFN}$), В	2,5	VDDA -0,5	-0,3	VDDA +0,3 ⁽²⁾
Внешнее опорное напряжение ($V_{REFN} - GND$), В	-0,1	-	-0,1	0,1
Диапазон входного аналогового сигнала (INP, INN – GND), В	0	V_{REFP}	-0,3	V_{REFP} +0,3 ⁽²⁾
Напряжение высокого уровня входных цифровых сигналов (CS, CNV, nRST, SDI, SCLK), В	DVDD -0,5 ⁽³⁾	DVDD	-0,3	DVDD +0,5 ⁽²⁾
Напряжение низкого уровня входных цифровых сигналов (CS, CNV, nRST, SDI, SCLK), В	0	0,5	-0,3	DVDD +0,5 ⁽²⁾
Нагрузочная способность выхода (SDO), мА	-	10	-	15
Входная емкость (INP, INN), пФ				
режим выборки		60		
режим удержания		5,0		
Температура эксплуатации, °С	-60	+125	-60	+150
Примечание:				
1) $V_{CM} = (V_{INP} + V_{INN})/2$, где INP и INN напряжения на положительном и отрицательном входах АЦП.				
2) Не более 5,6 В.				
3) Не менее 2,9 В.				

Конфигурация и функциональное описание выводов

Таблица 3. Функциональное описание выводов

№ вывода	Наименование вывода	Назначение вывода
1	DVDD	Вывод положительного напряжения питания интерфейсной части
2	SDO	Последовательный выход данных
3	SDI	Вход данных
4	SCLK	Вход тактового сигнала последовательного интерфейса
5	CS	Вывод выбора микросхемы (Chip-Select)
6	TECH1	Технологический вывод 1 (не подключать)
7, 9	TECH2	Технологический вывод 2 (подключить к GND)
8, 12, 19, 27	GND	Общий вывод
10, 11, 18	NC	Вывод не используется (не подключать)
13, 28	VDDA	Вывод положительного напряжения питания аналоговой части
14	DECAP1	Вывод для подключения шунтирующего конденсатора внутреннего регулятора напряжения
15	DECAP2	Вывод для подключения шунтирующего конденсатора внутреннего регулятора напряжения
16, 23	REFN	Вход отрицательного опорного напряжения АЦП
17, 22	REFP	Вход положительного опорного напряжения АЦП
20	INP	Положительный вход АЦП
21	INN	Отрицательный вход АЦП
24	nRST	Сигнал сброса
25	READY	Сигнал готовности выходных данных
26	CNV	Вход сигнала начала преобразования

Эквивалентные схемы

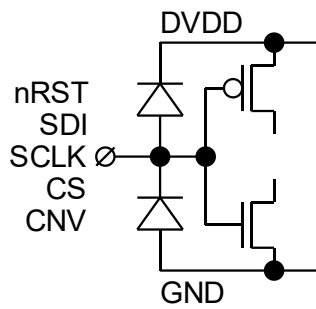


Рисунок 3. Цифровые входы
nRST, SDI, SCLK, CS, CNV

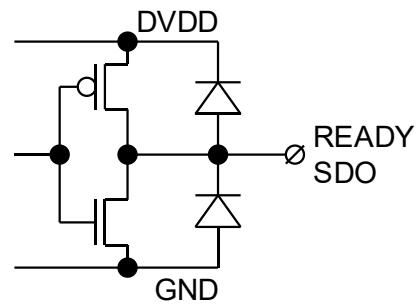


Рисунок 4. Цифровые выходы
READY, SDO

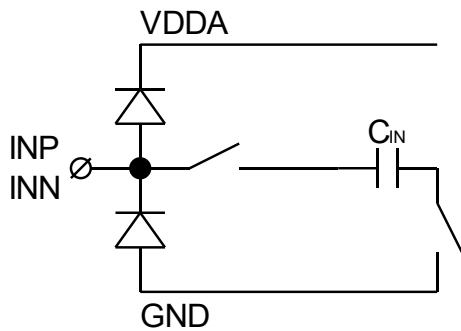


Рисунок 5. Аналоговые входы
INP, INN

Входное сопротивление выводов INP, INN (модель входного каскада – ключ и конденсатор) зависит от частоты тактирования и определяется формулой: $R = 1/(FC)$, где F – частота дискретизации, $C = 60$ пФ.

Рекомендуемая схема применения

Таблица 4. Таблица внешних компонентов

Компонент	Номинал
C1, C2	от 0,1 мкФ до 1,0 мкФ
C3	от 10 мкФ до 100 мкФ
C4	1,0 мкФ
C _{IN}	10 нФ
R _{IN}	от 10 Ом до 100 Ом

Конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них обязательно должен быть высокочастотный керамический емкостью не менее 10 нФ. Шунтирующие конденсаторы должны располагаться на плате в непосредственной близости к соответствующим выводам микросхемы.

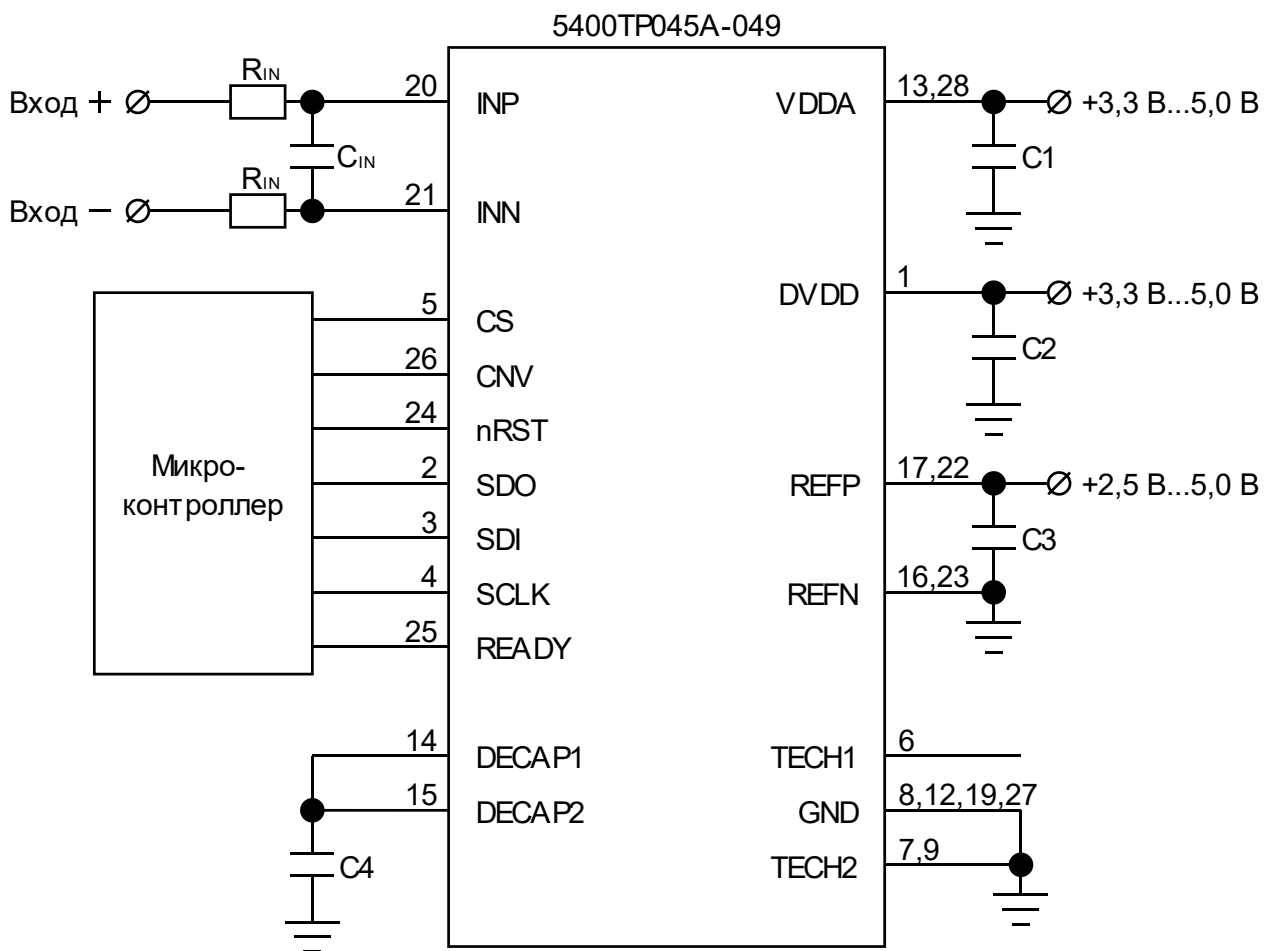


Рисунок 6. Рекомендуемая схема применения

Описание функционирования микросхемы

Микросхема 5400TP045A-049 поддерживает три функциональных состояния: RST, ACQ и CNV. Состояние микросхемы определяется выводами CNV и nRST.

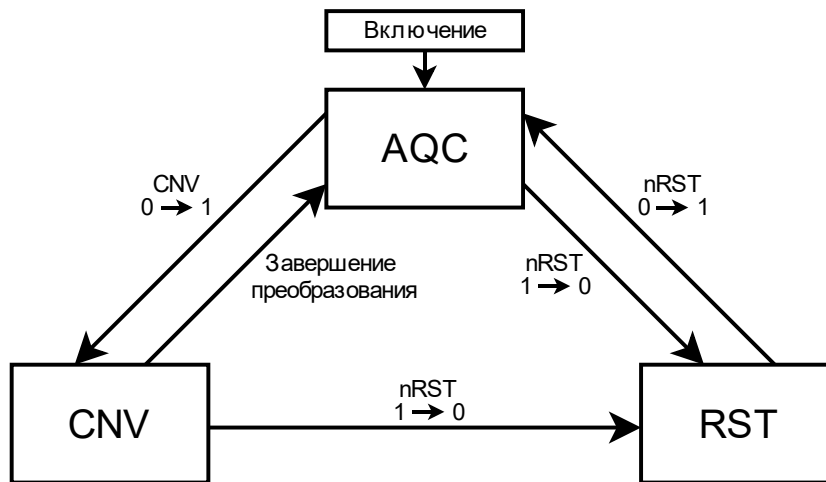


Рисунок 7. Диаграмма состояний АЦП

RST (Reset)

Состояние RST предназначено для инициализации и сброса всех регистров в начальное состояние. Для перехода в состояние RST контроллер устанавливает сигнал nRST в лог. «0» и удерживает его в течение 100 нс (t_{WL_RST}).

Для выхода из состояния RST контроллер переводит сигнал nRST в лог. «1», при этом сигналы CNV и SCLK удерживаются в лог. «0», а сигнал CS остается в лог. «1». Чтобы сигнал SDO находился в высокоимпедансном состоянии, сигнал CS должен быть в лог. «1». После задержки 1 мс (t_{d_RST}), микросхема переходит в состояние ACQ.

Для работы АЦП в состоянии ACQ или CNV, сигнал nRST должен быть в лог. «1». Когда сигнал nRST находится в лог. «1», переключение сигнала CNV определяет функциональное состояние микросхемы.

ACQ (Acquisition)

Состояние ACQ используется для выборки аналогового входного сигнала. Микросхема переходит в состояние ACQ при включении питания, выхода из режима низкого потребления, после асинхронного сброса и в конце каждого преобразования.

CNV (Conversion)

Переключение сигнала CNV из лог. «0» в лог. «1» переводит микросхему из состояния ACQ в состояние CNV. Процесс преобразования использует внутреннее тактирование. Микросхема игнорирует любые дальнейшие переключения сигнала CNV до завершения текущего преобразования, которое занимает время $t_{CNV} \sim 4,1$ мкс. По окончании преобразования микросхема возвращается в состояние ACQ. Время цикла преобразования определяется уравнением: $t_{CNV} + t_{ACQ}$.

Время преобразования, t_{CNV} , варьируется в пределах от t_{CNV_MIN} до t_{CNV_MAX} . После запуска преобразования контроллер должен отслеживать переход с низкого уровня на высокий на выводе READY или ждать пока истечет время t_{CNV_MAX} , прежде чем инициировать новую операцию передачи данных или преобразования. Если сигнал READY не отслеживается, замените t_{CNV} в уравнении на $t_{CNV_MAX} \sim 4,65$ мкс.

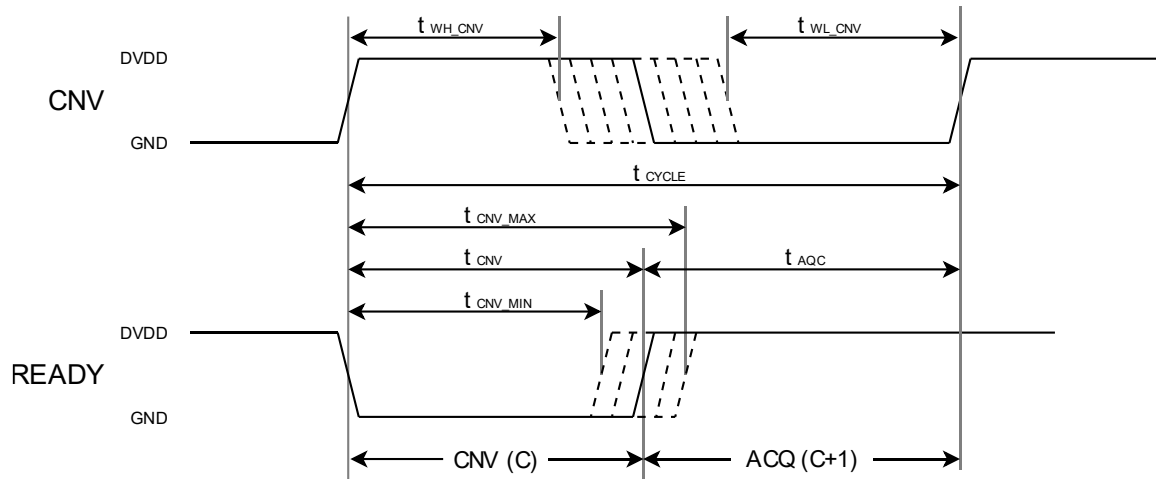


Рисунок 8. Временная диаграмма цикла преобразования

Таблица 5. Справочные данные

Обозначение, параметр, единица измерения		Мин.	Тип.	Макс.
Цикл преобразования				
f_{CYCLE}	Частота выборок	кГц		200
t_{CYCLE}	Период цикла преобразования	мкс	1,0	
t_{WH_CNV}	длительность CNV высокий уровень	нс	50	
t_{WL_CNV}	длительность CNV низкий уровень	нс	50	
t_{ACQ}	Время выборки	мкс	300	
t_{QT_ACQ}	Время без переключений до выборки (тихая выборка)	нс	50	
$t_{D_CNV_CAP}$	Время без переключений после выборки (апертурное молчание)	нс	50	
Асинхронный сброс				
t_{WL_RST}	Длительность импульса nRST низкий уровень	нс	100	
t_{D_RST}	Задержка после перехода nRST в высокий уровень	мс		1,0
Последовательный интерфейс				
f_{SCLK}	Интерфейсный сигнал тактирования	МГц		10
t_{WL_CS}	Длительность импульса CS высокий уровень	нс	100	
t_{SU_CSCK}	Задний фронт CS - передний фронт SCLK	нс	50	
t_{SU_CKDI}	Готовые данные SDI - передний фронт SCLK	нс	5,0	
t_{HT_CKDI}	Передний фронт SCLK - готовые данные SDI	нс	5,0	
t_{HT_CSCK}	Время задержки между последним спадом SCLK и нарастающим фронтом CS	нс	10	
t_{DEN_CSDO}	Время задержки между спадающим фронтом CS и готовности данных на SDO	нс		20
t_{DZ_CSDO}	Время задержки между нарастающим фронтом CS и переходом SDO в HI-Z	нс		20
t_{D_CKDO}	Время задержки между спадающим фронтом SCLK и готовности следующих данных на SDO	нс		20

Передача данных

Кадр передачи данных между микросхемой и микроконтроллером ограничивается задним фронтом CS и последующим передним фронтом CS. Контроллер может инициировать передачу в любое время независимо от состояния сигнала CNV, однако данные, считанные во время такой передачи данных, являются функцией относительной синхронизации между сигналами CNV и CS.

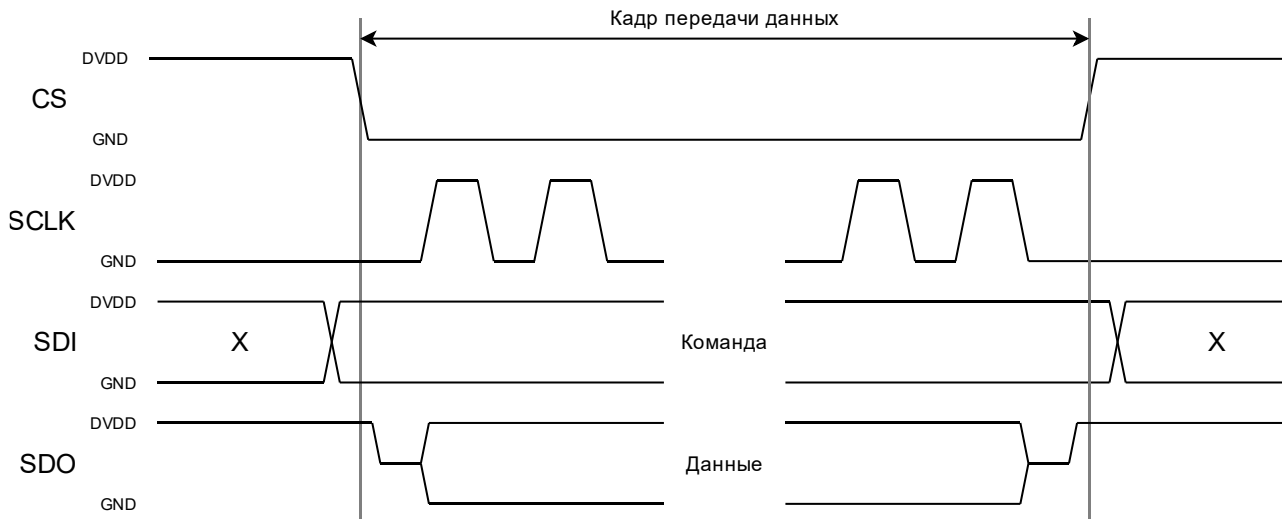


Рисунок 9. Кадр передачи данных

Контроллер устанавливает CS в лог. «0» чтобы инициировать кадр передачи данных. Во время передачи данных контроллер обеспечивает синхронизацию на выводе SCLK. Контроллер переводит CS в высокий уровень, чтобы завершить передачу данных. На переднем фронте CS вывод SDO переводится в Hi-Z состояние.

В конце кадра передачи данных:

- Если значение счетчика SCLK < 20 , то IDR захватывает менее 20 битов из SDI. В этом случае микросхема обрабатывает кадр как *короткий командный кадр*. В конце короткого кадра IDR (input data register) не обновляется, и микросхема обрабатывает кадр как команду отсутствия операции (NOP).
- Если счетчик SCLK = 20, то IDR захватывает ровно 20 бит из SDI. В этом случае микросхема обрабатывает кадр как *оптимальный командный кадр*. В конце оптимального командного кадра процессор декодирует 20-битное содержимое IDR как допустимое командное слово.
- Если счетчик SCLK > 20 , то IDR захватывает более 20 битов из SDI, однако только последние 20 бит сохраняются. В этом случае микросхема обрабатывает кадр как *длинный командный кадр*. В конце длинного командного кадра, процессор обрабатывает 20-битное содержимое IDR как допустимое командное слово. Нет ограничений на максимальное количество тактовых импульсов, которое может быть предоставлено в рамках любого кадра передачи данных. Однако, как объяснено выше необходимо убедиться, что последние 20 бит перед нарастающим фронтом CS, представляют собой нужную команду.

В *коротком кадре* команды операции записи в устройство становятся недействительными, однако биты выходных данных, переданные во время короткого кадра, все еще являются действительными выходными данными. Следовательно, контроллер может использовать такие более короткие кадры передачи данных, считывая только необходимое количество битов MSB из 20-битного слова выходных данных. Оптимальный кадр чтения для микросхемы составляет 18 старших разрядов выходного слова.

Взаимодействие циклов преобразования и кадров передачи данных.

Контроллер управляет устройством с желаемой пропускной способностью, чередуя циклы преобразования и кадры передачи данных.

Время цикла микросхемы ($t_{\text{CYCLE}}=1$ мкс) представляет собой разницу во времени между двумя последовательными нарастающими фронтами сигнала CNV. Время отклика АЦП (t_{RESP}) является разницей во времени между началом преобразования S и получением данных преобразования S .

На рисунке ниже показаны три цикла преобразования: S , $S+1$ и $S+2$. Преобразование S инициируется передним фронтом CNV в момент времени $t = 0$, результат преобразования становится доступен для передачи в момент времени t_{CNV} . Однако этот результат загружается в выходной регистр ODR (output data register) только на следующем спадающем фронте CS. Этот спадающий фронт сигнала CS должен быть установлен до завершения преобразования $S+1$ (т.е до $t_{\text{CYCLE}} + t_{\text{CNV}}$).

Для достижения номинальных рабочих характеристик контроллер должен убедиться, что никакие цифровые сигналы не переключаются в течение времени тихой выборки ($t_{\text{QT_ACQ}}$) и времени апертурного молчания ($t_{\text{D_CNVCAP}}$). Любой шум во время $t_{\text{D_CNVCAP}}$ может отрицательно повлиять на результат текущего преобразования, а любой шум во время $t_{\text{QT_ACQ}}$ может отрицательно повлиять на результат последующего преобразования.

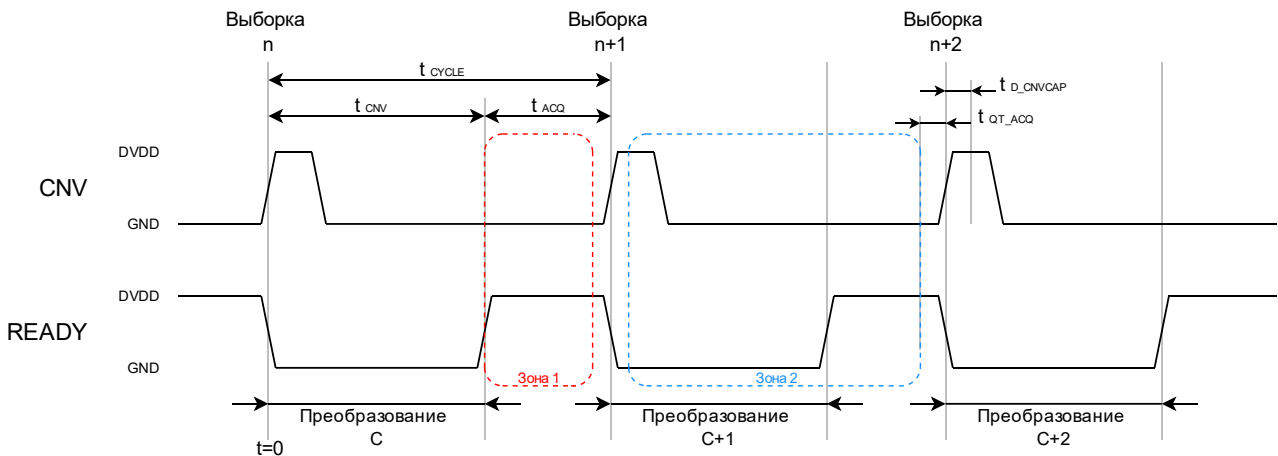


Рисунок 10. Зоны передачи данных

Данное устройство позволяет использовать две временные зоны (зона 1 и зона 2) для передачи данных.

Таблица 6. Время зон передачи данных

Зона	Время начала	Время завершения
Зона 1 для преобразования S	t_{CNV}	$t_{\text{CYCLE}} - t_{\text{QT_ACQ}}$
Зона 2 для преобразования S	$t_{\text{CYCLE}} + t_{\text{D_CNVCAP}}$	$t_{\text{CYCLE}} + t_{\text{CYCLE}} - t_{\text{QT_ACQ}}$

Время отклика (t_{RESP}) включает время преобразования и время передачи данных и, таким образом, является функцией выбранной зоны передачи данных.

Рисунки ниже показывают чередование трех циклов преобразования (C, C+1 и C+2) с тремя кадрами передачи данных (F, F+1 и F+2) в зонах 1 и 2 соответственно.

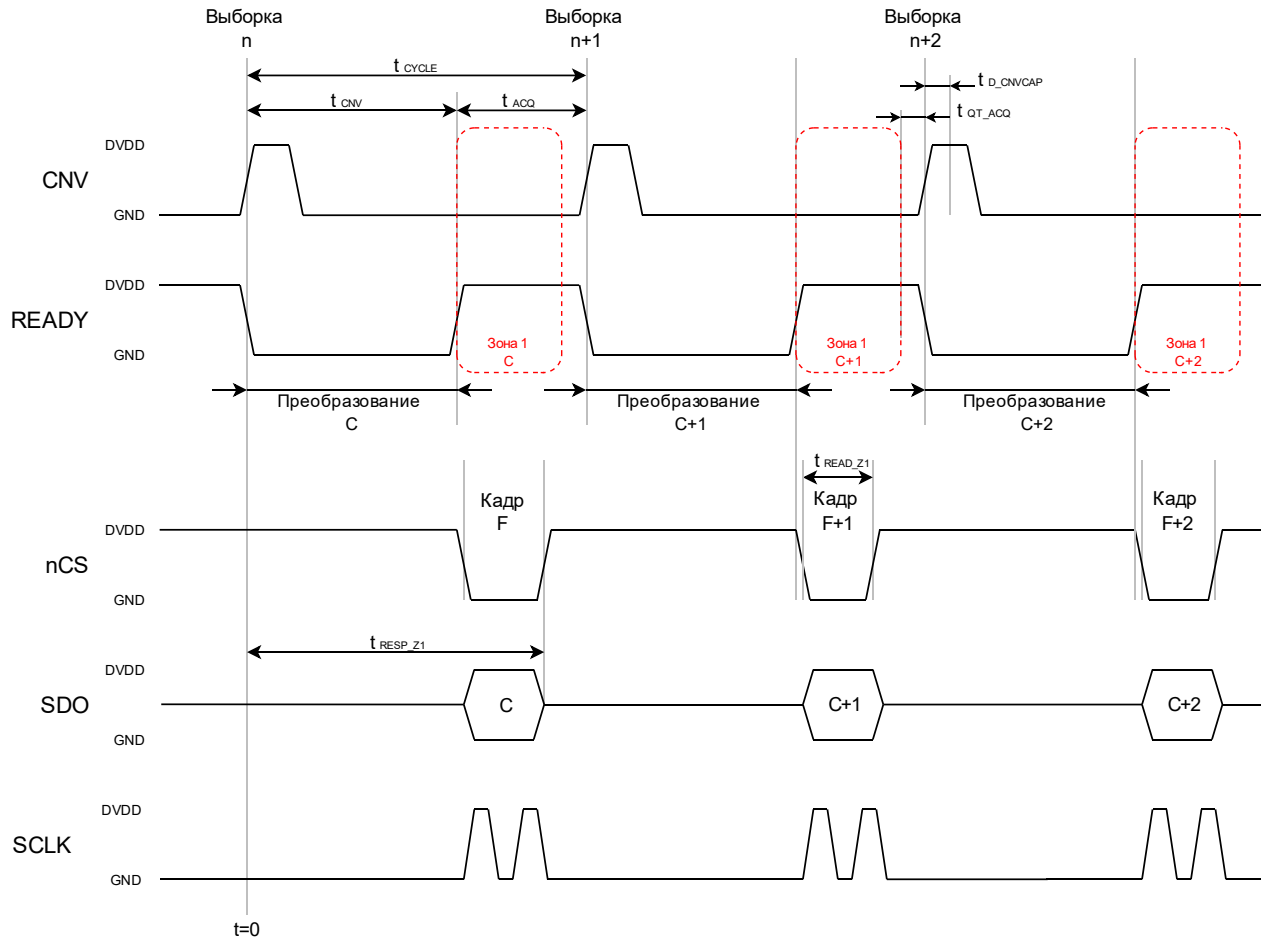


Рисунок 11. Передача данных в зоне 1

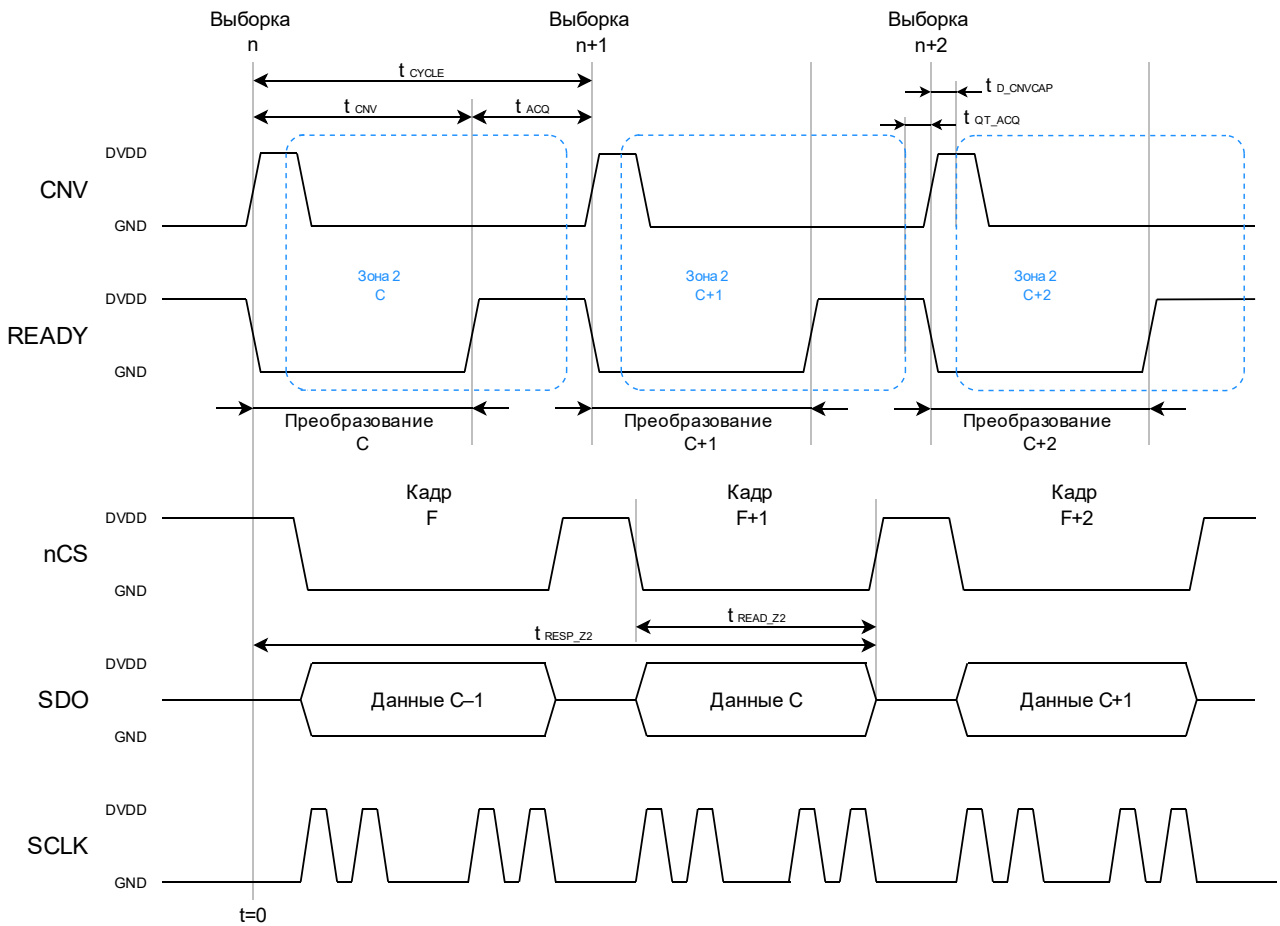
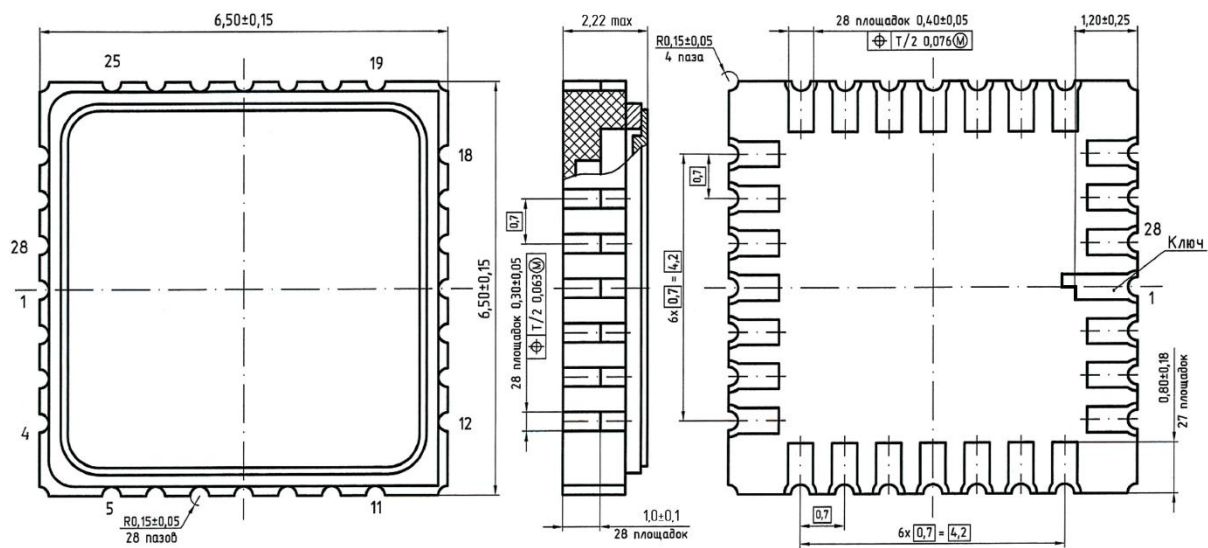


Рисунок 12. Передача данных в зоне 2

Таблица 7. Формат выходных данных

Входное напряжение ($V_{INP} - V_{INN}$)	Выходной код
+VREF	11 1111 1111 1111 1111
0	10 0000 0000 0000 0000
-VREF	00 0000 0000 0000 0000

Габаритный чертеж



1. * Размеры для справок.
2. Нумерация выводных площадок показана условно.

Рисунок 13. Габаритный чертеж корпуса МК 5123.28-1.01 (размеры в мм)

