

Основные особенности

- 16 разрядов;
- Напряжения питания:
 - ядро ЦАП 5,0 В;
 - высоковольтные ОУ ± 10 В, $\pm 5,0$ В;
- Ток потребления:
 - ядро ЦАП 1,0 мА;
 - высоковольтный ОУ 5,0 мА;
- Время установления выходного напряжения не более 20 мкс;
- DNL (типичное) 1,8 МЗР;
- INL (типичное) 14 МЗР;
- Последовательный интерфейс входных данных;
- Встроенные высоковольтные ОУ;
- Технология изготовления КМОП КНИ;
- Температурный диапазон от -60 до $+125^{\circ}\text{C}$;
- Стойкость к СВВФ.

Блок схема

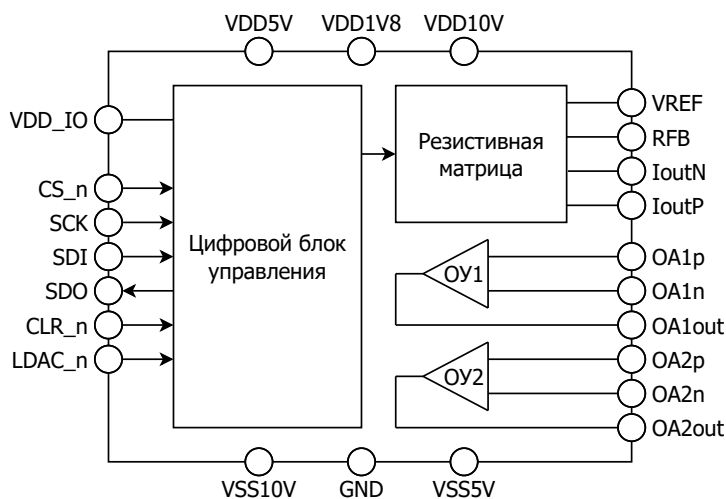


Рисунок 1. Структурная схема



Рисунок 2. Внешний вид микросхемы

ГГ – год выпуска
 НН – неделя выпуска

Общее описание

Микросхема 5400TP045A-022 представляет собой 16-ти разрядный R-2R ЦАП с последовательным интерфейсом входных данных на основе 3-х сегментной резистивной матрицы. Микросхема выполнена на базе радиационно-стойкого аналого-цифрового БМК 5400TP045 по технологии КНИ.

В микросхеме реализован универсальный 4-х проводной последовательный интерфейс совместимый со стандартом SPI. Диапазон выходного напряжения ЦАП определяется схемой включения и внешним опорным уровнем. Микросхема содержит в себе цепь сброса по включению питания, которая обеспечивает установку выхода ЦАП в ноль и его сохранение до записи нового значения.

ЦАП состоит из следующих основных блоков:

- 3-х сегментная резистивная матрица;
- цифровой блок управления;
- высоковольтные ОУ.

Микросхема является функциональным аналогом AD5543 (ф. Analog Devices).

Микросхема поставляется в 28-ми выводном металлокерамическом корпусе 5123.28-1.01.

Электрические параметры микросхемы

Таблица 1. Электрические характеристики (температурный диапазон от – 60 до +125°C)

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Разрядность (N), бит	16		
Дифференциальная нелинейность (DNL), МЗР	–1,8		+1,8
Интегральная нелинейность (INL), МЗР	–14		+14
Время установления выходного напряжения, мкс			20 ¹⁾
Диапазон опорного напряжения ЦАП (VREF), В			
при использовании внутренних ОУ	0		4,5
при использовании внешних ОУ	0		5,0
Напряжение смещения нуля, мВ	–30		30
Погрешность коэффициента преобразования, %	–0,7		0,7
Диапазон выходного напряжения, В			
униполярное включение	–2*VREF		0
биполярное включение	–2*VREF		+2*VREF
Нагрузочная способность выводов (OA1out, OA2out), мА		25 ¹⁾	30 ¹⁾
Напряжение питания ядра ЦАП (VDD5V), В	4,75	5,0	5,25
Напряжение питания периферийной части (VDD_IO), В	1,6	1,8	5,25
Положительное напряжение питания ОУ (VDDOA), В	5,0		10
Отрицательное напряжения питания ОУ (VSSOA), В	–10		–5,0
Напряжение низкого уровня цифровых сигналов блока управления (CS_n, SCK, SDI, SDO, CLR_n, LDAC_n), В		0	VDD_IO*0,3
Напряжение высокого уровня цифровых сигналов блока управления (CS_n, SCK, SDI, SDO, CLR_n, LDAC_n), В	VDD_IO*0,7	VDD_IO	
Ток потребления ядра ЦАП, мА		1,0	
Ток потребления ОУ (1шт.), мА		4,0 ¹⁾	
Ток потребления по линии опорного уровня (VREF), мА			5,0
Примечания:			
1) параметры при использовании встроенных операционных усилителей.			

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 1000 В по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

Параметр, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение питания ядра ЦАП (VDD5V), В	4,5	5,5	-0,3	6,0
Положительное напряжение питания высоковольтных ОУ (VDDOA), В	4,5	10,5	-0,3	11
Отрицательное напряжение питания высоковольтных ОУ (VSSOA), В	-10,5	-4,5	-11	0,3
Напряжение питания последовательного интерфейса (VDD_IO), В	1,6	5,25	-0,3	5,35
Напряжение входных цифровых сигналов (CS_n, SCK, SDI, SDO, CLR_n, LDAC_n), В	0	VDD_IO	-0,3	VDD_IO+0,5
Напряжение внешнего опорного уровня (VREF), В				
при использовании внутренних ОУ	0	4,5	-0,3	5,0
при использовании внешних ОУ	0	5,0	-0,3	5,0
Температура эксплуатации, °С	-60	+125	-60	+150

Конфигурация и функциональное описание выводов

Таблица 3. Функциональное описание выводов

№ вывода	Наименование вывода	Назначение вывода
1	SDI	Вход последовательного интерфейса
2	CS_n	Вход сигнала синхронизации последовательного интерфейса (активный уровень – лог. «0»)
3	SCK	Вход тактового сигнала последовательного интерфейса
4	CLR_n	Асинхронный сигнал сброса (активный уровень – лог. «0»). Обнуление внутренних регистров, установка выхода в нулевой код
5	VDD_IO	Вывод питания периферийной части
6	VDD1V8	Технологический вывод (вывод напряжения питания схемы калибровки)
7	VDD5V	Вывод положительного напряжения питания ядра ЦАП (+5,0 В)
8, 22	NC	Вывод не используется
9	VREF	Вывод опорного напряжения ЦАП. Входной импеданс относительно «земли» – 1000 Ом
10	OA1n	Инвертирующий вход высоковольтного ОУ1
11	OA1p	Неинвертирующий вход высоковольтного ОУ1
12	VDDOA	Вывод положительного напряжения питания ОУ (+5,0; +10 В)
13	OA1out	Выход высоковольтного ОУ1
14, 16, 25	GND	Общий вывод
15	VSS5V	Технологический вывод (вывод отрицательного напряжения питания схемы калибровки)
17	OA2out	Выход высоковольтного ОУ2
18	VSSOA	Вывод отрицательного напряжения питания ОУ (-5,0; -10 В)
19	OA2p	Неинвертирующий вход высоковольтного ОУ2
20	OA2n	Инвертирующий вход высоковольтного ОУ2
21	IoutN	Токовый выход ЦАП
23	RFB	Выход резистора обратной связи. Выходной ток ЦАП протекает от IoutN к RFB. Входной импеданс – 2000 Ом
24	IoutP	Комплементарный выход ЦАП
26	LDAC_n	Вход асинхронного обновления ЦАП (активный уровень – лог. «0»). Обновление выхода ЦАП происходит либо по срезу LDAC_n, либо по окончании передачи через последовательный интерфейс, если LDAC_n удерживается в состоянии лог. «0»
27	SDO	Выход последовательного интерфейса
28	OTP_PROG	Технологический вывод (вывод программирования OTP-памяти)

Эквивалентные схемы

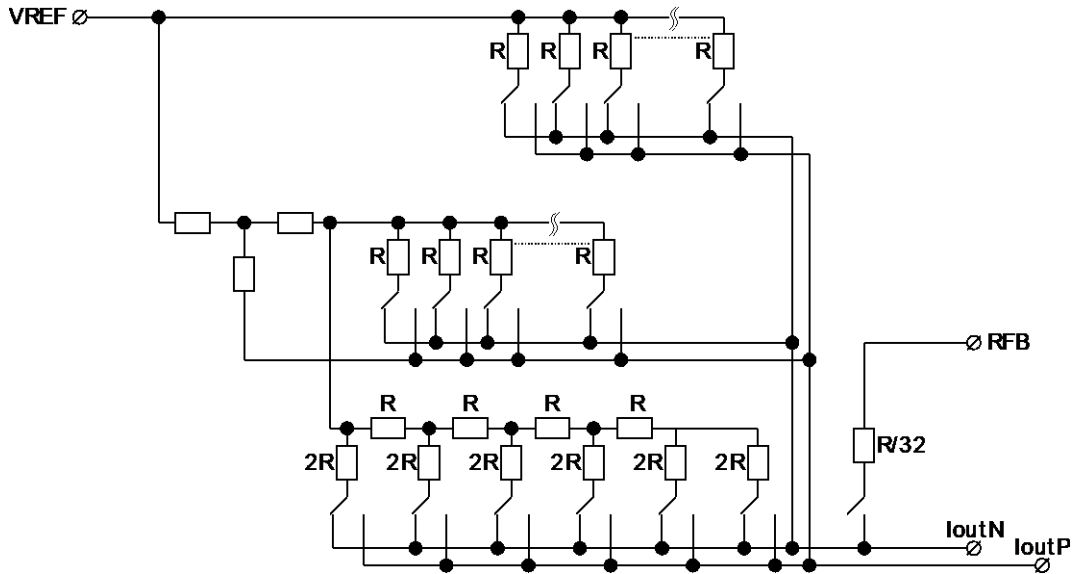


Рисунок 3. Структура 3-х сегментной резистивной матрицы (R = 18 кОм)

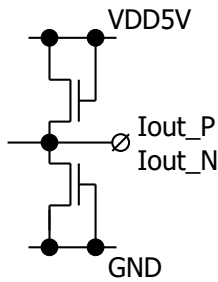


Рисунок 4. Выход ЦАП

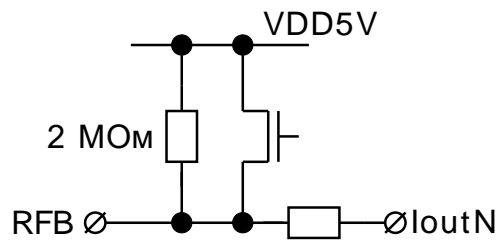


Рисунок 5. Выход резистора обратной связи

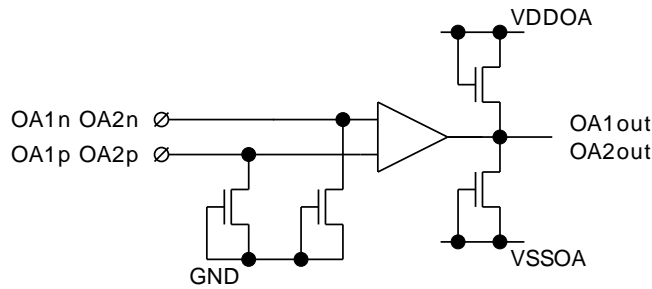


Рисунок 6. Вход высоковольтного ОУ

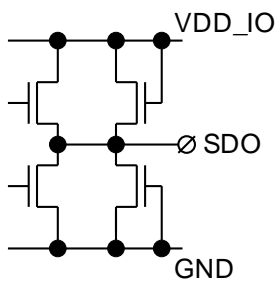


Рисунок 7. Выход последовательного интерфейса

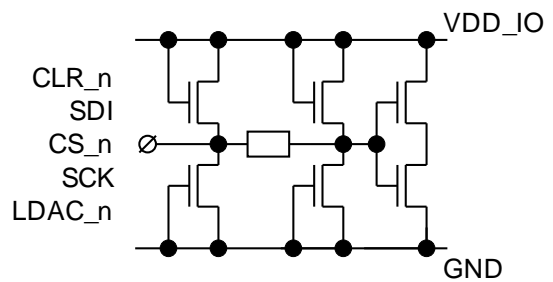


Рисунок 8. Цифровые входы сигналов управления

Временные диаграммы

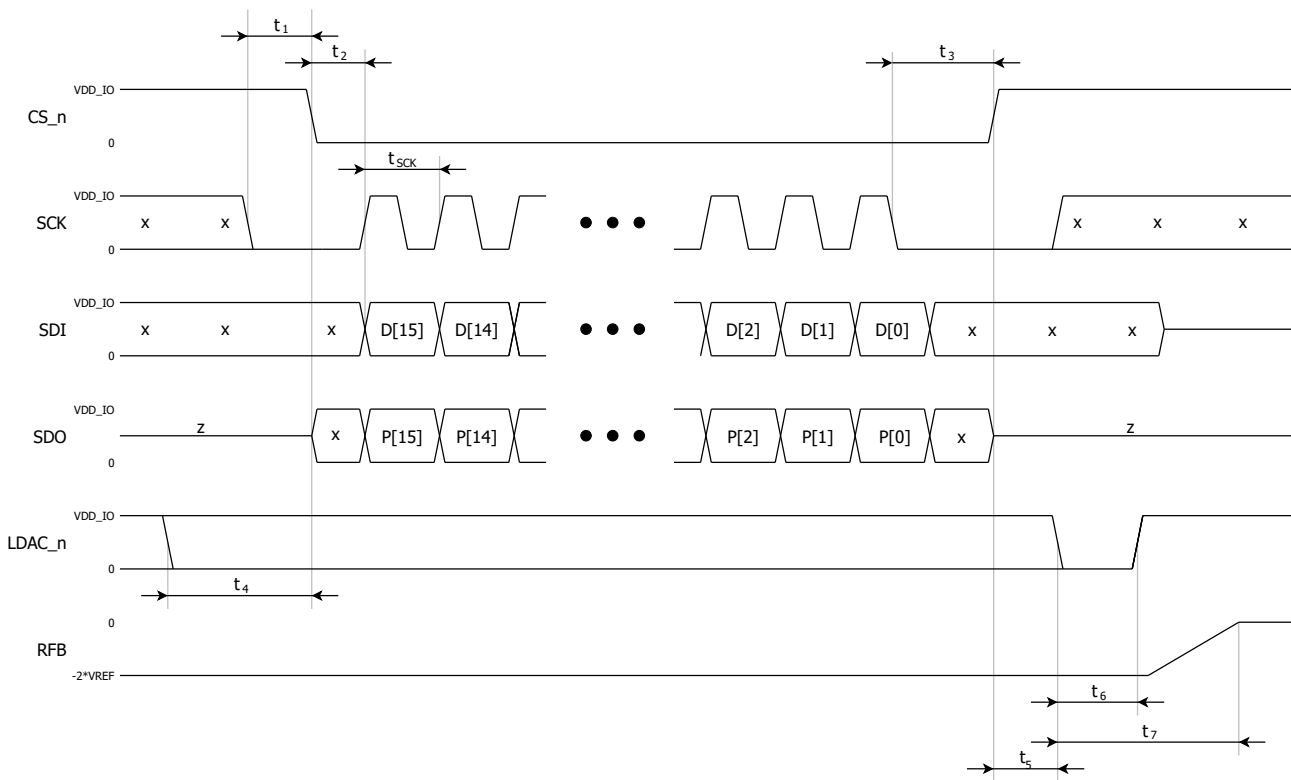


Рисунок 9. Временная диаграмма работы ЦАП

Таблица 4. Справочные данные

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Период тактового сигнала (t_{sck}), нс	100		
Коэффициент заполнения тактового сигнала, %	40	50	60
Время от спада SCK до спада CS_n (t_1), нс	20		
Время от спада CS_n до первого фронта SCK (t_2), нс	15		
Время от последнего спада SCK до фронта CS_n (t_3), нс	20		
Время от спада LDAC_n до спада CS_n (t_4), нс	10		
Время от фронта CS_n до спада LDAC_n (t_5), нс	20		
Время от спада LDAC_n до фронта LDAC_n (t_6), нс	100		
Время от спада LDAC_n до установления нового выходного уровня ЦАП (t_7), мкс			20

Тактовый сигнал SCK начинается с «низкого» уровня. Выборка данных производится по срезу тактового сигнала SCK, максимальная частота SCK = 10 МГц.

Вывод CLR_n: асинхронный сигнал сброса (активный уровень – лог. «0»). Сброс происходит по срезу сигнала CLR_n. При включении питания происходит обнуление внутренних регистров и установка выхода в нулевой код.

Вывод LDAC_n: вход асинхронного обновления ЦАП (активный уровень – лог. «0»). Обновление выхода ЦАП происходит по срезу сигнала LDAC_n. При удержании сигнала LDAC_n в состоянии лог. «0» обновление выхода ЦАП происходит по окончании передачи через последовательный интерфейс.

Рекомендуемая схема применения

Для преобразования токового выхода ЦАП в напряжение в микросхеме реализованы 2 высоковольтных ОУ. В нормальном режиме работы возможны несколько вариантов включения ЦАП в комбинации со встроенными высоковольтными ОУ. Во всех случаях необходимо обеспечить питание для ядра +5,0 В и общий потенциал земли. Возможно использовать как внешние, так и внутренние ОУ.

На рисунке ниже показано основное включение ОУ (OA1) как преобразователя ток-напряжение для получения униполярного выходного диапазона $[-2 \cdot VREF; 0]$. Возможно дополнительное включение второго ОУ (OA2) для получения биполярного выходного диапазона $[-2 \cdot VREF; +2 \cdot VREF]$.

Диапазон положительного напряжения питания встроенных ОУ ($VDDOA$) = +5,0...+10 В.

Диапазон отрицательного напряжения питания встроенных ОУ ($VSSOA$) = -5,0...-10 В. При этом выходной диапазон будет ограничен снизу на ($VSSOA + 1,5$) В.

Таблица 5. Таблица внешних компонентов

Компонент	Номинал
R1 – R3	20 кОм
C1, C2	100 нФ
C3, C4	1 мкФ
C5	30 пФ

Конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них обязательно должен быть высокочастотный керамический емкостью не менее 10 нФ. Шунтирующие конденсаторы должны располагаться на плате в непосредственной близости к соответствующим выводам микросхемы.

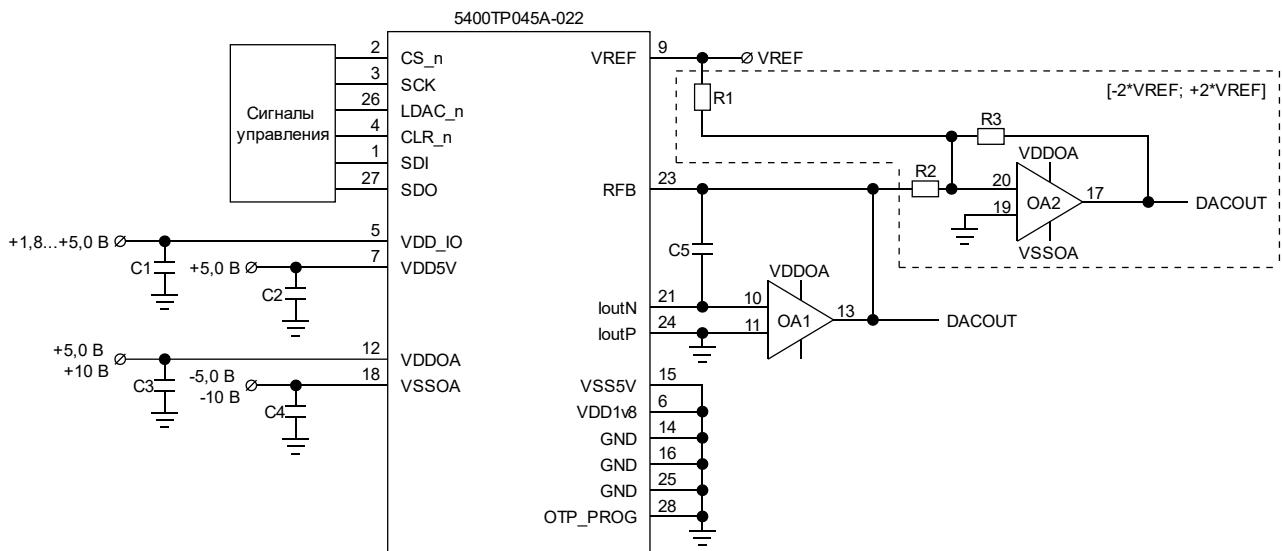


Рисунок 10. Рекомендуемая схема применения

Описание функционирования микросхемы

Микросхема 5400TP045A-022 представляет собой 16-ти разрядный R-2R цифро-аналоговый преобразователь с последовательным интерфейсом входных данных на основе 3-х сегментной резистивной матрицы. Напряжение питания ядра микросхемы $VDD5V = 5,0$ В. Диапазон напряжения питания периферийной части $VDD_IO = 1,8...5,0$ В формирует уровень лог. «1» сигналов управления CS_n , SCK , SDI , SDO , CLR_n , $LDAC_n$.

Для управления ЦАП в микросхеме реализован 4-х проводной последовательный интерфейс, совместимый со стандартом SPI. Поддерживается следующий режим работы: slave, MSB first, $CPOL = 0$ (тактовый сигнал SCK начинается с «низкого» уровня), $CPHA = 1$ (выборка данных производится по срезу тактового сигнала SCK), максимальная частота $SCLK = 10$ МГц.

Последовательный интерфейс поддерживает 16-ти битный вид посылок ($D15...D0$ – старший разряд первый).

Вывод CS_n – вход сигнала синхронизации последовательного интерфейса (активный уровень лог. «0»).

Вывод CLR_n : асинхронный сигнал сброса (активный уровень – лог. «0»). Сброс происходит по срезу сигнала CLR_n . При включении питания происходит обнуление внутренних регистров и установка выхода в нулевой код.

Вывод $LDAC_n$: вход асинхронного обновления ЦАП (активный уровень – лог. «0»). Обновление выхода ЦАП происходит по срезу сигнала $LDAC_n$. При удержании сигнала $LDAC_n$ в состоянии лог. «0» обновление выхода ЦАП происходит по окончании передачи через последовательный интерфейс (Рисунок 9).

Таблица 6. Формат выходных данных

Входной код	Выходное напряжение
Униполярный режим	
0000 0000 0000 0000	$-2*VREF$
1111 1111 1111 1111	0
Биполярный режим	
0000 0000 0000 0000	$+2*VREF$
1111 1111 1111 1111	$-2*VREF$

Габаритный чертеж

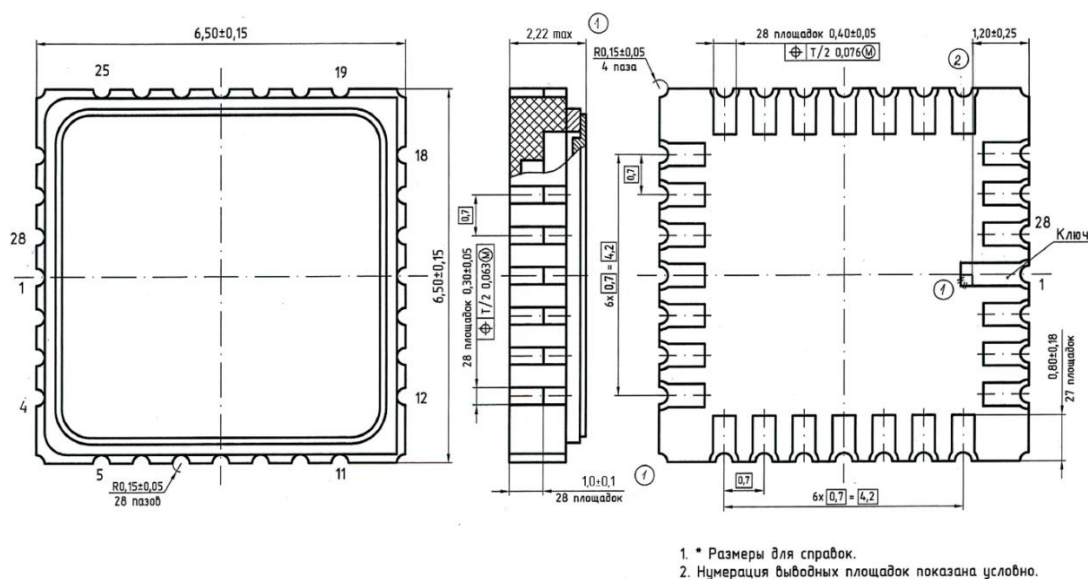


Рисунок 11. Габаритный чертеж корпуса 5123.28-1.01 (размеры в мм)

Информация для заказа

Обозначение	Маркировка	Корпус	Температурный диапазон
5400TP045A-022 АЕНВ.431260.237ТУ карта заказа КФЦС.431260.003-022Д16	045A-022	5123.28-1.01	- 60 ... +125°C
К5400TP045A-022 АДКБ.431260.328ТУ	К045A-022	5123.28-1.01	- 60 ... +125°C

Микросхемы категории качества «ВП» маркируются ромбом.

Микросхемы категории качества «ОТК» маркируются буквой «К».

