

Основные особенности

- 16 разрядов;
- Напряжение питания 5,0 В±5%;
- Напряжение питания периферийной части от 1,8 В до 5,0 В;
- Ток потребления 1,5 мА;
- DNL (типичное) 2,0 МЗР;
- INL (не более) 17 МЗР;
- Диапазон выходного напряжения:
от $-2 \times V_{REF}$ до 0 В;
от $-V_{REF}$ до $+V_{REF}$.
- Последовательный интерфейс входных данных;
- Температурный диапазон от -60°C до $+125^{\circ}\text{C}$;
- Стойкость к СВВФ.

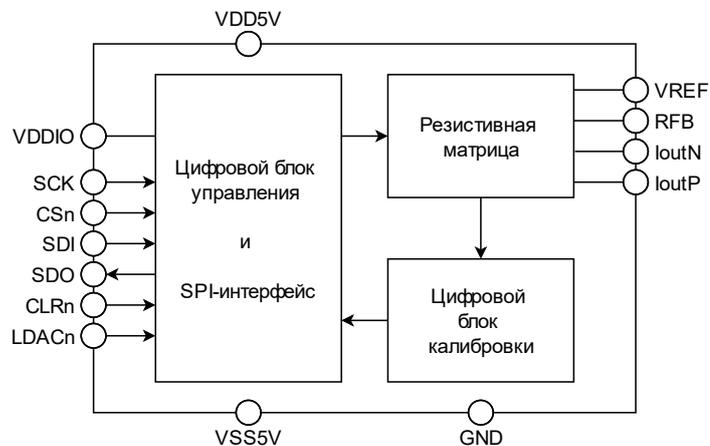


Рисунок 1. Структурная схема



ГГ – год выпуска
НН – неделя выпуска

Рисунок 2. Внешний вид микросхемы 5400TP045A-022

Общее описание

Микросхема 5400TP045A-022 представляет собой 16-ти разрядный R-2R ЦАП с последовательным интерфейсом входных данных на основе 3-х сегментной резистивной матрицы. Микросхема выполнена на базе радиационно-стойкого аналого-цифрового БМК 5400TP04 по технологии КНИ.

В микросхеме реализован универсальный 4-х проводной последовательный интерфейс совместимый со стандартом SPI. Микросхема содержит в себе цепь сброса по включению питания, которая обеспечивает установку выхода ЦАП в ноль и его сохранение до записи нового значения.

Уровень лог. «1» входных и выходных цифровых сигналов устанавливается выводом VDDIO в диапазоне от 1,8 В до 5,0 В.

Микросхема является функциональным аналогом AD5543 (ф. Analog Devices).

Микросхема выполнена в 28-ми выводном металлокерамическом корпусе МК 5123.28-1.01.

Электрические параметры микросхемы

Таблица 1. Электрические характеристики (температурный диапазон от -60°C до $+125^{\circ}\text{C}$)

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Разрядность (N), бит	16		
Дифференциальная нелинейность (DNL), МЗР	-4,0	$\pm 2,0$	4,0
Интегральная нелинейность (INL), МЗР	-17	± 13	17
Погрешность коэффициента преобразования, %	-0,7	$\pm 0,3$	0,7
Погрешность смещения нуля, МЗР	-12	$\pm 3,5$	12
Время установления выходного напряжения, мкс ⁽¹⁾	–	–	–
Напряжение питания (VDD5V), В	4,75	5,0	5,25
Ток потребления, мА		1,5	3,4
Напряжение питания периферийной части (VDDIO), В	1,7	1,8	1,9
	2,25	2,5	2,75
	3,0	3,3	3,6
	4,5	5,0	5,25
Напряжение высокого уровня выходных цифровых сигналов (SDO), В	VDDIO-0,4 ⁽²⁾	VDDIO	
Напряжение низкого уровня выходных цифровых сигналов (SDO), В		0	0,5
Диапазон выходного напряжения, В			
	униполярное включение	-2xVREF	0
биполярное включение	-VREF		+VREF
Примечание:			
1) Параметр определяется внешними операционными усилителями.			
2) Не менее 1,6 В.			

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 1000 В по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

Параметр, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение питания (VDD5V), В	4,75	5,25	-0,3	5,35
Напряжение питания периферийной части (VDDIO), В	1,7	5,25	-0,1	5,5
Диапазон входного опорного напряжения (VREF), В ⁽³⁾	0	5,25	-0,1	5,5
Напряжение низкого уровня входных цифровых сигналов (CSn, SCK, SDI, CLRn, LDACn), В	-0,1	VDDIOx0,3 ¹⁾	-0,3	VDDIO+0,5 ²⁾
Напряжение высокого уровня входных цифровых сигналов (CSn, SCK, SDI, CLRn, LDACn), В	VDDIOx0,7 ⁴⁾	VDDIO+0,1 ¹⁾	-0,3	VDDIO+0,5 ²⁾
Температура эксплуатации, °С	-60	+125	-60	+150
Примечание: 1) Не более 5,25 В. 2) Не более 5,5 В. 3) Входное опорное напряжение выбирается исходя из используемых операционных усилителей. 4) Не менее 1,6 В				

Конфигурация и функциональное описание выводов

Таблица 3. Функциональное описание выводов

№ вывода	Наименование вывода	Назначение вывода
1	SDI	Вход последовательного интерфейса
2	CSn	Вход сигнала синхронизации последовательного интерфейса (активный уровень – лог. «0»)
3	SCK	Вход тактового сигнала последовательного интерфейса
4	CLRn	Асинхронный сигнал сброса (активный уровень – лог. «0»). Обнуление внутренних регистров, установка выхода в нулевой код.
5	VDDIO	Вывод питания периферийной части
6, 10-13, 15, 17-20, 28	Tech	Технологический вывод (подключить к GND)
7	VDD5V	Вывод положительного напряжения питания
8, 22	NC	Вывод не используется (не подключать)
9	VREF	Вывод опорного напряжения ЦАП. Входной импеданс относительно «земли» – 1000 Ом.
14, 16, 25	GND	Общий вывод
21	IoutN	Токовый выход ЦАП
23	RFB	Выход резистора обратной связи. Выходной ток ЦАП протекает от IoutN к RFB. Входной импеданс – 2000 Ом.
24	IoutP	Комплементарный выход ЦАП
26	LDACn	Вход асинхронного обновления ЦАП (активный уровень – лог. «0»). Обновление выхода ЦАП происходит либо по срезу LDACn, либо по окончании передачи через последовательный интерфейс, если LDACn удерживается в состоянии лог. «0».
27	SDO	Выход последовательного интерфейса

Эквивалентные схемы

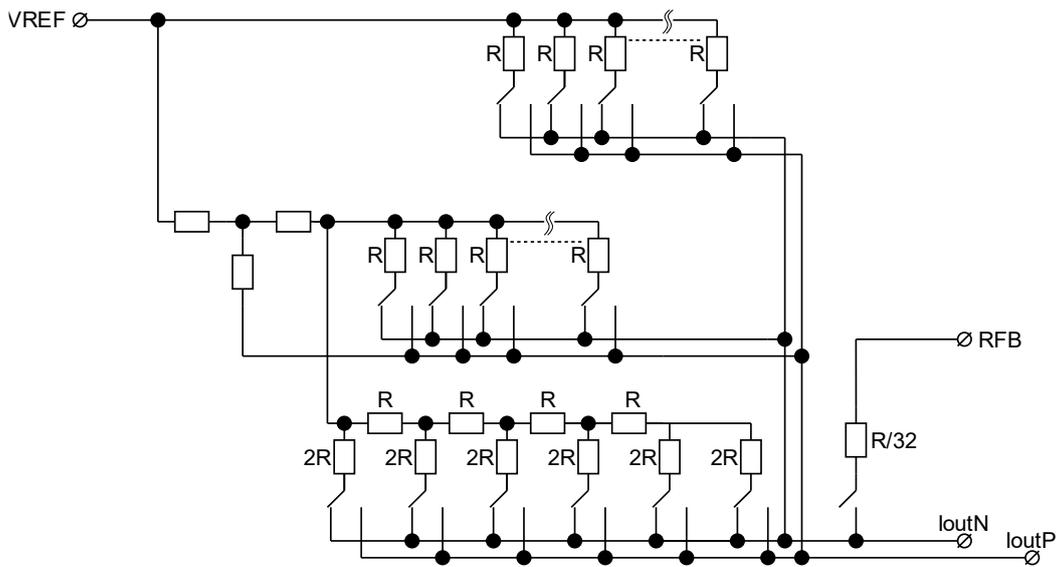


Рисунок 3. Структура 3-х сегментной резистивной матрицы (R = 71 кОм)

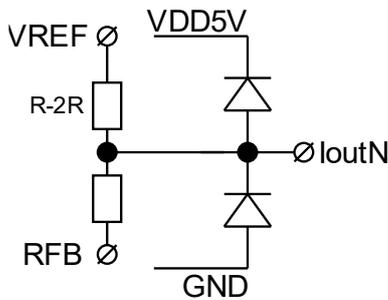


Рисунок 4. Выход loutN

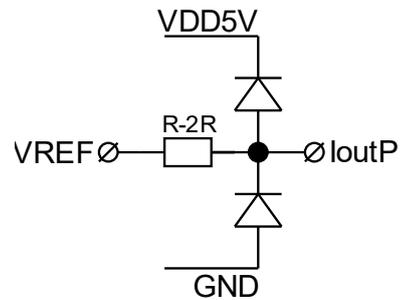


Рисунок 5. Выход loutP

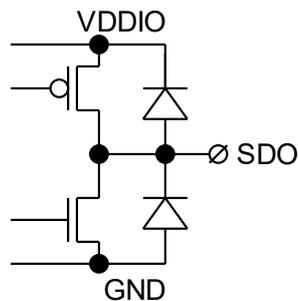


Рисунок 6. Выход последовательного интерфейса

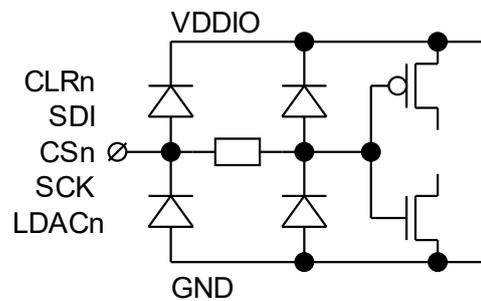


Рисунок 7. Цифровые входы сигналов управления

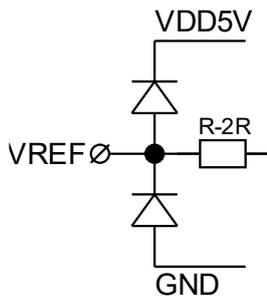


Рисунок 8. Вход VREF

Временные диаграммы

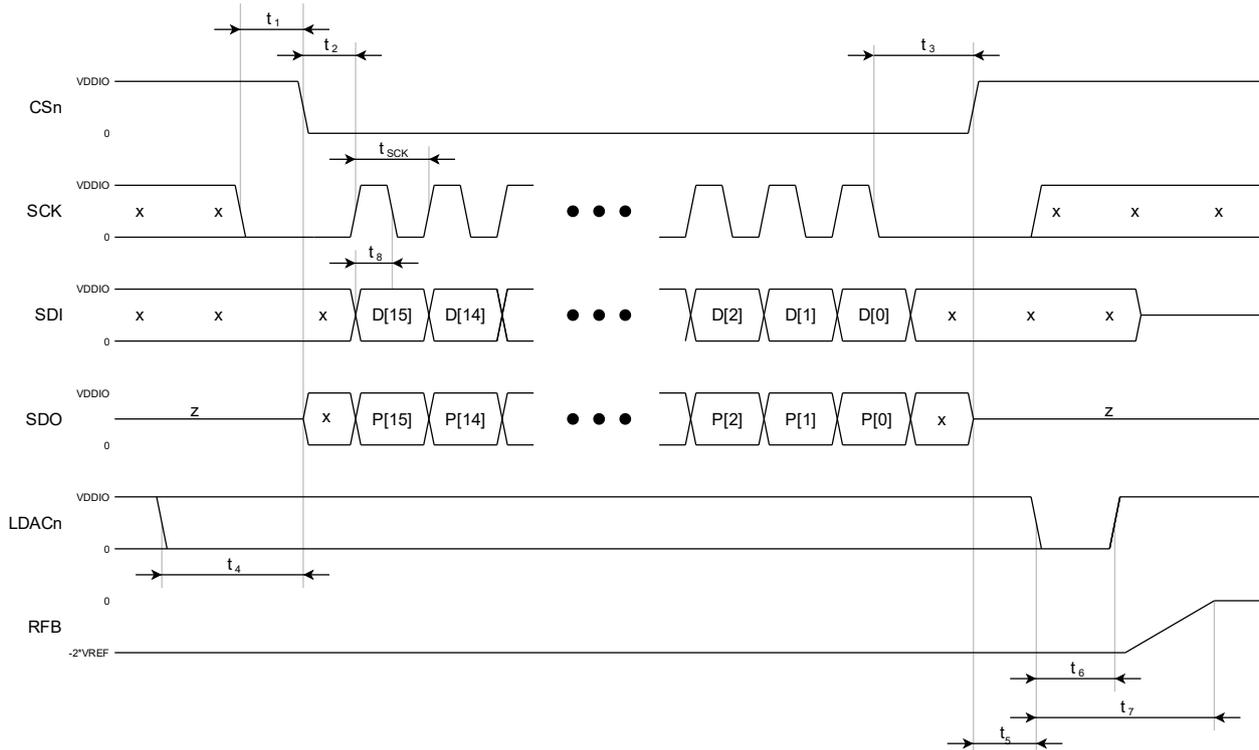


Рисунок 9. Временная диаграмма работы ЦАП

Таблица 4. Справочные данные

Параметр, единица измерения	Норма параметра		
	не менее	типичное	не более
Период тактового сигнала (t_{SCK}), нс	100		
Коэффициент заполнения тактового сигнала, %	40	50	60
Время от спада SCK до спада CSn (t_1), нс	20		
Время от спада CSn до первого фронта SCK (t_2), нс	15		
Время от последнего спада SCK до фронта CSn (t_3), нс	20		
Время от спада LDACn до спада CSn (t_4), нс	10		
Время от фронта CSn до спада LDACn (t_5), нс	20		
Время от спада LDACn до фронта LDACn (t_6), нс	100		
Время от спада LDACn до установления нового выходного уровня ЦАП (t_7), нс	15		20
Время удержания SDI до спада SCK (t_8), нс	15		

Тактовый сигнал SCK начинается с «низкого» уровня. Выборка данных производится по срезу тактового сигнала SCK, максимальная частота SCK = 10 МГц.

Вывод CLRn: асинхронный сигнал сброса (активный уровень – лог. «0»). Сброс происходит по срезу сигнала CLRn. При включении питания происходит обнуление внутренних регистров и установка выхода в нулевой код.

Вывод LDACn: вход асинхронного обновления ЦАП (активный уровень – лог. «0»). Обновление выхода ЦАП происходит по срезу сигнала LDACn. При удержании сигнала LDACn в состоянии лог. «0» обновление выхода ЦАП происходит по окончании передачи через последовательный интерфейс.

Рекомендуемая схема применения

Конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них обязательно должен быть высокочастотный керамический емкостью не менее 10 нФ. Шунтирующие конденсаторы должны располагаться на плате в непосредственной близости к соответствующим выводам микросхемы.

Таблица 5. Таблица внешних компонентов

Компонент	Номинал/Тип
C1, C2	100 нФ
C3	2,2 мкФ
C4	30 нФ
OУ	LT1001, LT1097, LT1112, LT1468, OP2177

Выходное напряжение определяется по формуле (где CODE – входной код ЦАП, VREF – опорное напряжение):

$$V_{OUT} = -\left(1 - \frac{CODE}{2^{16}}\right) * 2V_{REF}$$

Диапазон выходного напряжения от $-2 \times V_{REF}$ до 0 В.

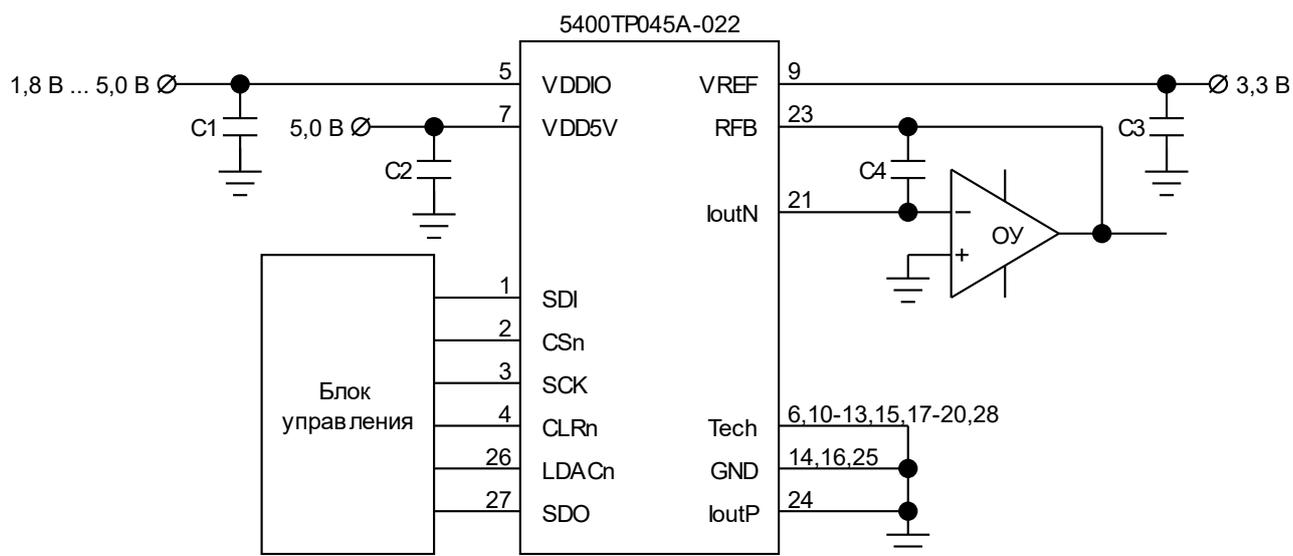


Рисунок 10. Рекомендуемая схема применения при использовании одного усилителя

Таблица 6. Таблица внешних компонентов

Компонент	Номинал/Тип
C1, C2	100 нФ
C3	2,2 мкФ
C4	30 пФ
R1, R2, R3	20 кОм
OY1, OY2	LT1001, LT1097, LT1112, LT1468, OP2177

Выходное напряжение определяется по формуле (где CODE – входной код ЦАП, VREF – опорное напряжение):

$$V_{OUT} = \frac{R_3}{R_2} * \left(1 - \frac{CODE}{2^{16}}\right) * 2V_{REF} - \frac{R_3}{R_1} V_{REF}$$

Диапазон выходного напряжения от $-V_{REF}$ до $+V_{REF}$.

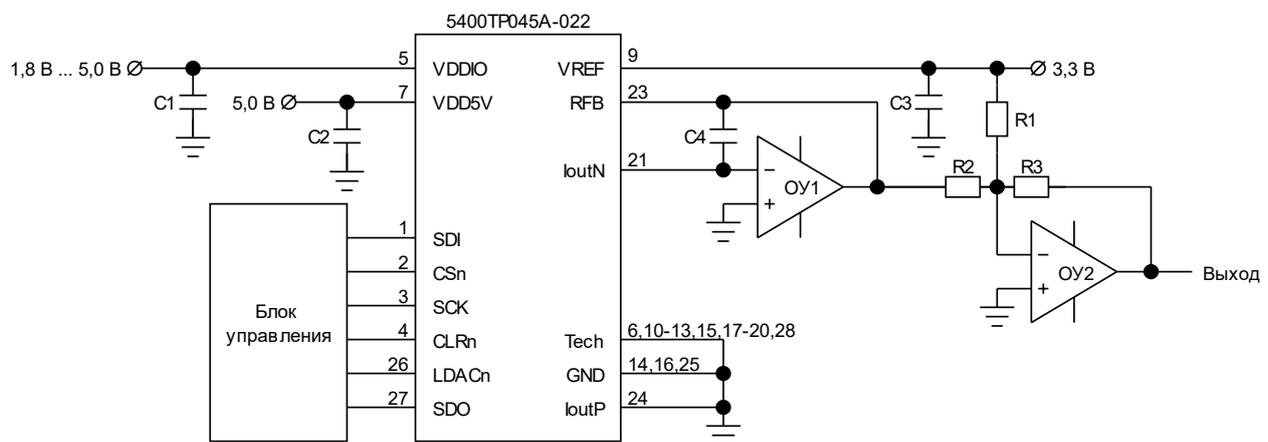


Рисунок 11. Рекомендуемая схема применения при использовании двух усилителей

Описание функционирования микросхемы

Микросхема 5400TP045A-022 представляет собой 16-ти разрядный R-2R цифро-аналоговый преобразователь с последовательным интерфейсом входных данных на основе 3-х сегментной резистивной матрицы. Напряжение питания ядра микросхемы $VDD5V = 5,0$ В. Напряжение питания периферийной части $VDDIO = 1,8$ В ... 5,0 В формирует уровень лог. «1» сигналов управления CS_n , SCK , SDI , CLR_n , $LDAC_n$.

Для управления ЦАП в микросхеме реализован 4-х проводной последовательный интерфейс, совместимый со стандартом SPI. Поддерживается следующий режим работы: slave, MSB first, $CPOLE = 0$ (тактовый сигнал SCK начинается с «низкого» уровня), $CPHA = 1$ (выборка данных производится по срезу тактового сигнала SCK), максимальная частота $SCLK = 10$ МГц.

Последовательный интерфейс поддерживает 16-ти битный вид посылок ($D15...D0$ – старший разряд первый).

Выход CS_n – вход сигнала синхронизации последовательного интерфейса (активный уровень лог. «0»).

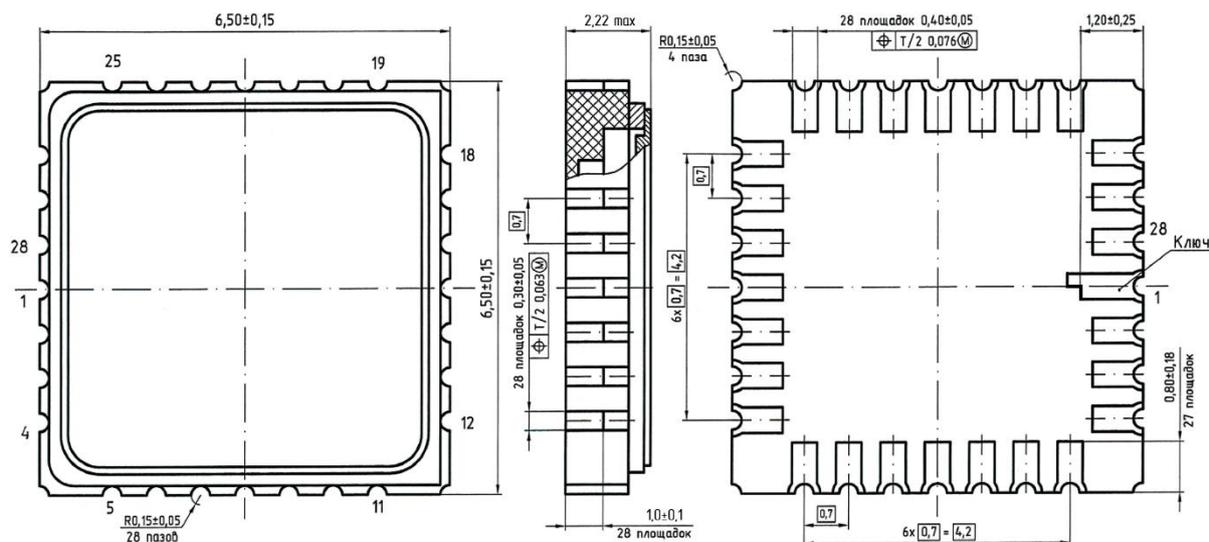
Выход CLR_n : асинхронный сигнал сброса (активный уровень – лог. «0»). Сброс происходит по срезу сигнала CLR_n . При включении питания происходит обнуление внутренних регистров и установка выхода в нулевой код.

Выход $LDAC_n$: вход асинхронного обновления ЦАП (активный уровень – лог. «0»). Обновление выхода ЦАП происходит по срезу сигнала $LDAC_n$. При удержании сигнала $LDAC_n$ в состоянии лог. «0» обновление выхода ЦАП происходит по окончании передачи через последовательный интерфейс (Рисунок 9).

Таблица 7. Формат выходных данных

Входной код	Выходное напряжение
Униполярный режим	
0000 0000 0000 0000	$-2xVREF$
1111 1111 1111 1111	0
Биполярный режим	
0000 0000 0000 0000	$+VREF$
1111 1111 1111 1111	$-VREF$

Габаритный чертеж



1. * Размеры для справок.
2. Нумерация выводных площадок показана условно.

Рисунок 12. Габаритный чертеж корпуса МК 5123.28-1.01 (размеры в мм)

Информация для заказа

Обозначение	Маркировка	Корпус	Температурный диапазон
Категория качества «ВП»			
5400TP045A-022 АЕНВ.431260.237ТУ карта заказа КФЦС.431260.003-022Д16	045A-022	МК 5123.28-1.01	-60°C ... +125°C
Категория качества «ОТК»			
K5400TP045A-022 КФЦС.431000.001ТУ КФЦС.431260.001.01СП карта заказа КФЦС.431260.003.01-022Д16	K045A-022	МК 5123.28-1.01	-60°C...+125°C

Микросхемы категории качества «ВП» маркируются ромбом.

Микросхемы категории качества «ОТК» маркируются буквой «К».

