

## Основные особенности

- Частотная манипуляция (FSK) 1200 бит/с;
- Протокол модемной связи Bell 202:
  - «1» – 1200 Гц;
  - «0» – 2200 Гц;
- Полосовой фильтр входного сигнала;
- Тактирование от внешнего кварцевого резонатора:
  - 460,8 кГц;
  - 920 кГц;
  - 1,84 МГц;
  - 3,68 МГц;
- SPI интерфейс;
- 17-ти разрядный дельта-сигма ЦАП;
- Диапазон напряжения питания от 3,3 В до 5,0 В;
- Температурный диапазон:
  - 5400TP045A-058: от –60°C до +125°C;
  - K5400TP045B-058: от –45°C до +85°C.

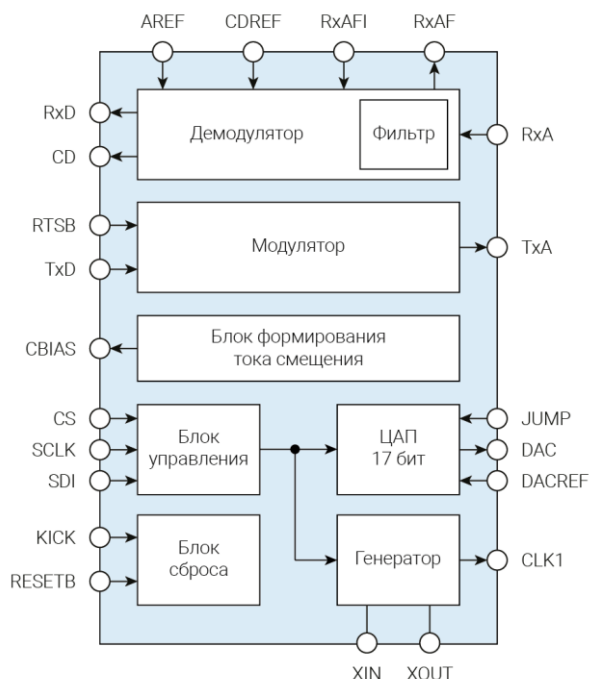


Рисунок 1. Структурная схема

## Общее описание

Микросхема 5400TP045A-058 / K5400TP045B-058 реализует физический уровень HART протокола и предназначена для использования в токовой петле. Микросхема обеспечивает фильтрацию входного сигнала, детектирование несущей, демодуляцию, модуляцию и формирование выходного сигнала.

Дополнительно в микросхеме реализован 17-ти разрядный дельта-сигма ЦАП без выходного каскада. Для формирования HART сигнала используется частотная манипуляция (FSK) со скоростью 1200 бит/с. Возможна реализация полудуплексного режима работы протокола.

Микросхема 5400TP045A-058 / K5400TP045B-058 – функциональный аналог NCN5193 (ON Semiconductor).



Рисунок 2. Внешний вид микросхемы 5400TP045A-058



Рисунок 3. Внешний вид микросхемы K5400TP045B-058

ГГ – год выпуска  
НН – неделя выпуска

Микросхемы 5400TP045A-058 и K5400TP045B-058 имеют в своей основе один кристалл и отличаются только типом корпуса:

- 5400TP045A-058 выполнена в 28-ми выводном металлокерамическом корпусе МК 5123.28-1.01;
- K5400TP045B-058 выполнена в 28-ми выводном металлополимерном корпусе 5102.28-1 K (QFN-28).

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-058Д16

## Электрические параметры микросхемы

Таблица 1. Электрические характеристики (температурный диапазон от –60°C до +125°C)

Параметр, единица измерения	Норма параметра		
	не менее	типичное	не более
Частотная манипуляция (FSK), бит/с		1200	
Частота модуляции, Гц			
для «1»	1188	1200	1212
для «0»	2178	2200	2222
Размах сигнала с выхода модулятора, В			
для «1»	0,4		0,8
для «0»	0,4		0,8
Напряжение внутреннего источника питания (VDD1v8) <sup>(1)</sup> , В	1,62	1,8	1,98
Ток потребления, мА			1,0
Частота на выводе CLK1, кГц	207		253
Напряжение размаха обнаруживаемого несущего сигнала, В			
при частоте 1,2 кГц	0,05		0,12
при частоте 2,2 кГц	0,05		0,12
Время обнаружения несущего сигнала, мс	2,4		5,0
Время установления выхода ЦАП, мкс			10
<b>Справочные данные</b>			
Напряжение высокого уровня выходных цифровых сигналов (CLK1, RxD, CD), В	VDDIO – 0,4	VDDIO	
Напряжение низкого уровня выходных цифровых сигналов (CLK1, RxD, CD), В		0	0,4
Диапазон выходного напряжения ЦАП (DAC), В	VSSA		DACREF
Время нарастания цифровых сигналов (CLK1, RxD, CD), нс			20
Время спада цифровых сигналов (CLK1, RxD, CD), нс			20
Опорный ток, мкА	2,475		2,525
Нагрузка выхода модулятора (TxA), кОм	30		
Джиттер демодулятора, %/бит			12
<b>Примечание:</b> 1) линейный регулятор предназначен для формирования внутреннего питания, нагрузка вывода VDD1v8 недопустима			

## Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 1000 В по модели человеческого тела. Требуется мер предосторожности.

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-058Д16

## Режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

Параметр, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение питания (VDD, VDDA), В	3,0	5,25	−0,3	5,35
Диапазон напряжения питания периферийной части (VDDIO), В	2,25	5,25	−0,3	5,35
Напряжение высокого уровня входных цифровых сигналов (RTSB, KICK, CS, SDI, SCLK, TxD, JUMP), В	0,8xVDDIO	VDDIO	−0,3	VDDIO+0,3 <sup>(3)</sup>
Напряжение низкого уровня входных цифровых сигналов (RTSB, KICK, CS, SDI, SCLK, TxD), В	0	0,2xVDDIO	−0,3	VDDIO+0,3 <sup>(3)</sup>
Напряжение высокого уровня входных цифровых сигналов (RESETB), В	0,8xVDD	VDD	−0,3	VDD+0,3 <sup>(3)</sup>
Напряжение низкого уровня входных цифровых сигналов (RESETB), В	0	0,2xVDD	−0,3	VDD+0,3 <sup>(3)</sup>
Напряжение входного аналогового сигнала <sup>(1)</sup> (AREF), В	1,2	1,3	−0,3	VDDA+0,3 <sup>(3)</sup>
Напряжение входного аналогового сигнала <sup>(2)</sup> (CDREF), В	1,12	1,22	−0,3	VDDA+0,3 <sup>(3)</sup>
Напряжение входного аналогового сигнала опорного уровня ЦАП (DACREF), В	VSSA	VDDA	−0,3	VDDA+0,3 <sup>(3)</sup>
Температура эксплуатации, °C	−45 <sup>(4)</sup> −60	+85 <sup>(4)</sup> +125	−60	+100 <sup>(4)</sup> +150
Примечание: 1) типовое значение 1,235 В 2) $V_{CDREF} = V_{AREF} - 80 \text{ мВ}$ 3) не более 5,35 В 4) для микросхемы K5400TP045B-058				

## Конфигурация и функциональное описание выводов

Таблица 3. Функциональное описание выводов

№ вывода		Тип вывода	Наименование вывода	Назначение вывода
045A-058	045B-058			
1	4	DI	RTSB	Вывод запроса на отправку данных (активный низкий уровень). Выходной буфер на выводе TxA активен только при RTSB = лог. «0»
2	5	PWR	VSS	Вывод отрицательного напряжения питания цифровой части, общий вывод
3	6	DI	KICK	Вывод для настройки отслеживания сторожевой схемой периодического сигнала
4	7	PWR	VSSA	Вывод отрицательного напряжения питания аналоговой части, общий вывод
5	8	AO	TxA	Выход модулятора сигнала. Форма сигнала является синусоидальной. Частота сигнала зависит от значения на TxD: «0» – 2200 Гц, «1» – 1200 Гц. Активен только при RTSB = лог. «0».
6	9	AO	RxAF	Выход высокочастотного фильтра
7	10	AI	RxA	Положительный вход ОУ входного фильтра
8	11	AI	RxAFI	Вход компараторов для входного сигнала и определения несущей
9	12	AI	CDREF	Вход опорного сигнала для определения несущей. Необходимо настроить его на 80 мВ ниже AREF, чтобы определять размах сигнала в 100 мВ.
10	13	AI	AREF	Вход опорного напряжения
11	14	AO	CBIAS	Выход на внешний токозадающий резистор. Значение резистора вычисляется по формуле: $R_{bias} = AREF/10 \text{ мкА}$ .
12	15	PWR	VDDA	Вывод положительного напряжения питания аналоговой части
13	16	DO	XOUT	Выход кварцевого резонатора. Может принимать внешний тактирующий сигнал.
14	17	DI	XIN	Вход кварцевого резонатора. При использовании с внешним тактовым сигналом вывод необходимо зашунтировать конденсатором.
15	18	AO/PWR	VDD1v8	Вывод для подключения внешнего шунтирующего конденсатора встроенного линейного регулятора
16	19	PWR	VDD	Вывод положительного напряжения питания цифровой части
17	20	AO	DAC	Выход 17-битного дельта-сигма ЦАП
18	21	AI	DACREF	Вывод опорного напряжения ЦАП
19	22	DI	RESETB	Вывод сброса. При RESETB = лог. «0» выполняется сброс цифровой части микросхемы, для нормальной работы должен быть подтянут к VDD.

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-058Д16

№ вывода		Тип вывода	Наименование вывода	Назначение вывода
045A-058	045B-058			
20	23	DI	CS	Вывод выбора микросхемы для протокола SPI, активный уровень – лог. «1»
21	24	DI	SDI	Вывод данных для протокола SPI
22	25	DI	SCLK	Вывод тактового сигнала для протокола SPI
23	26	DI	JUMP	Вывод выбора действия ЦАП при обнаружении проблем схемой-контроллером. В зависимости от уровня сигнала вывод DAC подтянется к VSS или DACREF.
24	27	PWR	VDDIO	Вывод напряжения питания периферийной части
25	28	DO	CLK1	Выход тактового сигнала. Делится от частоты кварцевого резонатора (коэффициент деления настраивается во внутреннем регистре ТКР)
26	1	DO	RxD	Цифровой выход принятых данных. При частоте входящего сигнала (RxA) 1200 Гц – лог. «1». При частоте входящего сигнала 2200 Гц – лог. «0». Прием данных возможен только при CD = лог. «1»
27	2	DI	TxD	Цифровой вход для передачи данных. При лог. «0» на выводе TxD – выходная частота модулятора 2200 Гц. При лог. «1» на выводе TxD – выходная частота модулятора 1200 Гц.
28	3	DO	CD	Вывод детектирования сигнала. Если на входящем сигнале RxA амплитуда превышает порог, заданный на CDREF, в течение 4 периодов, то CD выставляется в лог. «1».
Примечание: DI – цифровой вход DO – цифровой выход AI – аналоговый вход AO – аналоговый выход PWR – вывод напряжения питания				

## Рекомендуемая схема применения

Таблица 4. Таблица внешних компонентов

Компонент	Номинал	Компонент	Номинал
R1	200 кОм	R8	Не используется
R2	120 кОм	R9	1500 кОм
R3	174 кОм	C3	220 пФ
R4	510 кОм	C4	1 нФ
R5	420 кОм	C5	470 пФ
R6	1800 кОм	C6	2200 пФ
R7	200 кОм	C10	1 мкФ
ZQ	3,6864 МГц		

Резисторы R10 – R18 и конденсаторы C1, C2, C7 – C9 настраиваются пользователем. Примеры номиналов для DACREF = 3,0 В.

Таблица 5. Таблица внешних компонентов для DACREF = 3,0 В

Компонент	Номинал	Компонент	Номинал
R10, R11	Требуемое условие: AREF – CDREF = 80 мВ	R17	7 кОм
R12	3 кОм	R18	15,8 кОм
R13	5 кОм	C1, C2	Зависит от выбранного резонатора
R14	170 Ом	C7	1 мкФ
R15	170 Ом	C8	22 нФ
R16	7 кОм	C9	2,2 мкФ

Конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них обязательно должен быть высокочастотный керамический емкостью не менее 10 нФ. Шунтирующие конденсаторы должны располагаться на плате в непосредственной близости к соответствующим выводам микросхемы.

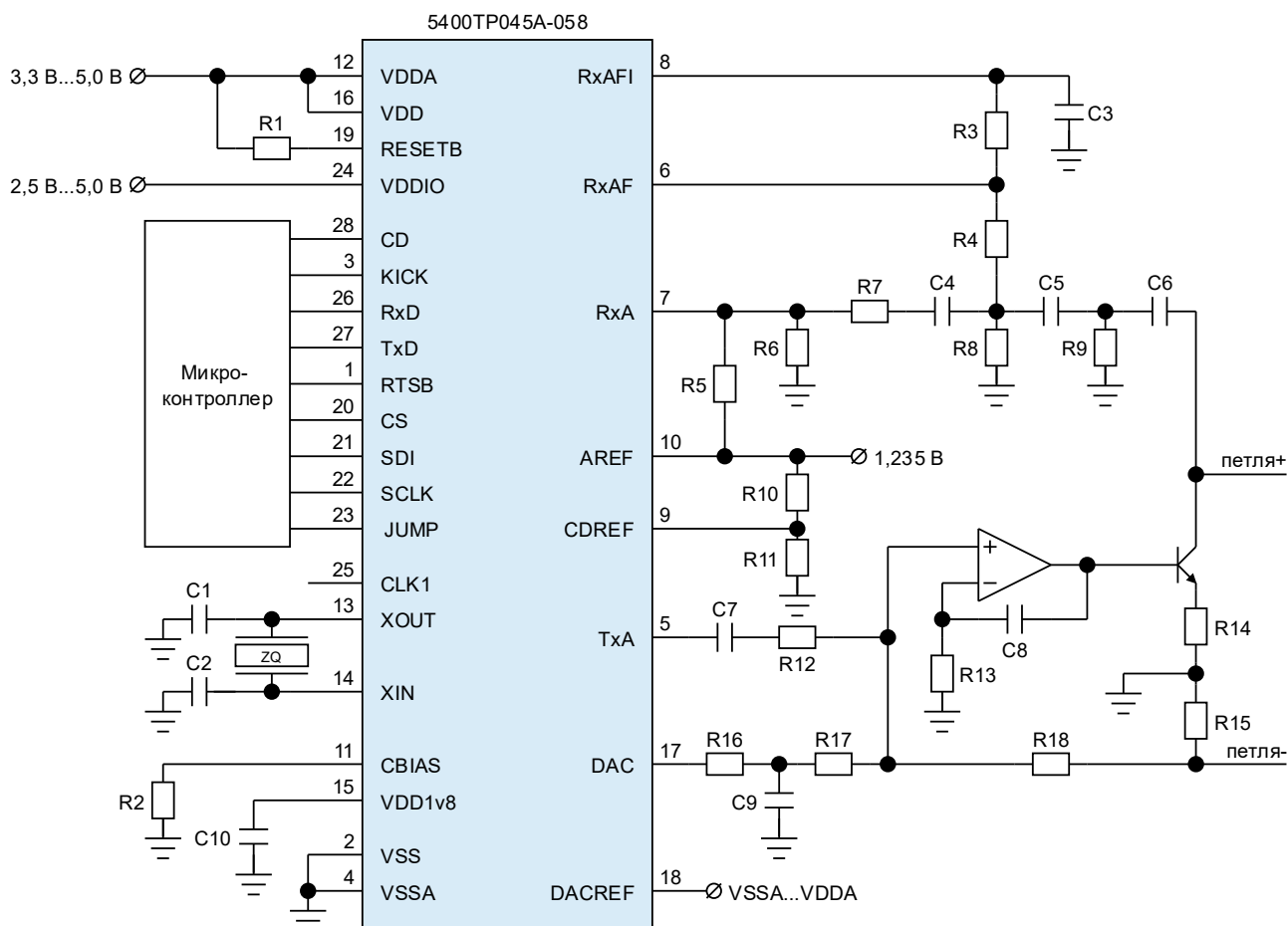


Рисунок 4. Рекомендуемая схема применения

## Временные диаграммы

Взаимодействие управляющего микроконтроллера с микросхемой 5400TP045A-058 осуществляется через последовательный 3-х проводной SPI интерфейс.

Режим работы SPI интерфейса: slave, MSB first, CPOL = 0, CPHA = 1.

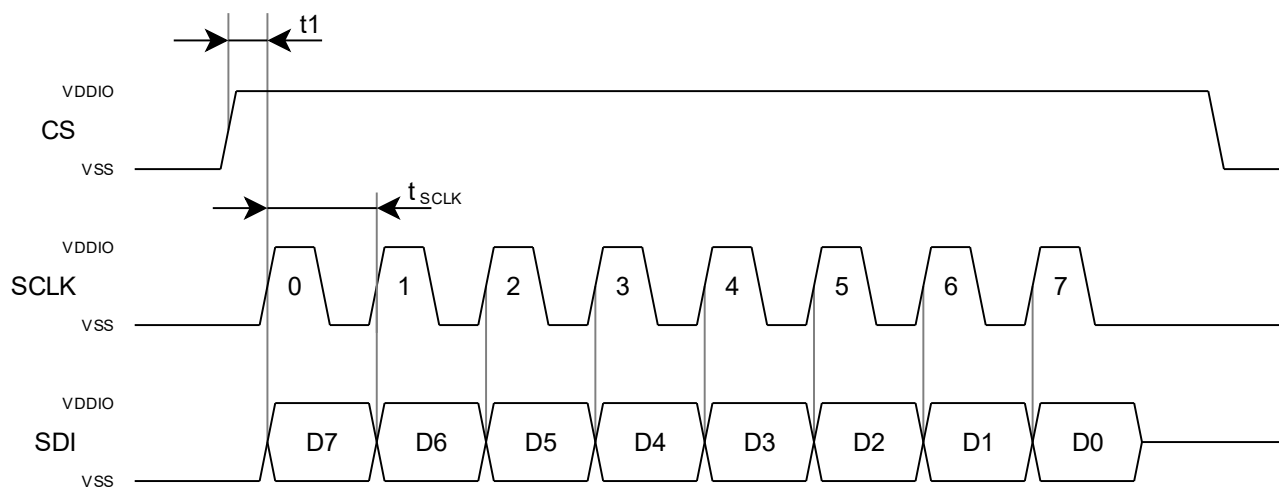


Рисунок 5. Временная диаграмма SPI интерфейса

D0 – младший разряд;

D7 – старший разряд.

Таблица 6. Справочные данные к временной диаграмме (Рисунок 5)

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Период тактового сигнала SCLK ( $t_{SCLK}$ ), мс	1 / 460,8		
Коэффициент заполнения тактового сигнала, %	40	50	60
Время паузы $t_1$ , мс	$t_{SCLK} / 6$		
Напряжение высокого уровня входных цифровых сигналов, В	$0,8 \times VDDIO$		$VDDIO$
Напряжение низкого уровня входных цифровых сигналов, В	0		$0,2 \times VDDIO$



Внутри микросхемы находятся несколько управляющих регистров. Для записи в эти регистры применяется следующий алгоритм:

*Для записи в регистры ОКР, АКР, ТКР:*

1. Первая посылка (байт «0») должна содержать адрес регистра и выглядеть следующим образом.

7	6	5	4	3	2	1	0
0	1	0	Адрес				0

2. Вторая посылка (байт «1») должна содержать побитовую инверсию отправляемых данных

3. Третья посылка (байт «2») должна содержать отправляемые данные.

*Для записи в регистр ЦАП:*

1. Первая посылка (байт «0») должна содержать адрес регистра и выглядеть следующим образом.

7	6	5	4	3	2	1	0
0	1	0	Адрес				0

2. Вторая, третья и четвертая посылка (байты «1», «2», «3») должны содержать код для ЦАП.

## Регистры конфигурации

ОКР – общий конфигурационный регистр (адрес 0x01)

Бит	Назначение	Значение после сброса	Описание
7	–	1	–
6	–	0	–
5	MODDAC_HALF	0	Размах сигнала модулятора: «0» – 500 мВ «1» – 250 мВ
4	RXD_IDLE	0	Значение, которое примет RXD в отсутствие приходящего HART сигнала, т.е. при CD = «0»: «0» – низкий «1» – высокий
3	RTZ	0	Режим работы вывода DAC: «0» – nonRTZ «1» – RTZ
2	WDT_CLK	0	Режим отслеживания частоты системного тактового сигнала: «0» – не отслеживать «1» – отслеживать
1..0	WDT_KICK	01	Режим работы сторожевой схемы: «00» – не работает «01» – сторожевая схема отслеживает сигнал на входе KICK «1x» – сторожевая схема отслеживает момент обновления регистра ЦАП

### Примечание:

для корректной работы сторожевой схемы, которая отслеживает системную частоту, необходимо сначала включить внутренний генератор WDTGEN (бит 1) в регистре АКР, и только после этого включить сторожевую схему WDT\_CLK (бит 2) в регистре ОКР.

**ТКР – тактовый конфигурационный регистр (адрес 0x02)**

В данном регистре содержатся коэффициенты делителей тактовой частоты относительно частоты кварцевого осциллятора.

Бит	Назначение	Значение после сброса	Описание
7..5	–	101	
4..2	CLK1_DIV	101	Делитель для вывода CLK1: «000» – 1 «001» – 2 «010» – 3 «011» – 4 «100» – 5 «101» – 8 «110» – 16 «111» – 32
1..0	SYSCLK_DIV	11	Делитель для системной частоты: «00» – 1 «01» – 2 «10» – 4 «11» – 8

**АКР – аналоговый конфигурационный регистр (адрес 0x03)**

Каждый бит отвечает за включение/выключение конкретного модуля внутри микросхемы: лог. «0» – блок включен, лог. «1» – блок выключен. После глобального сброса все перечисленные ниже модули будут выключены.

Бит	Назначение	Значение после сброса	Описание
7	MOD	1	Цифровой блок модулятора/демодулятора
6	RXAMP	1	ОУ в фильтре демодулятора
5	RXCMP	1	Компаратор демодулятора
4	CDCMP	1	Компаратор детектора несущей
3	TXAMP	1	Выходной буфер в модуляторе
2	MODDAC	1	Формирующий ЦАП в модуляторе
1	WDTGEN	1	Генератор для сторожевой схемы
0	SDDAC	1	Сигма-дельта ЦАП

**ЦАП – сигма-дельта ЦАП регистр (адрес 0x0A)**

Бит	Назначение	Значение после сброса	Описание
23..16	DAC[16:9]	0x00	Старшие разряды ЦАП
15..8	DAC[8:1]	0x00	Средние разряды ЦАП
7	DAC[0]	0	Младший разряд ЦАП
6..0	–	0	Не используется

## Функциональное описание

Микросхема 5400TP045A-058 / K5400TP045B-058 – модем для реализации физического уровня протокола HART.

Состав микросхемы: модулятор исходящих данных с формирователем синусоидального сигнала, аналоговый фильтр с усилителем, генератор, управляемый числом, схема определения несущей, демодулятор входящего сигнала, кварцевый резонатор, дельта-сигма ЦАП.

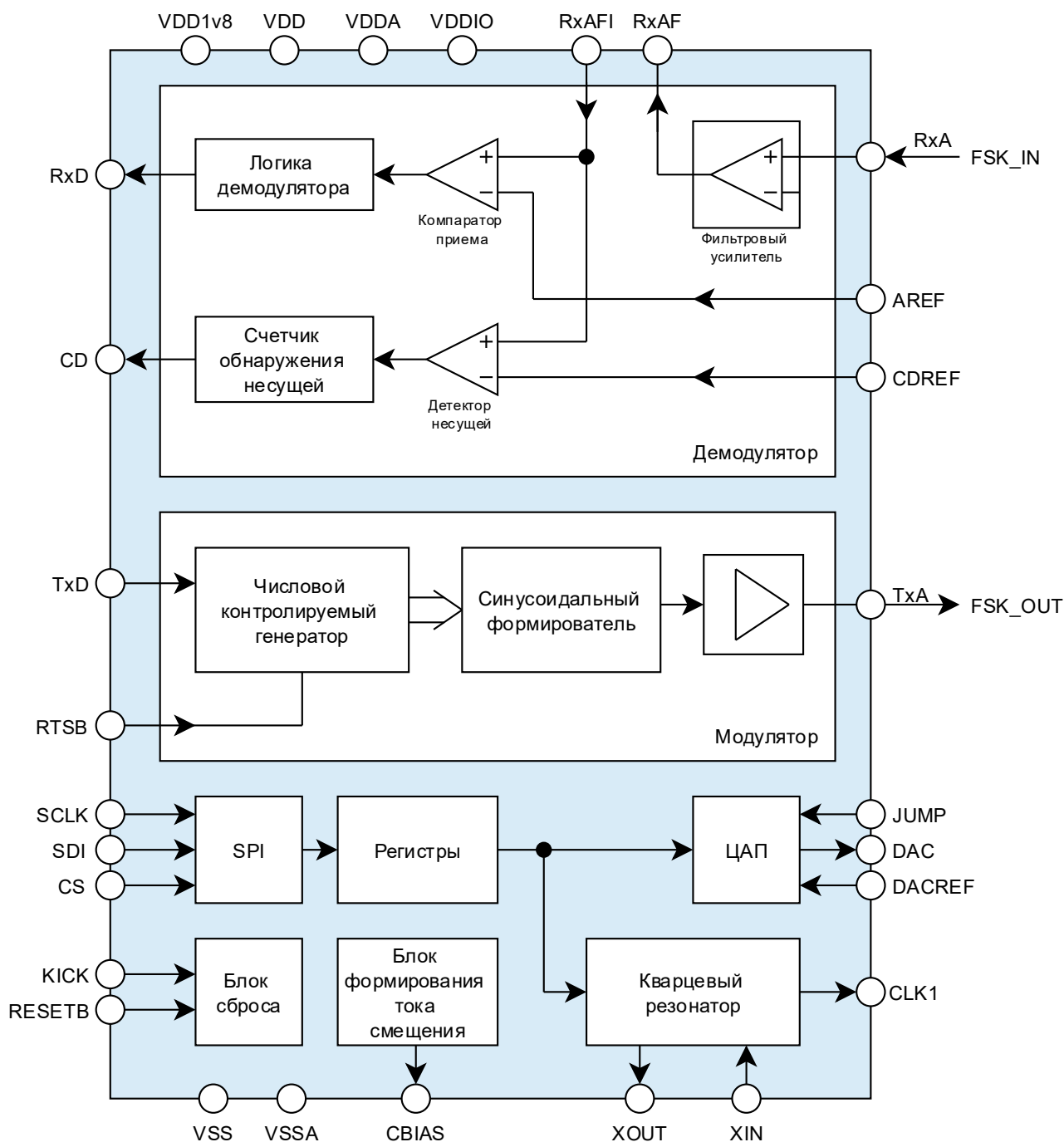


Рисунок 6. Блок-схема

Модулятор принимает цифровой сигнал на входе TxD и преобразует его в аналоговый сигнал на выходе TxA с модуляцией в виде частотной манипуляции. Лог. «1» соответствует частоте 1200 Гц, лог. «0» соответствует частоте 2200 Гц. Используемая скорость передачи данных при этом составляет 1200 бод.

Демодулятор принимает частотно манипулированный сигнал на вход RxA. Сигнал фильтруется полосовым фильтром и преобразуется в два цифровых сигнала: на выводе RxD поток демодулированных бит, на выводе CD сигнал об обнаружении несущей. Вывод CD выставляется в лог. «1», если принятый сигнал имеет амплитуду выше 100 мВп-п в течение 4 последовательных периодов.

Кварцевый резонатор обеспечивает тактовый сигнал со стабильной частотой. Микросхема может работать как с параллельно-включенным кварцевым резонатором, так и с внешним тактовым сигналом.

## Модулятор

В состав модулятора входит NCO (numerically controlled oscillator, «генератор, управляемый числом»). NCO работает в режиме непрерывной фазы, чтобы исключить разрыв фазы при переключениях между частотами единицы и нуля.

Низкий уровень на выводе RTSB включает модулятор и переводит модем в режим передачи. Высокий уровень на RTSB выключает модулятор и переводит модем в режим приема.

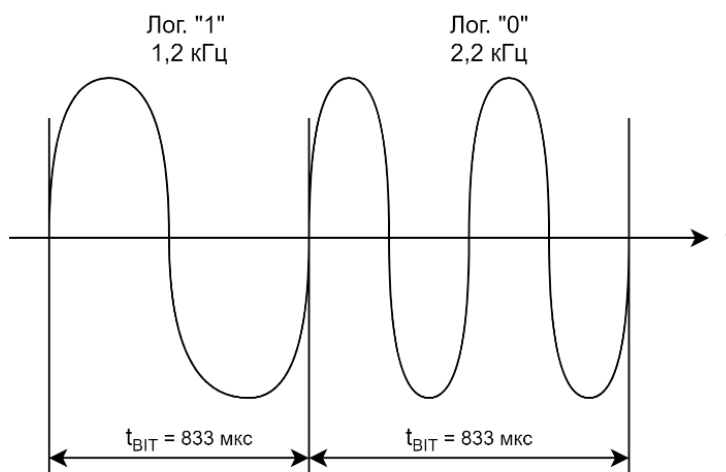


Рисунок 7. Временная диаграмма модуляции

Значения из NCO подаются на формирователь синусоидального сигнала. На рисунке ниже показаны характеристики получаемого сигнала (Рисунок 8).

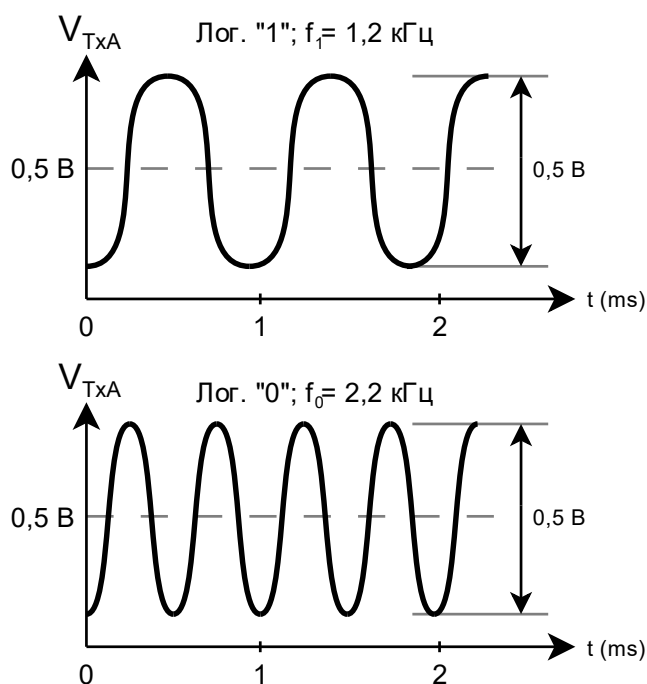


Рисунок 8. Модулятор формирует выходной сигнал для частот лог. «1» и лог. «0» на выводе TxA.

### Демодулятор

Демодулятор принимает аналоговый сигнал на вход RxA и реконструирует оригинальный цифровой поток данных на выход RxD.

На рисунке ниже изображен пакет данных для HART протокола: 11-битный UART пакет с битами старт, стоп и четности (Рисунок 9). Скорость передачи данных 1200 бод.

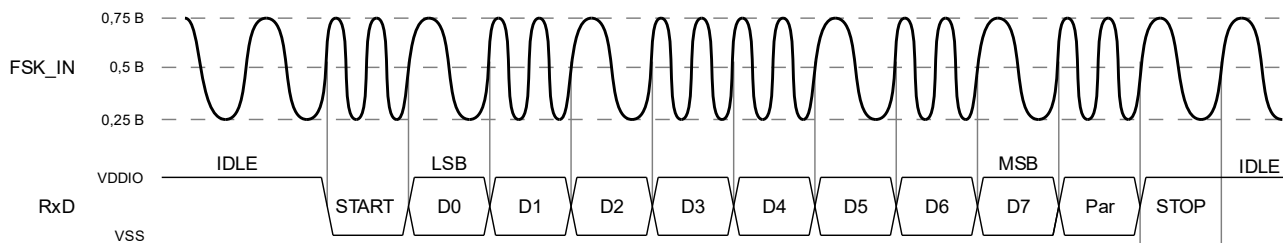


Рисунок 9. Временная диаграмма модуляции

## Входной фильтр и компараторы

Приходящий модулированный сигнал фильтруется полосовым фильтром.

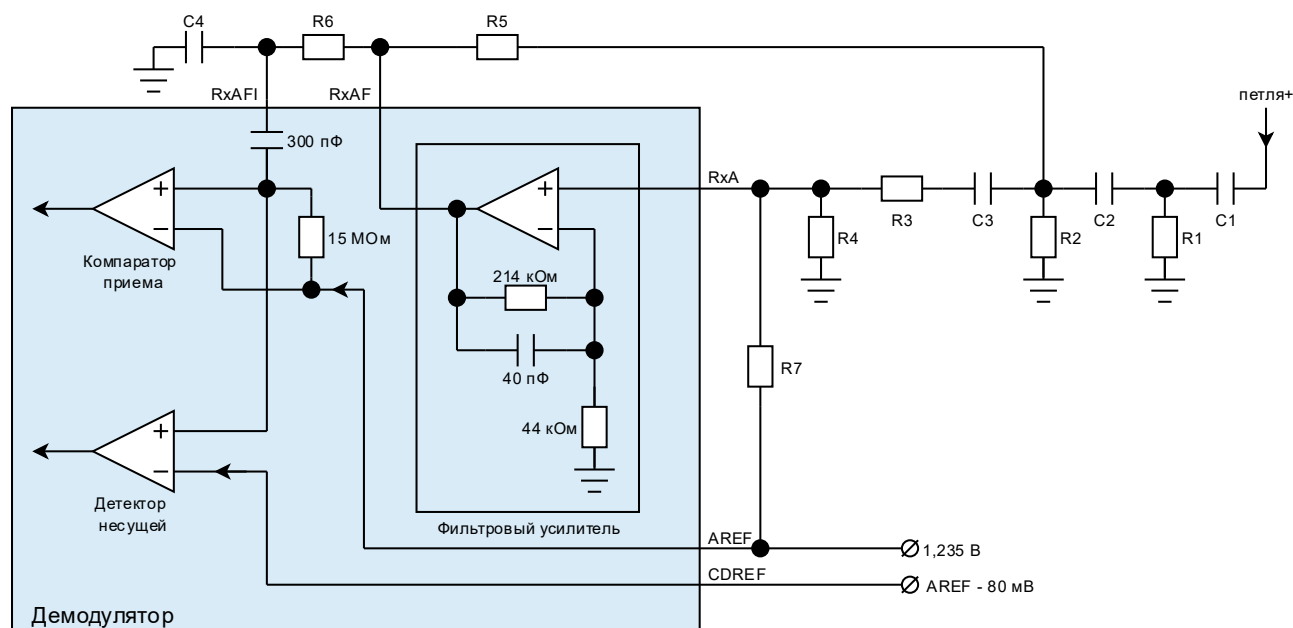


Рисунок 10. Внешние пассивные элементы для входного фильтра

Переменная составляющая выхода фильтра подается на вход Rx компаратора. Компаратор срабатывает на каждом пересечении виртуальной земли. Максимальный джиттер одного бита не должен превышать 12%, если все остальные параметры выдержаны: системная частота  $460,8 \text{ кГц} \pm 1\%$ , входные частоты в пределах спецификаций HART, нулевая асимметрия входного сигнала RxA.

Таблица 7. Таблица внешних компонентов для фильтра

Компонент	Номинал	Компонент	Номинал
R1	1500 кОм	R7	420 кОм
R2	Не использовать	C1	2200 пФ
R3	200 кОм	C2	470 пФ
R4	1800 кОм	C3	1,0 нФ
R5	518 кОм	C4	220 пФ
R6	174 кОм		

## Схема обнаружения несущей

Только сигнал с амплитудой выше 80–120 мВп-п читается правильной несущей для демодуляции.

Схема обнаружения несущей постоянно сравнивает на компараторе переменную составляющую отфильтрованного сигнала и уровень CDREF. При поступлении с компаратора сигналов в течение 4 периодов и при условии, что RTSB находится в лог. «1» – сигнал CD выставляется в высокий уровень. Вывод CD поддерживается в высоком уровне, если в течение 2,5 мс поступает хотя бы один сигнал с компаратора.

### Внешнее опорное напряжение

Для работы микросхеме требуется два опорных напряжения: AREF и CDREF.

AREF устанавливает рабочие токи для всех внутренних элементов. Рекомендуемое значение 1,235 В.

CDREF определяет пороговое напряжение детектирования амплитуды входящего сигнала для выставления сигнала CD. Разница между AREF и CDREF в 80 мВ позволит детектировать входящий сигнал с амплитудой 100 мВп-п.

### Внешний источник тока

Микросхеме необходим внешний токозадающий резистор, включенный между CBIAS и VSSA. Номинальный рабочий ток – 2,5 мкА.

Номинал резистора определяется опорным напряжением AREF по формуле

$$R_{BIAS} = \frac{V_{AREF}}{4 \times 2,5 \text{ мкА}}$$

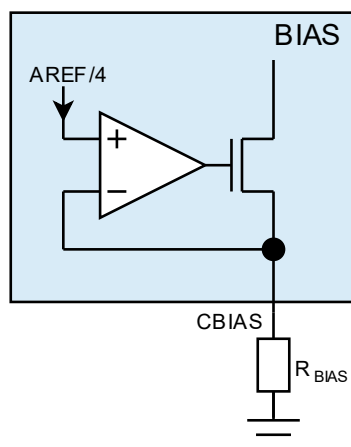


Рисунок 11. Включение внешнего резистора источника тока

### Тактовая частота

Микросхема поддерживает использование кварцевых резонаторов с частотами 460,8 кГц, 921,6 кГц, 1,8432 МГц, 3,6864 МГц (Рисунок 12).

Также возможно подключение внешнего тактового сигнала. В этом случае на вход XIN необходимо подключить конденсатор с емкостью не менее 100 пФ (Рисунок 13). А на вход XOUT поставить токоограничивающий резистор, например, 10кОм.

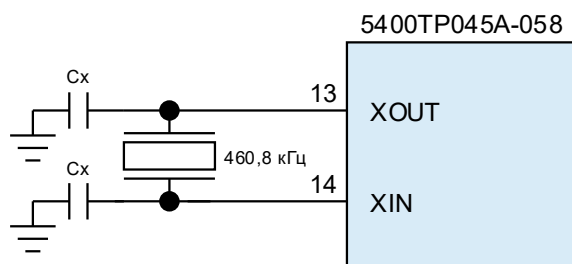


Рисунок 12. Кварцевый генератор

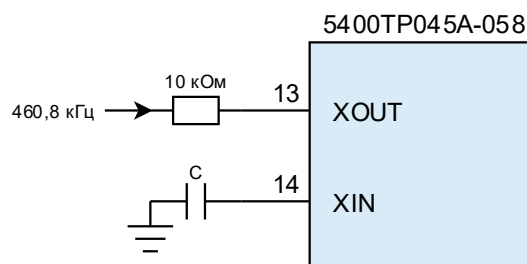


Рисунок 13. Генератор с внешним тактовым сигналом



Фактические значения емкости конденсаторов  $C_x$  могут зависеть от рекомендаций производителя резонатора. Обычно используются конденсаторы емкостью от 10 пФ до 470 пФ.

С помощью конфигурационного регистра ТКР необходимо подстраивать внутренний делитель частоты, чтобы системная частота равнялась 460,8 кГц. После сброса делитель выставляется в максимальное значение 8.

## Сброс

В состав микросхемы входит схема сброса, тесно связанная со сторожевой схемой.

Внутренний резистивный делитель напряжения питания формирует уровень срабатывания схемы VPOR. Напряжение на VPOR сравнивается с напряжением на AREF. Если VPOR оказывается меньше AREF, компаратор активируется и сбрасывает цифровую часть микросхемы. Вместе с этим притягивается к низкому уровню вывод RESETB. После срабатывания схемы сброса (например, при включении питания) вывод RESETB остается подтянутым к низкому уровню в течение 35 мс (время может увеличиваться в зависимости от тактовой частоты). Вывод RESETB также используется для сброса конфигурационных регистров микросхемы.

Вывод RESETB устанавливается в низкий уровень на 140 мкс при обнаружении нарушений в работе сторожевой схемой. Нарушение фиксируется при отсутствии периодического сигнала от внешнего микроконтроллера. Периодический сигнал должен подаваться либо через вход KICK, либо путем обновления регистра кода ЦАП по интерфейсу SPI с частотой не менее одного раза в 53 мс.

Сторожевая схема также может отслеживать несоответствие частоты системного тактового сигнала. Если системная частота выходит за пределы допустимого диапазона 0,5х-2х от номинальной частоты 460,8 кГц, вывод также RESETB может быть притянут к низкому уровню.

Поведение схемы-контролера контролируется через регистр ОКР.

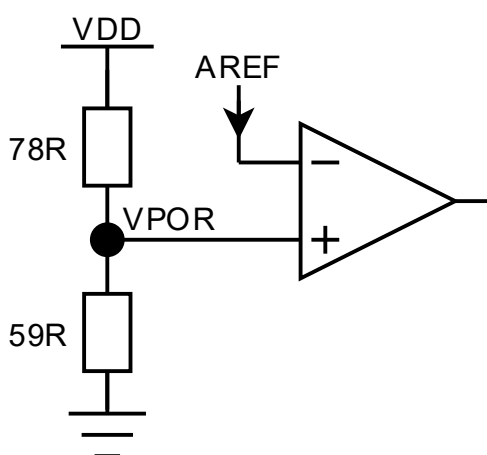


Рисунок 14. Структурная схема блока сброса

## Сигма-дельта ЦАП

Сигма-дельта ЦАП содержит 17-битный модулятор и может применяться в составе ведомого устройства в токовой петле для передачи аналогового сигнала.

Выход дельта-сигма модулятора переключается между уровнями напряжений DACREF и VSS. Для повышения точности работы рекомендуется изолировать напряжение DACREF от напряжения питания и шунтировать его соответствующими конденсаторами.

По умолчанию ЦАП выключен. Для его активации требуется установить лог. «0» в бит № 0 (SDDAC) в конфигурационном регистре АКР.

Если сторожевая схема обнаруживает нарушение работы, то выход DAC примет значение, соответствующее значению на входе JUMP.

Выход DAC может быть настроен в режимы RTZ или non-RTZ через регистр ОКР. Данная настройка важна в случаях, когда скорость нарастания и спада на выводе DAC различаются.

Так как поток бит на выходе DAC псевдослучайный для одного и того же состояния (например, можно встретить оба варианта в потоке: 01010010100 и 000011110000), то разница в скоростях приводит к ошибке смещения аналогового сигнала из-за неравномерного количества фронтов и срезов.

Режим RTZ (Return-To-Zero, возвращение к нулю) позволяет избавиться от ошибки смещения за счет формирования фронта и среза для каждой лог. «1» на выходе DAC. Таким образом количество фронтов и срезов будет всегда одинаковым, и асимметрия импульсов уже не будет вызывать ошибку смещения. Однако использование режима RTZ снижает размах сигнала в два раза, так как максимально достижимый коэффициент заполнения такого сигнала ограничивается значением 0,5, в отличие от режима non-RTZ, где он может достигать 1.

## Габаритный чертеж

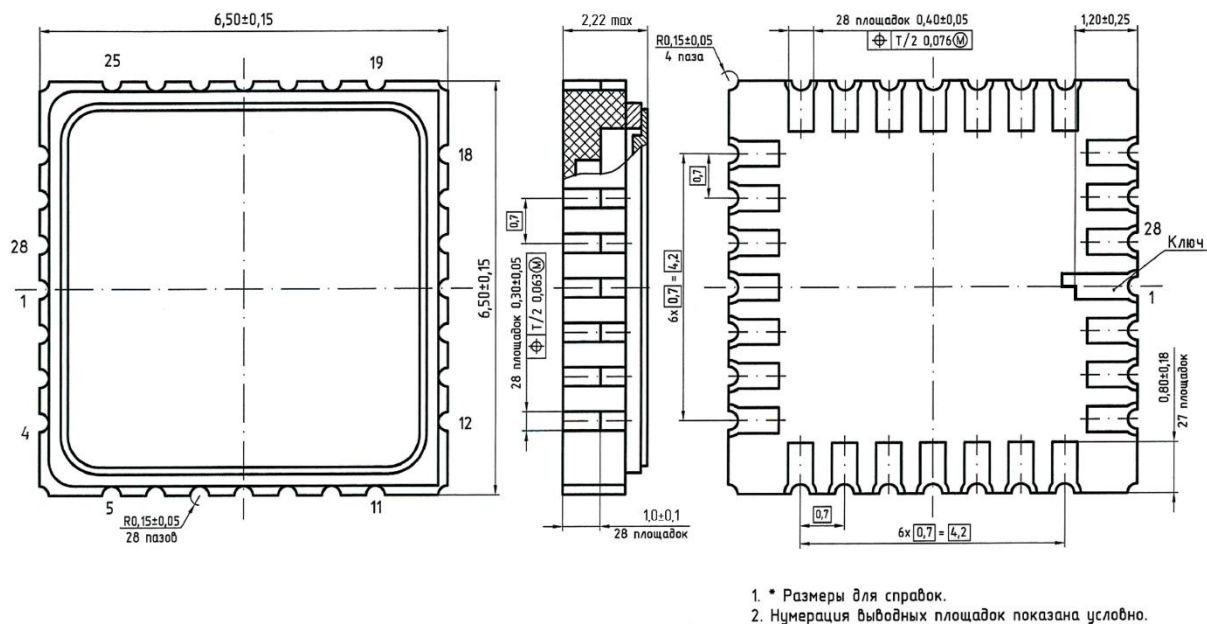


Рисунок 15. Габаритный чертеж корпуса МК 5123.28-1.01 (размеры в мм)

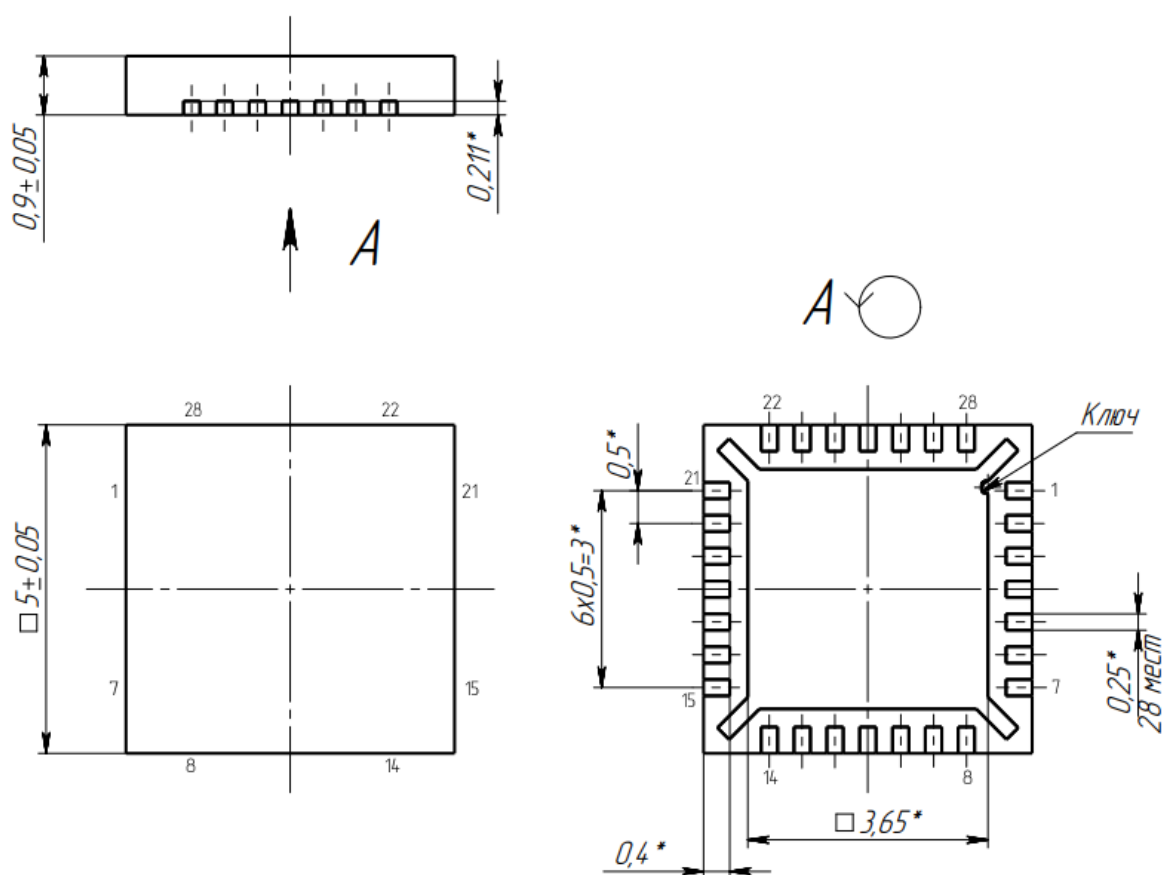


Рисунок 16. Габаритный чертеж корпуса 5102.28-1 К (размеры в мм)

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.237ТУ, карта заказа КФЦС.431260.003-058Д16

**Информация для заказа**

Обозначение	Маркировка	Корпус	Температурный диапазон
Категория качества «ВП»			
5400TP045A-058 АЕНВ.431260.237ТУ карта заказа КФЦС.431260.003-058Д16	045A-058	МК 5123.28-1.01	–60°С ...+125°С
Категория качества «ОТК»			
K5400TP045B-058 КФЦС.431000.001ТУ спецификация КФЦС.431260.001.01СП карта заказа КФЦС.431260.003.01-058Д16	045B-058	5102.28-1 К	–45°С ...+85°С

Микросхемы категории качества «ВП» маркируются ромбом.

Микросхемы категории качества «ОТК» маркируются буквой «К» в зоне технологической маркировки (в правом верхнем углу).

[illegible]