

Основные особенности

- Напряжение питания 5,0 В ± 5%;
- 12 разрядов;
- 4 канала преобразования;
- Время установления выходного напряжения 0,2 мкс;
- DNL (типичное) 0,7 МЗР;
- INL (типичное) 2,0 МЗР;
- Ток потребления 10 мА;
- Ток потребления в режиме «powerdown» 1,0 мА;
- Встроенный опорный уровень;
- Параллельный/последовательный интерфейс входных данных;
- Технология изготовления КМОП КНИ;
- Температурный диапазон от -60°C до +125°C;
- Стойкость к СВВФ.

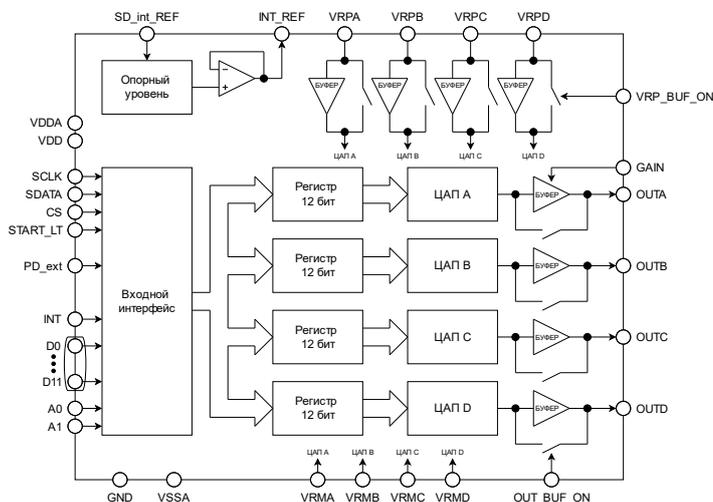


Рисунок 1. Структурная схема



ГГ – год выпуска
НН – неделя выпуска

Рисунок 2. Внешний вид
микросхемы 5400TP065-004

Общее описание

Микросхема 5400TP065-004 является 4-х канальным 12-ти разрядным R-2R ЦАП с последовательным/параллельным интерфейсом входных данных. Микросхема выполнена на базе радиационно-стойкого аналого-цифрового БМК 5400TP06 по технологии КНИ.

В микросхеме реализовано 4 независимых ЦАП с собственными линиями верхнего и нижнего опорного уровня. Выход каждого канала может быть выведен как с буферным ОУ, так и без него. Дополнительно доступен режим усиления выходов ЦАП в 2 раза.

В микросхеме реализован режим низкого потребления (режим «powerdown»). В данном режиме выходы ЦАП переводятся в Z состояние.

Возможно использование как встроенного, так и внешнего опорного уровня, значение которого определяет максимальную амплитуду выходного сигнала.

Микросхема является функциональным аналогом AD5304 (ф. Analog Devices).

Микросхема выполнена в 48-ми выводном металлокерамическом корпусе 5142.48-A.

Электрические параметры микросхемы

Таблица 1. Электрические характеристики (температурный диапазон от – 60 до +125°C)

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Разрядность (N), бит		12	
Дифференциальная нелинейность (DNL), МЗР	–1,5	±0,7	1,5
Интегральная нелинейность (INL), МЗР	–4,0	±2,0	4,0
Время установления выходного напряжения, мкс		0,2	4,0
Напряжение внешнего опорного уровня (VRPA...VRPD), В	2,0 ³⁾	3,5	3,75
Напряжение внутреннего опорного уровня (INT_REF), В	3,25	3,5	3,75
Погрешность биполярного нуля, мВ	–30	±5,0	30
Диапазон выходного напряжения, В	0		VRP 2xVRP ¹⁾
Напряжение питания аналоговой части (VDDA), В	4,75	5,0	5,25
Напряжение питания цифровой части (VDD), В	4,75	5,0	5,25
Ток потребления в активном режиме, мА		10	20
Ток потребления в режиме «powerdown», мА		1,0	2,0
Напряжение высокого уровня входных цифровых сигналов (D0...D11, A0, A1, INT, OUT_BUF_ON, GAIN, VRP_BUF_ON, PD_ext, SD_int_REF, START_LT, SDATA, SCLK, CS), В	2,4	5,0	
Напряжение низкого уровня входных цифровых сигналов (D0...D11, A0, A1, INT, OUT_BUF_ON, GAIN, VRP_BUF_ON, PD_ext, SD_int_REF, START_LT, SDATA, SCLK, CS), В		0	0,8
Примечание: 1) при включенном усилении в 2 раза (не более напряжения питания VDDA); 2) при включенном выходном буфере; 3) при использовании выходного усиления в 2 раза.			

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 1000 В по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

Параметр, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение аналогового питания VDDA, В	4,75	5,25	-0,1	5,35
Напряжение цифрового питания VDD, В	4,75	5,25	-0,1	5,35
Напряжение высокого уровня входных цифровых сигналов (D0...D11, A0, A1, INT, OUT_BUF_ON, GAIN, VRP_BUF_ON, PD_ext, SD_int_REF, START_LT, SDATA, SCLK, CS), В	2,4	VDD+0,5 ¹⁾	-0,1	VDD+0,5 ²⁾
Напряжение низкого уровня входных цифровых сигналов (D0...D11, A0, A1, INT, OUT_BUF_ON, GAIN, VRP_BUF_ON, PD_ext, SD_int_REF, START_LT, SDATA, SCLK, CS), В	0	0,8	-0,1	VDD+0,5 ²⁾
Напряжение внешнего опорного уровня (VRPA...VRPD), В	2,0 ³⁾	3,75	-0,1	VDDA+0,5 ²⁾
Температура эксплуатации, °С	-60	+125	-60	+150
Примечание: 1) не более 5,25 В; 2) не более 5,35 В; 3) при выходном усилении в 2 раза.				

Конфигурация и функциональное описание выводов

Таблица 3. Функциональное описание выводов

№ вывода	Наименование вывода	Назначение вывода
1	D5	Вход данных параллельного интерфейса (бит 5)
2	D4	Вход данных параллельного интерфейса (бит 4)
3	D3	Вход данных параллельного интерфейса (бит 3)
4	D2	Вход данных параллельного интерфейса (бит 2)
5	D1	Вход данных параллельного интерфейса (бит 1)
6	D0	Вход данных параллельного интерфейса (бит 0 – младший разряд)
7	A0	Вход адреса параллельного интерфейса (бит 0)
8	A1	Вход адреса параллельного интерфейса (бит 1)
9	INT	Вход выбора интерфейса: лог. «0» – последовательный интерфейс; лог. «1» – параллельный интерфейс.
10, 38	VDD	Вывод положительного цифрового питания
11, 37	GND	Вывод отрицательного цифрового питания или общий
12	OUT_BUF_ON	Вход включения выходного буфера: лог. «0» – буфер выключен; лог. «1» – буфер включен.

№ вывода	Наименование вывода	Назначение вывода
13	GAIN	Вход выбора коэффициента усиления выхода ЦАП лог. «0» – без усиления; лог. «1» – коэффициент усиления 2.
14	VRP_BUF_ON	Вход включения буфера верхнего опорного уровня ЦАП лог. «0» – буфер выключен; лог. «1» – буфер включен.
15	PD_ext	Вход включения режима низкого потребления: лог. «0» – режим включен; лог. «1» – режим выключен.
16	VRPA	Вход верхнего опорного уровня ЦАП А
17	VRMA	Вход нижнего опорного уровня ЦАП А
18	OUTA	Выход ЦАП А
19	OUTB	Выход ЦАП В
20	VRMB	Вход нижнего опорного уровня ЦАП В
21	VRPB	Вход верхнего опорного уровня ЦАП В
22, 26	VDDA	Вывод положительного аналогового питания
23, 25	VSSA	Вывод отрицательного аналогового питания или общий
24	INT_REF	Выход встроенного опорного уровня
27	VRPC	Вход верхнего опорного уровня ЦАП С
28	VRMC	Вход нижнего опорного уровня ЦАП С
29	OUTC	Выход ЦАП С
30, 34	NC	Вывод не используется
31	OUTD	Выход ЦАП D
32	VRMD	Вход нижнего опорного уровня ЦАП D
33	VRPD	Вход верхнего опорного уровня ЦАП D
35	SD_int_REF	Вывод управления встроенным опорным уровнем: лог. «0» – вывод INT_REF в Z состоянии; лог. «1» – включение опорного напряжения.
36	Tech	Технологический вывод (подключение к VSSA)
39	START_LT	Вход отложенного старта
40	SDATA	Вход данных последовательного интерфейса
41	SCLK	Вход тактовой частоты последовательного интерфейса
42	CS	Вход «Chip Select» последовательного интерфейса
43	D11	Вход данных параллельного интерфейса (бит 11 – старший разряд)
44	D10	Вход данных параллельного интерфейса (бит 10)
45	D9	Вход данных параллельного интерфейса (бит 9)
46	D8	Вход данных параллельного интерфейса (бит 8)
47	D7	Вход данных параллельного интерфейса (бит 7)
48	D6	Вход данных параллельного интерфейса (бит 6)

Эквивалентные схемы

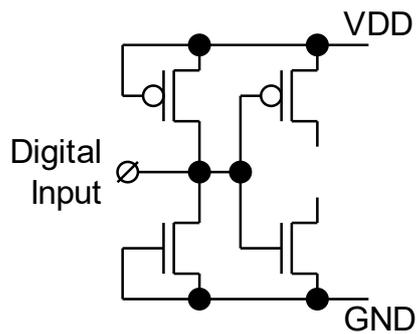


Рисунок 3. Цифровой вход (D0...D11, A0, A1, INT, OUT_BUF_ON, GAIN, VRP_BUF_ON, CS, PD_ext, SD_int_REF, START_LT, SDATA, SCLK)

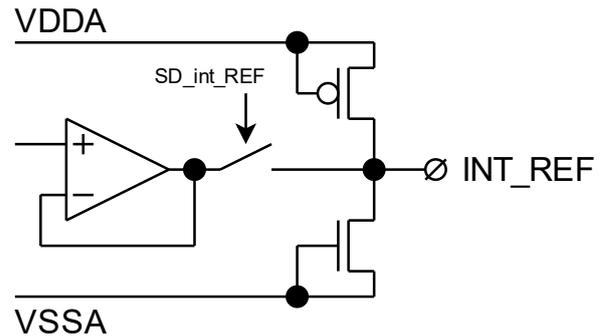


Рисунок 4. Выход внутреннего опорного уровня INT_REF

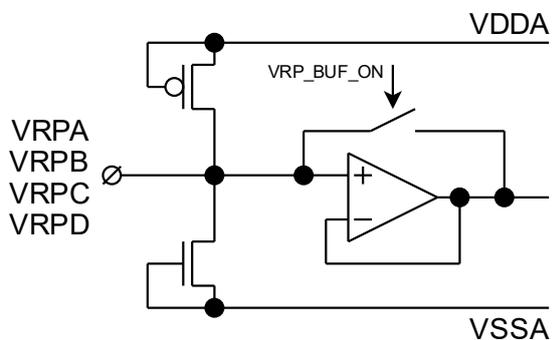


Рисунок 5. Вход верхнего опорного уровня VRPA, VRPB, VRPC, VRPD

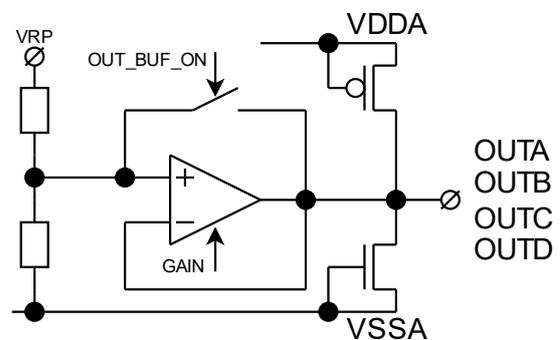


Рисунок 6. Аналоговый выход OUTA, OUTB, OUTC, OUTD

Временные диаграммы

Последовательный интерфейс (INT = «0»).

В начальный момент времени на выходах ЦАП устанавливается напряжение $VRP/2$. Данные записываются в последовательный порт SDATA в течение 16 тактов сигнала SCLK. Структура команды последовательного интерфейса представлена ниже.

A[1], A[0] – Адресация ЦАП:

A[0] = «0», A[1] = «0» – ЦАП A

A[0] = «0», A[1] = «1» – ЦАП B

A[0] = «1», A[1] = «0» – ЦАП C

A[0] = «1», A[1] = «1» – ЦАП D

PD – режим низкого потребления:

«0» – режим выключен

«1» – режим включен

D[11]...D[0] – входные данные ЦАП

LDAC – обновление всех ЦАП входными данными:

«0» – режим выключен

«1» – режим включен (Биты A[0] и A[1] игнорируются)

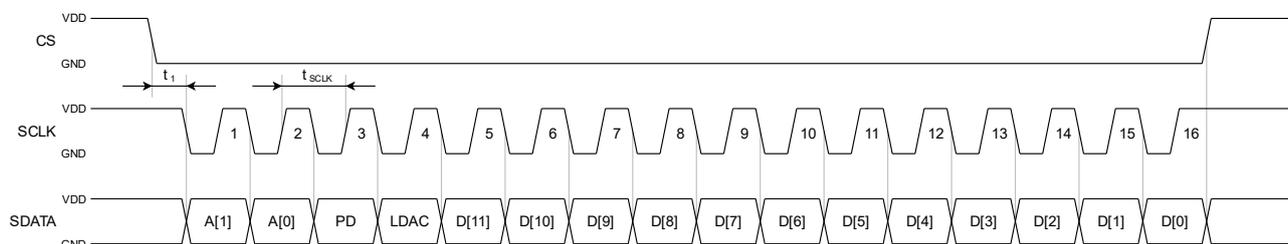


Рисунок 7. Структура команды

В микросхеме реализовано 3 варианта использования последовательного интерфейса:

1) Режим моментального преобразования по заданному адресу A0 и A1.

Преобразование выбранного ЦАП происходит по фронту сигнала CS.

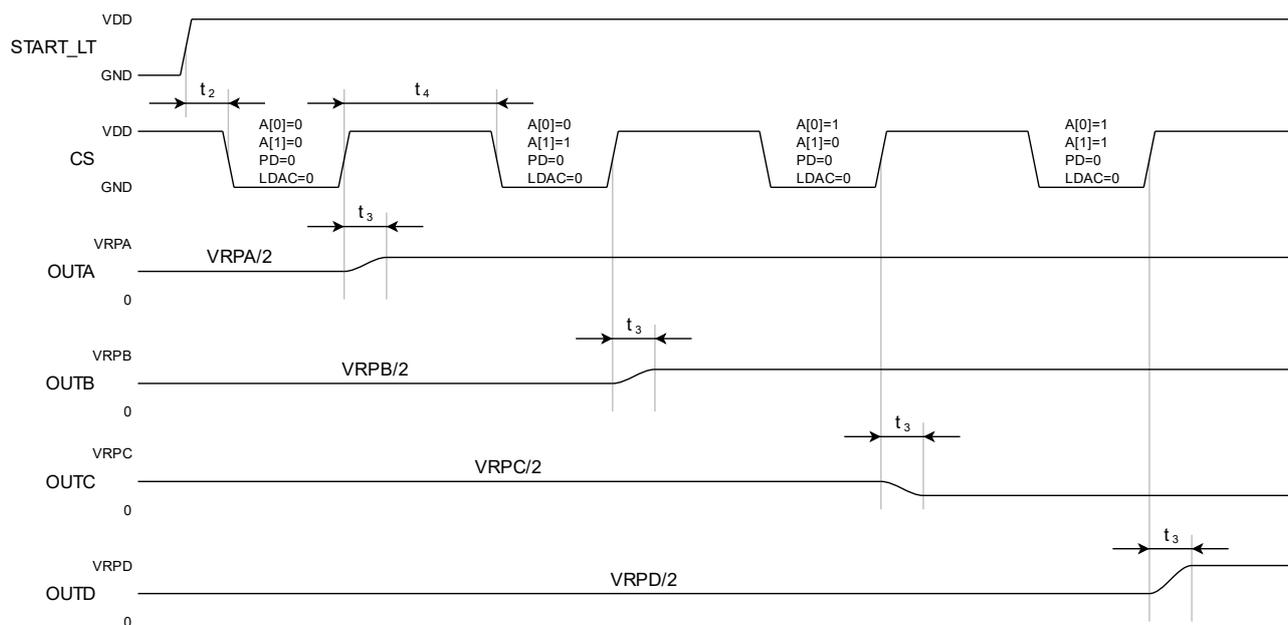


Рисунок 8. Временная диаграмма последовательного интерфейса в режиме моментального преобразования

2) Режим синхронного моментального преобразования.

В данном режиме данные задаются на все ЦАП одновременно (биты A1 и A0 игнорируются). Преобразование происходит по фронту сигнала CS.

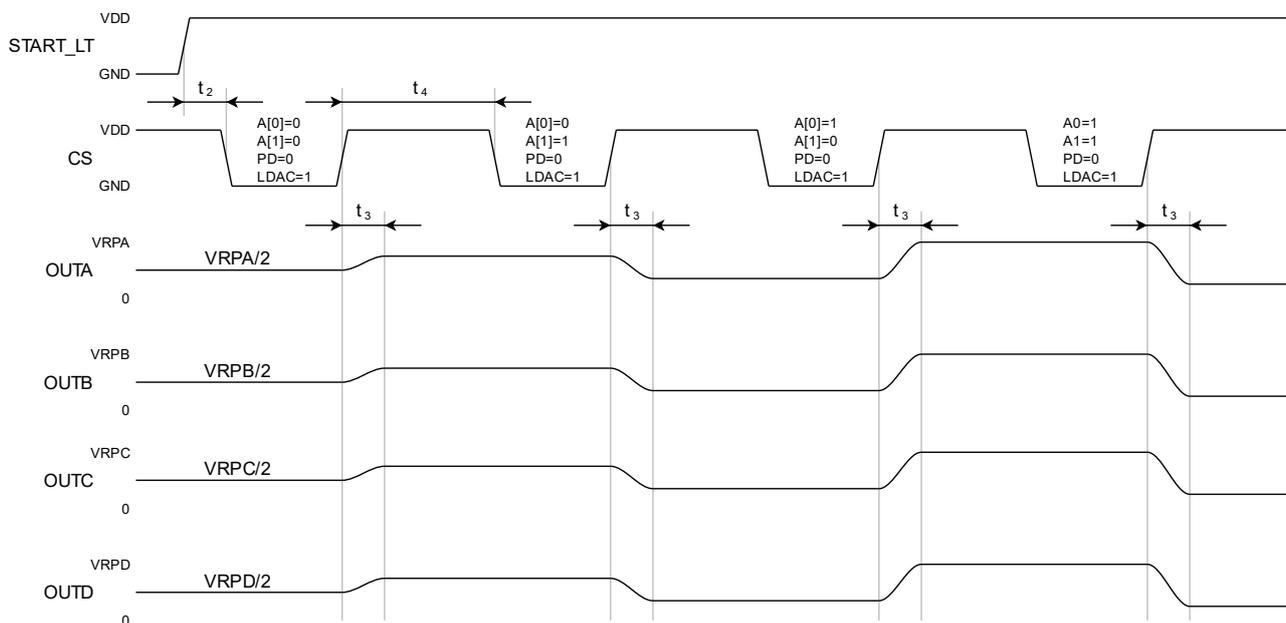


Рисунок 9. Временная диаграмма последовательного интерфейса в режиме синхронного моментального преобразования

3) Режим отложенного преобразования.

В данном режиме данные загружаются по заданному адресу A1 и A0. Преобразование происходит по срезу сигнала START_LT.

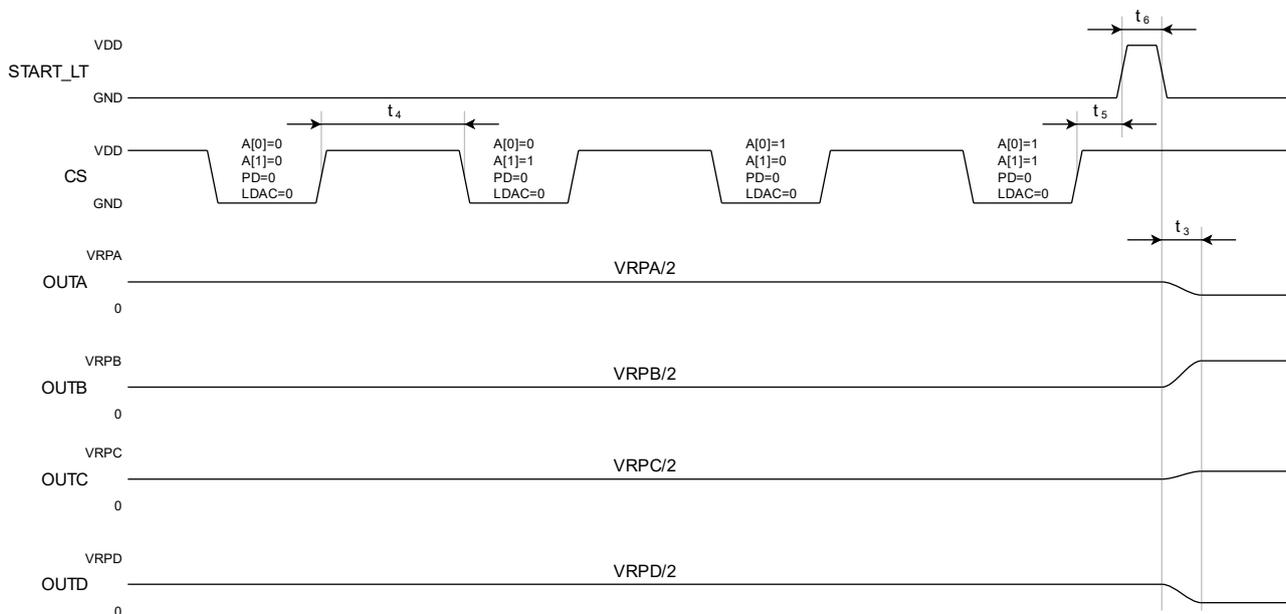


Рисунок 10. Временная диаграмма последовательного интерфейса в режиме отложенного преобразования

Параллельный интерфейс (INT = «1»).

В начальный момент времени на выходе ЦАП устанавливается напряжение $VRP/2$. Преобразование происходит по срезу сигнала $START_LT$. Выходные сигналы (OUTA, OUTB, OUTC, OUTD) сохраняются до следующего обращения к ЦАП. Если канал не активен, на выходе сохраняется последнее оцифрованное значение.

В микросхеме реализовано 2 варианта использования параллельного интерфейса:

1) Режим моментального преобразования.

В данном режиме входы $START_LT$ объединяется с входом CS . На выводы $D0...D11$ задаются данные, на выводы $A1$ и $A0$ адрес ЦАП. Преобразование происходит по срезу сигнала $START_LT=CS$.

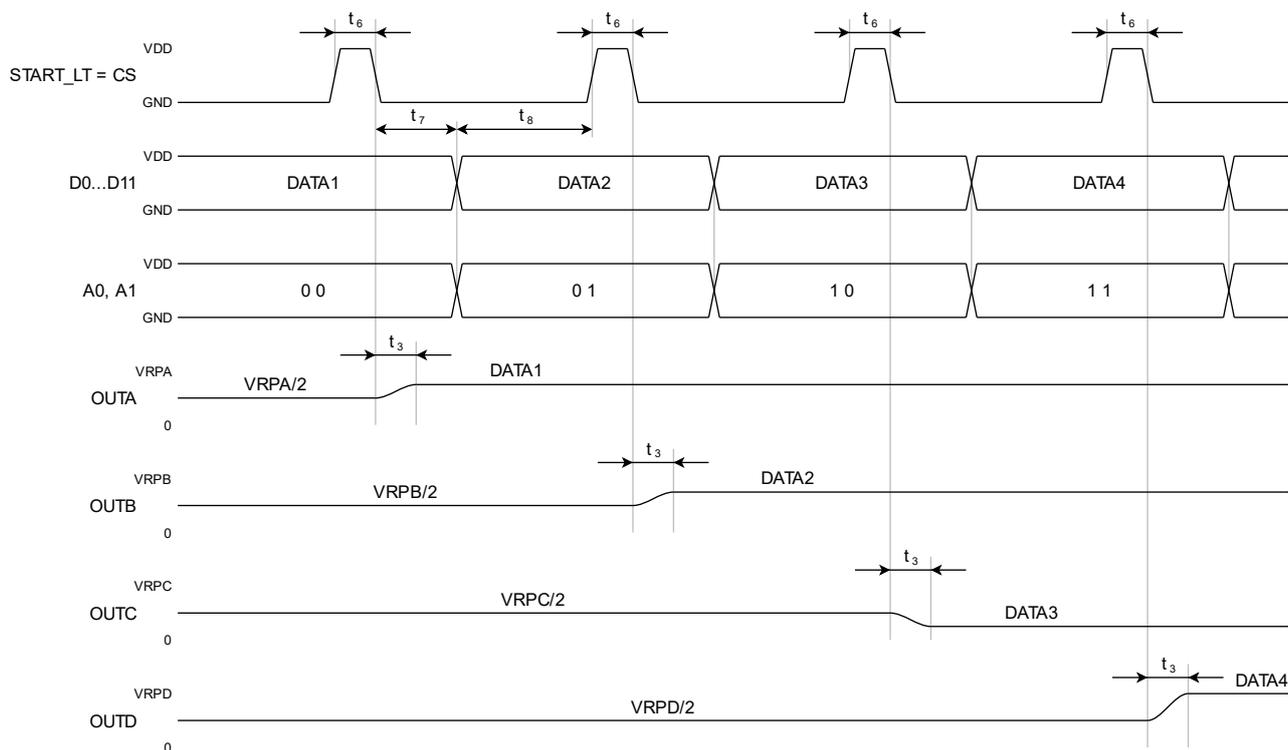


Рисунок 11. Временная диаграмма параллельного интерфейса в режиме моментального преобразования

2) Режим отложенного преобразования.

В данном режиме вход START_LT разделен с входом CS. На выходы D0...D11 задаются данные, на выходы A1 и A0 – адрес ЦАП. Преобразование происходит по срезу сигнала START_LT.

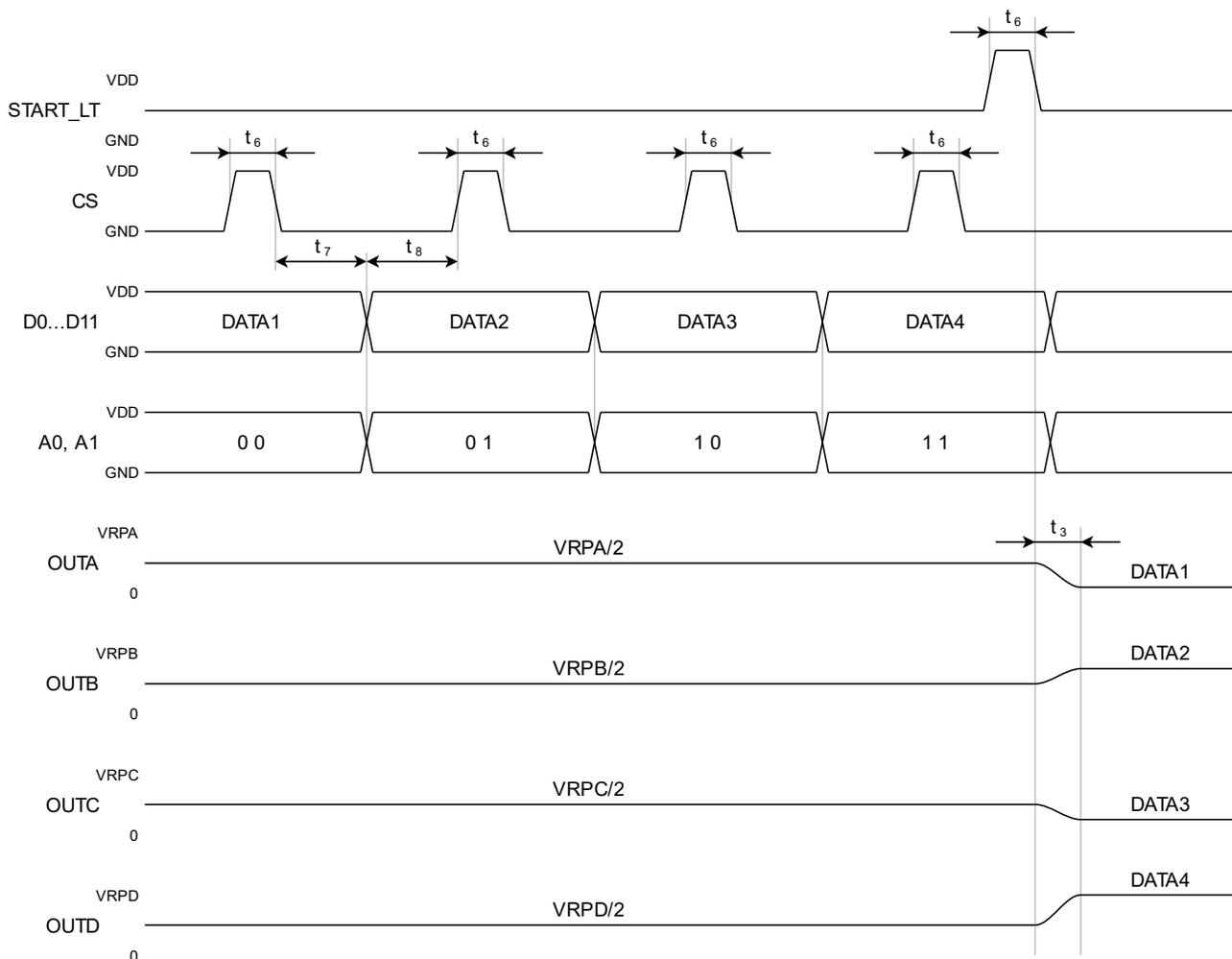


Рисунок 12. Временная диаграмма параллельного интерфейса в режиме отложенного преобразования

Таблица 4. Справочные данные

Параметр, единица измерения	Норма параметра		
	не менее	типичное	не более
Период тактового сигнала (t_{SCLK}), нс	125		
Коэффициент заполнения тактового сигнала, %	40	50	60
Время паузы между сигналами CS и SCLK (t_1), нс	$t_{SCLK}/6$		
Время паузы между сигналами START_LT и CS (t_2), мкс	1,0		
Время установления выходного напряжения (t_3), мкс		0,2	4,0
Время между командами в послед. режиме (t_4), мкс		$2 \cdot t_3$	
Время паузы между сигналами CS и START_LT (t_5), мкс	1,0		
Длительность сигналов START_LT и CS (t_6), мкс	1,0		
Время между срезом CS и окончанием загрузки данных D11...D0 (t_7), мкс		0,2	2,5
Время между началом загрузки данных D11...D0 и фронтом CS (t_8), мкс		0,2	2,5

Рекомендуемая схема применения

Таблица 5. Таблица внешних компонентов

Компонент	Номинал
C1	1 мкФ
C2	200 нФ * – устанавливается при включенном встроенном опорном уровне (вывод SD_int_REF = «1»)

Конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них обязательно должен быть высокочастотный керамический емкостью не менее 10 нФ.

При использовании встроенного опорного уровня вывод INT_REF соединить с выводами VRPA, VRPB, VRPC, VRPD в зависимости от требуемого канала.

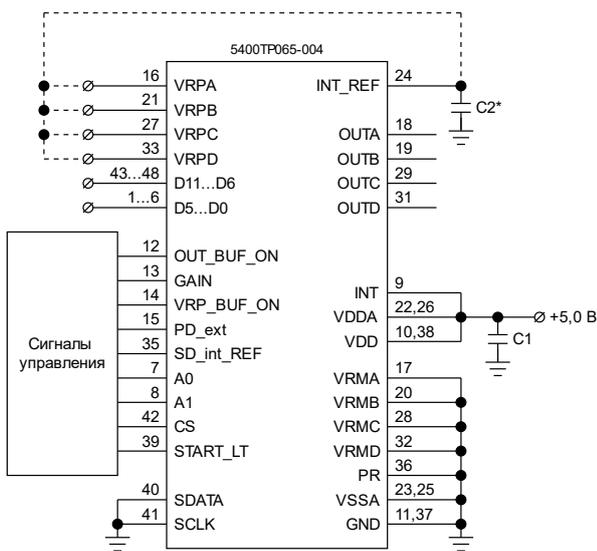


Рисунок 13. Рекомендуемая схема применения при использовании параллельного интерфейса

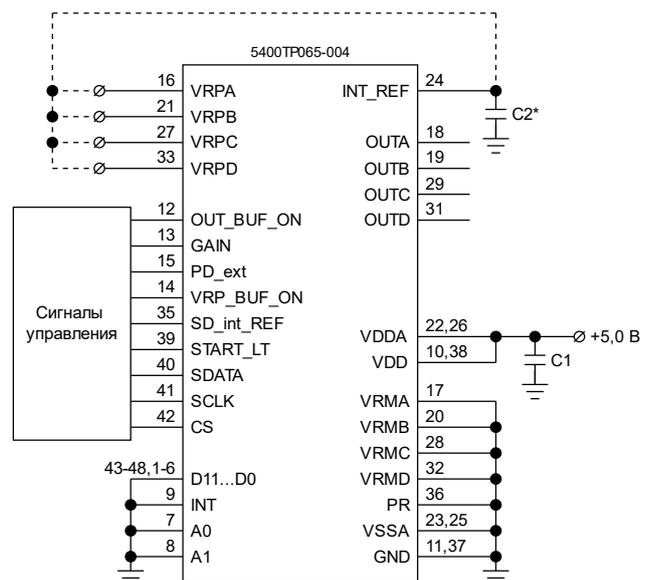


Рисунок 14. Рекомендуемая схема применения при использовании последовательного интерфейса

Типовые характеристики

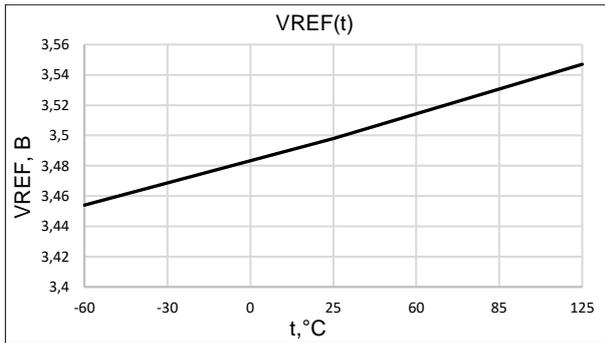


Рисунок 15. Зависимость напряжения опорного уровня от температуры

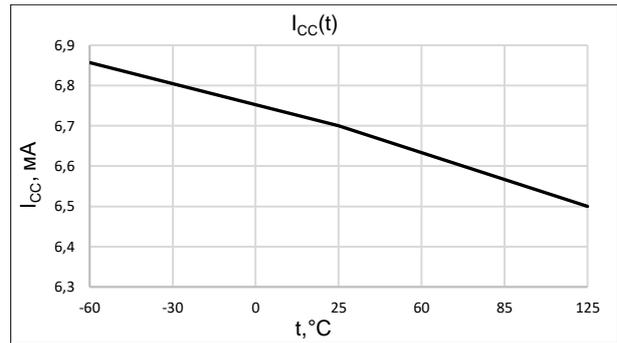


Рисунок 16. Зависимость тока потребления от температуры

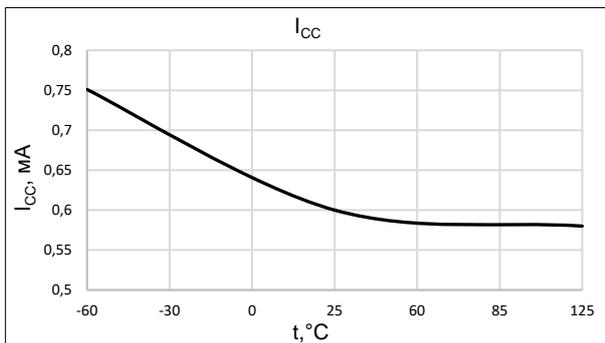


Рисунок 17. Зависимость тока потребления от температуры в режиме ожидания

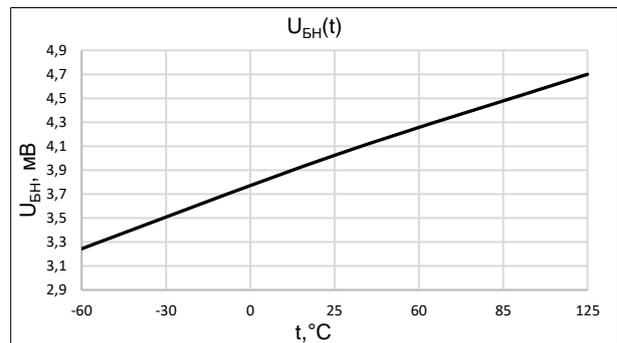


Рисунок 18. Зависимость погрешности биполярного нуля от температуры

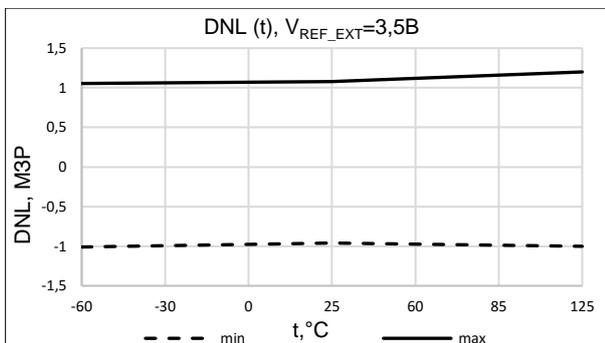


Рисунок 19. Зависимость дифференциальной нелинейности от температуры

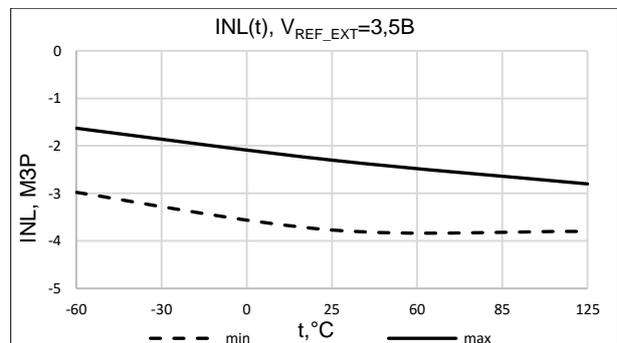


Рисунок 20. Зависимость интегральной нелинейности от температуры

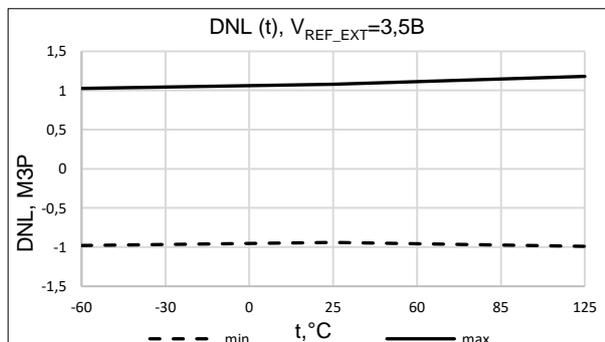


Рисунок 21. Зависимость дифференциальной нелинейности от температуры (выходной буфер включен, без усиления)

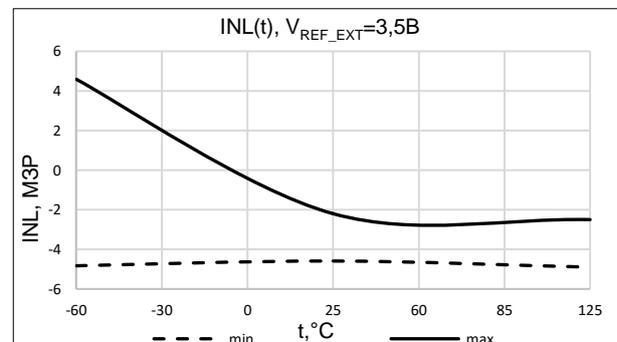


Рисунок 22. Зависимость дифференциальной нелинейности от температуры (выходной буфер включен, без усиления)

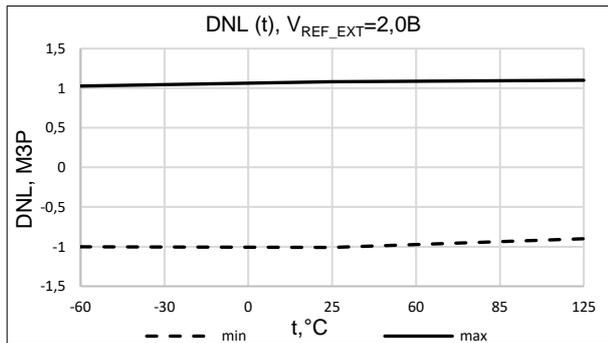


Рисунок 23. Зависимость дифференциальной нелинейности от температуры (выходной буфер включен, коэффициент усиления 2)

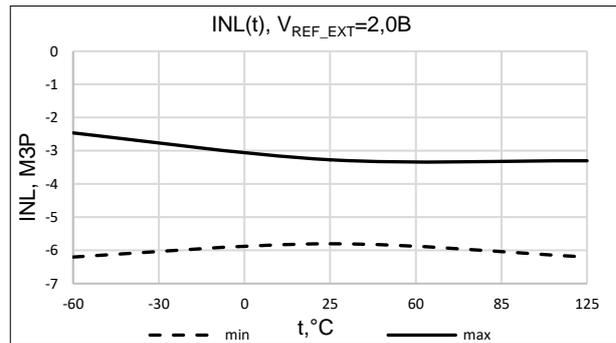


Рисунок 24. Зависимость дифференциальной нелинейности от температуры (выходной буфер включен, коэффициент усиления 2)

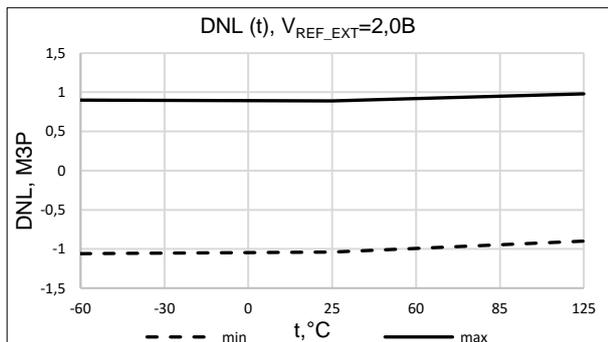


Рисунок 25. Зависимость дифференциальной нелинейности от температуры (выходной буфер включен, коэффициент усиления 2, буфер внешнего опорного уровня включен)

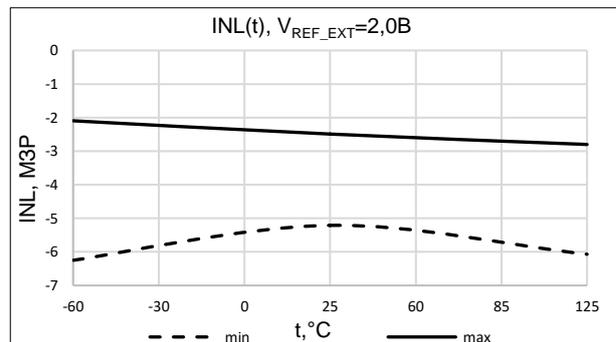


Рисунок 26. Зависимость дифференциальной нелинейности от температуры (выходной буфер включен, коэффициент усиления 2, буфер внешнего опорного уровня включен)

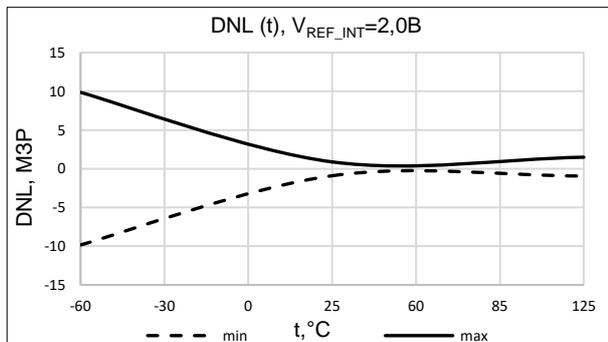


Рисунок 27. Зависимость дифференциальной нелинейности от температуры (выходной буфер включен, коэффициент усиления 2, буфер внутреннего опорного уровня включен)

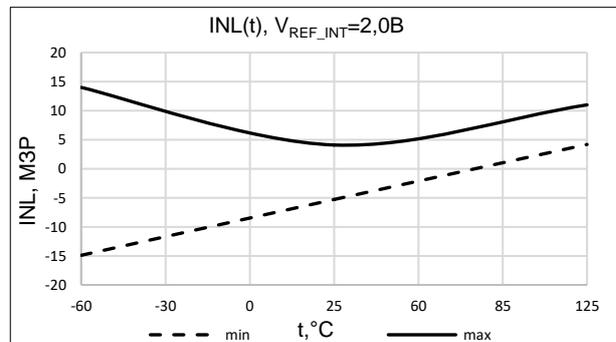


Рисунок 28. Зависимость дифференциальной нелинейности от температуры (выходной буфер включен, коэффициент усиления 2, буфер внутреннего опорного уровня включен)

Функциональное описание микросхемы

Микросхема представляет собой 4-х канальный 12-ти разрядный цифро-аналоговый преобразователь на основе резистивной R-2R матрицы с последовательным или параллельным интерфейсом входных данных.

Выбор интерфейса входных данных определяется выводом INT:

- «0» – последовательный интерфейс;
- «1» – параллельный интерфейс.

В микросхеме реализован режим низкого потребления (режим «powerdown»). В данном режиме отключаются выходы VRP от всех ЦАП, все выходы (OUTA...OUTD) переходят в Z-состояние. Для перехода в данный режим при последовательном интерфейсе необходимо установить бит PD (Рисунок 7) в лог. «1». Для перехода в данный режим при параллельном интерфейсе необходимо на вывод микросхемы PD_ext задать лог «0».

Каждый канал ЦАП может быть выведен как с буферным ОУ с нагрузочной способностью до 25 мА, таки без него. Для подключения выходного буфера необходимо на вывод микросхемы OUT_BUF_ON задать лог «1».

Также доступен режим усиления выходного напряжения всех ЦАП в 2 раза. Для входа в данный режим необходимо на выходы микросхемы OUT_BUF_ON и GAIN задать лог «1».

В микросхеме реализован режим буферизации внешнего положительного опорного уровня. Для подключения буфера необходимо на вывод микросхемы VRP_BUF_ON задать лог «1».

При использовании внутреннего опорного уровня необходимо на вывод микросхемы SD_int_REF задать лог. «1» и соединить вывод INT_REF с выводами верхнего опорного уровня VRPA...VRPD.

Таблица 6. Формат выходных данных

Входной код	Выходное напряжение (без усиления в 2 раза)
1111 1111 1111	+VRP
0111 1111 1111	+VRP/2
0000 0000 0000	0

Габаритный чертеж

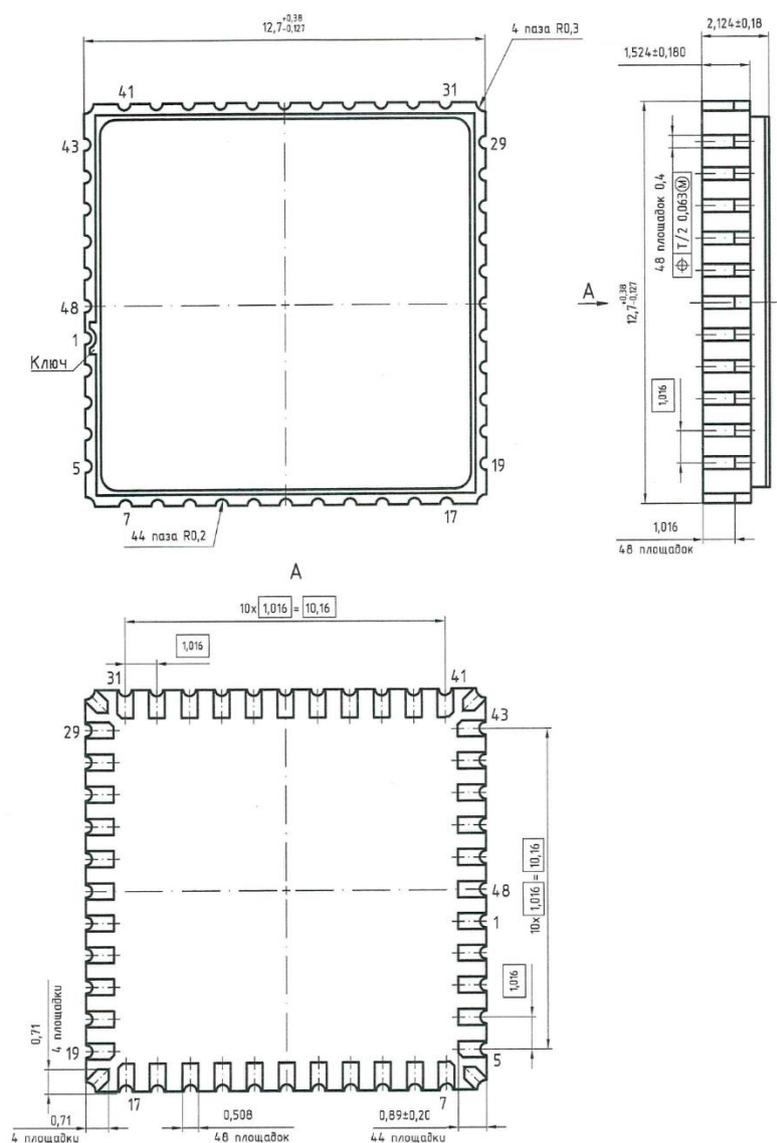


Рисунок 29. Габаритный чертеж корпуса 5142.48-A (размеры в мм)

Информация для заказа

Обозначение	Маркировка	Корпус	Температурный диапазон
5400TP065-004 АЕНВ.431260.392ТУ карта заказа КФС.431260.007-004Д16	5400TP065-004	5142.48-A	- 60 ... +125°C

Микросхемы категории качества «ВП» маркируются ромбом.

