

Основные особенности

- 14 разрядов;
- Напряжение питания:
 - ядро ЦАП 5,0 В;
 - высоковольтные ОУ ± 10 В;
- Ток потребления:
 - ядро ЦАП 1,0 мА;
 - высоковольтный ОУ 5,0 мА;
- Время установления выходного напряжения не более 20 мкс;
- DNL (типичное) 4 МЗР;
- INL (типичное) 10 МЗР;
- Последовательный интерфейс входных данных;
- Встроенные высоковольтные ОУ;
- Технология изготовления КМОП КНИ;
- Температурный диапазон от -60°C до $+125^{\circ}\text{C}$;
- Стойкость к СВВФ.

Блок схема

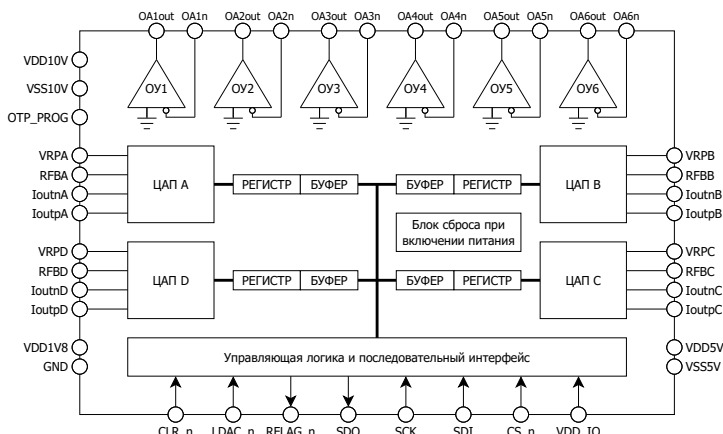


Рисунок 1. Структурная схема



Рисунок 2. Внешний вид микросхемы

ГГ – год выпуска
НН – неделя выпуска

Общее описание

Микросхема 5400TP065-005 представляет собой 4-х канальный 14-ти разрядный R-2R ЦАП с последовательным интерфейсом входных данных на основе 3-х сегментной резистивной матрицы. Микросхема выполнена на базе радиационно-стойкого аналого-цифрового БМК 5400TP065 по технологии КНИ.

В микросхеме реализовано 4 независимых ЦАП с собственными линиями опорного уровня. Диапазон выходного напряжения ЦАП определяется схемой включения и внешним опорным уровнем. Микросхема содержит в себе цепь сброса по включению питания, которая обеспечивает установку выхода ЦАП в ноль и его сохранение до записи нового значения.

ЦАП состоит из следующих ключевых блоков:

- 3-х сегментная резистивная матрица;
- цифровой блок управления;
- высоковольтные ОУ.

Микросхема является функциональным аналогом LTC2754 (ф. Linear Technology).

Микросхема поставляется в 48-ми выводном металлокерамическом корпусе 5142.48-А.

Электрические параметры микросхемы

Таблица 1. Электрические характеристики (температурный диапазон от – 60 до +125°C)

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Разрядность (N), бит	14		
Дифференциальная нелинейность (DNL), МЗР	–4,0		+4,0
Интегральная нелинейность (INL), МЗР	–10		+10
Время установления выходного напряжения ЦАП, мкс			20 ¹⁾
Диапазон опорного напряжения ЦАП (VRPA...VRPD), В			
при использовании внутренних ОУ	0		4,5
при использовании внешних ОУ	0		5,0
Напряжение смещения нуля, мВ	–30		30
Погрешность коэффициента преобразования, %	–0,7		0,7
Диапазон выходного напряжения, В			
униполярное включение	–2*VRP		0
биполярное включение	–2*VRP		+2*VRP
Нагрузочная способность выводов (OA1out...OA6out), мА		25 ¹⁾	30 ¹⁾
Напряжение питания ядра ЦАП (VDD5V), В	4,75	5,0	5,25
Напряжение питания периферийной части (VDD_IO), В	1,6	1,8	5,25
Положительное напряжение питания ОУ (VDD10V), В	5,0		10
Отрицательное напряжение питания ОУ (VSS10V), В	–10		–5,0
Напряжение низкого уровня цифровых сигналов блока управления (CS_n, SCK, SDI, SDO, CLR_n, LDAC_n), В		0	VDD_IO*0,3
Напряжение высокого уровня цифровых сигналов блока управления (CS_n, SCK, SDI, SDO, CLR_n, LDAC_n), В	VDD_IO*0,7	VDD_IO	
Ток потребления ядра ЦАП (1 шт), мА			1,0
Ток потребления ОУ (1 шт), мА		4,0 ¹⁾	
Ток потребления по линии опорного уровня (1 ядро) (VRPA...VRPD), мА			5,0
Примечания:			
1) параметры при использовании встроенных операционных усилителей.			

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 1000 В по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

Параметр, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение питания ядра ЦАП (VDD5V), В	4,75	5,25	-0,3	5,35
Положительное напряжение питания высоковольтных ОУ (VDD10V), В	4,5	10,5	-0,3	11,0
Отрицательное напряжение питания высоковольтных ОУ (VSS10V), В	-10,5	-4,5	-11,0	0,3
Напряжение питания последовательного интерфейса (VDD_IO), В	1,6	5,25	-0,3	5,35
Напряжение входных цифровых сигналов (CS_n, SCK, SDI, SDO, CLR_n, LDAC_n), В	0	VDD_IO	-0,3	VDD_IO+0,5
Напряжение внешнего опорного уровня (VRPA, VRPB, VRPC, VRPD), В				
при использовании внутренних ОУ	0	4,5	-0,3	5,0
при использовании внешних ОУ	0	5,0	-0,3	5,0
Температура эксплуатации, °С	-60	+125	-60	+150

Конфигурация и функциональное описание выводов

Таблица 3. Функциональное описание выводов

№ вывода	Наименование вывода	Назначение вывода
1	IoutnC	Токовый выход ЦАП С
2	IoutpD	Комплементарный выход ЦАП D
3	VRPD	Вывод опорного напряжения ЦАП D Входной импеданс относительно «земли» – 1250 Ом
4	RFBD	Выход резистора обратной связи ЦАП D Выходной ток ЦАП протекает от IoutnD к RFBD Входной импеданс – 2500 Ом
5	IoutnD	Токовый выход ЦАП D
6, 7	NC	Вывод не используется
8	LDAC_n	Вход асинхронного обновления ЦАП (активный уровень – лог. «0»)
9	RFLAG_n	Вывод флага сброса (активный уровень – лог. «0»)
10	SDO	Выход последовательного интерфейса
11	OTP_PROG	Технологический вывод (вывод программирования OTP-памяти)
12	VDD_IO	Вывод питания периферийной части
13	SDI	Вход последовательного интерфейса
14	CS_n	Вход сигнала синхронизации последовательного интерфейса (активный уровень – лог. «0»)
15	SCK	Вход тактового сигнала последовательного интерфейса

№ вывода	Наименование вывода	Назначение вывода
16	CLR_n	Асинхронный сигнал сброса (активный уровень – лог. «0»). Обнуление внутренних регистров, установка выхода в нулевой код
17, 18	NC	Вывод не используется
19	IoutnA	Токовый выход ЦАП А
20	RFBA	Выход резистора обратной связи ЦАП А Выходной ток ЦАП протекает от IoutnA к RFBA Входной импеданс – 2500 Ом
21	VRPA	Вывод опорного напряжения ЦАП А Входной импеданс относительно «земли» – 1250 Ом
22	IoutpA	Комплементарный выход ЦАП А
23	IoutnB	Токовый выход ЦАП В
24	RFBB	Выход резистора обратной связи ЦАП В Выходной ток ЦАП протекает от IoutnB к RFBB Входной импеданс – 2500 Ом
25	VRPB	Вывод опорного напряжения ЦАП В Входной импеданс относительно «земли» – 1250 Ом
26	IoutpB	Комплементарный выход ЦАП В
27	VDD5V	Вывод положительного напряжения питания ядра ЦАП (A, B, C, D) (+5,0 В)
28	OA1n	Инвертирующий вход высоковольтного ОУ 1
29	OA1out	Выход высоковольтного ОУ 1
30	OA2out	Выход высоковольтного ОУ 2
31	OA2n	Инвертирующий вход высоковольтного ОУ 2
32	OA3n	Инвертирующий вход высоковольтного ОУ 3
33	OA3out	Выход высоковольтного ОУ
34	VSS10V	Вывод отрицательного напряжения питания ОУ (–10 В)
35, 37	GND	Общий вывод
36	VSS5V	Технологический вывод (вывод отрицательного напряжения питания схемы калибровки)
38	VDD10V	Вывод положительного напряжения питания ОУ (+10 В)
39	OA4out	Выход высоковольтного ОУ 4
40	OA4n	Инвертирующий вход высоковольтного ОУ 4
41	OA5n	Инвертирующий вход высоковольтного ОУ 5
42	OA5out	Выход высоковольтного ОУ 5
43	OA6out	Выход высоковольтного ОУ 6
44	OA6n	Инвертирующий вход высоковольтного ОУ 6
45	VDD1V8	Технологический вывод (вывод напряжения питания схемы калибровки)
46	IoutpC	Комплементарный выход ЦАП С
47	VRPC	Вывод опорного напряжения ЦАП С Входной импеданс относительно «земли» – 1250 Ом
48	RFBC	Выход резистора обратной связи ЦАП С Выходной ток ЦАП протекает от IoutnC к RFBC Входной импеданс – 2500 Ом

Эквивалентные схемы

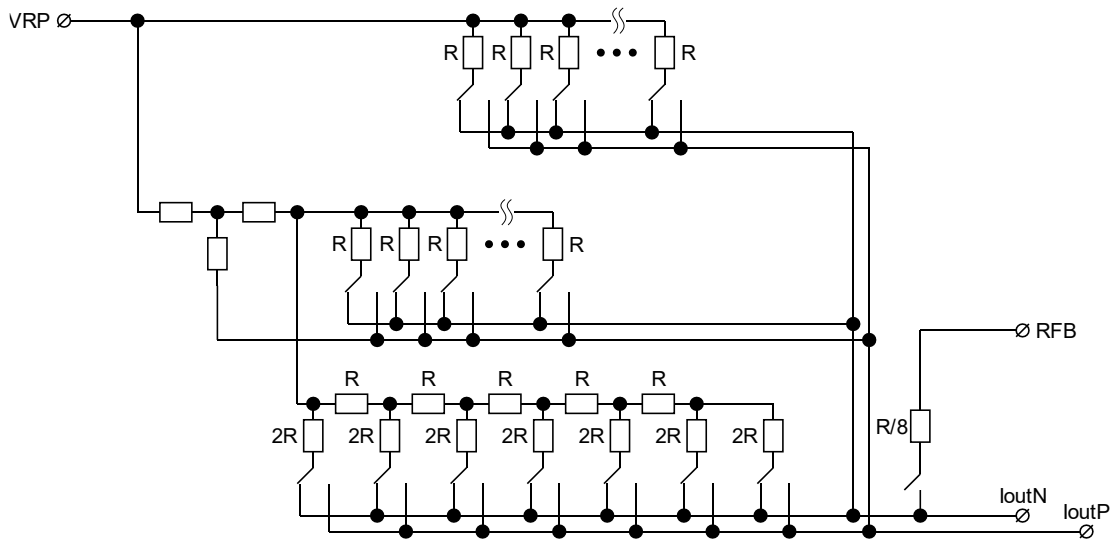


Рисунок 3. Структура 3-х сегментной резистивной матрицы (R = 18 кОм)

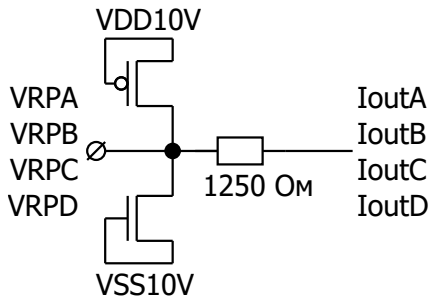


Рисунок 4. Вход опорного напряжения

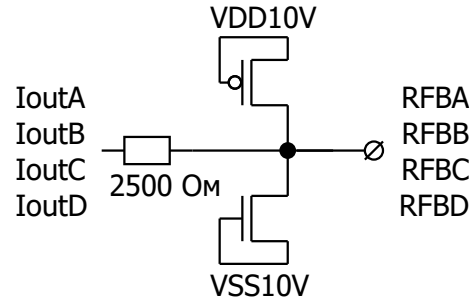


Рисунок 5. Выход резистора обратной связи

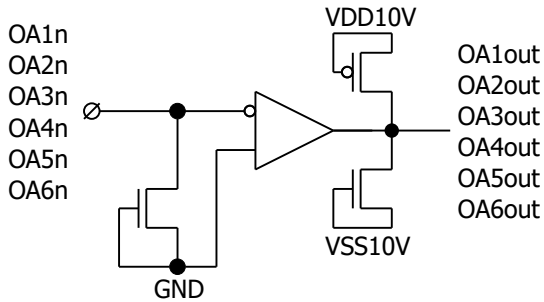


Рисунок 6. Входы и выходы высоковольтного ОУ

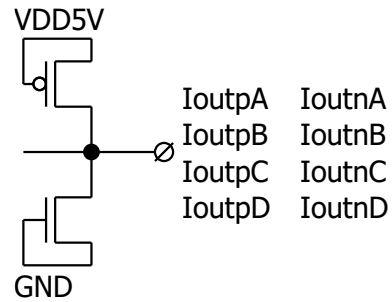


Рисунок 7. Токвые выходы

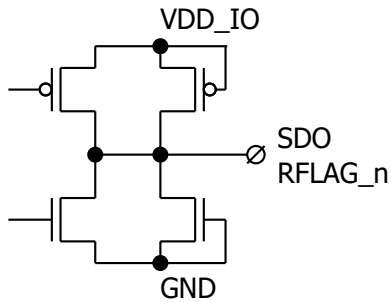


Рисунок 8. Цифровые выходы сигналов управления

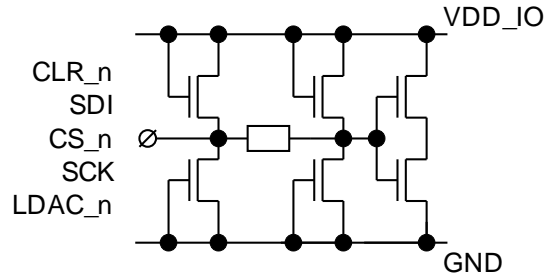


Рисунок 9. Цифровые входы сигналов управления

Временные диаграммы

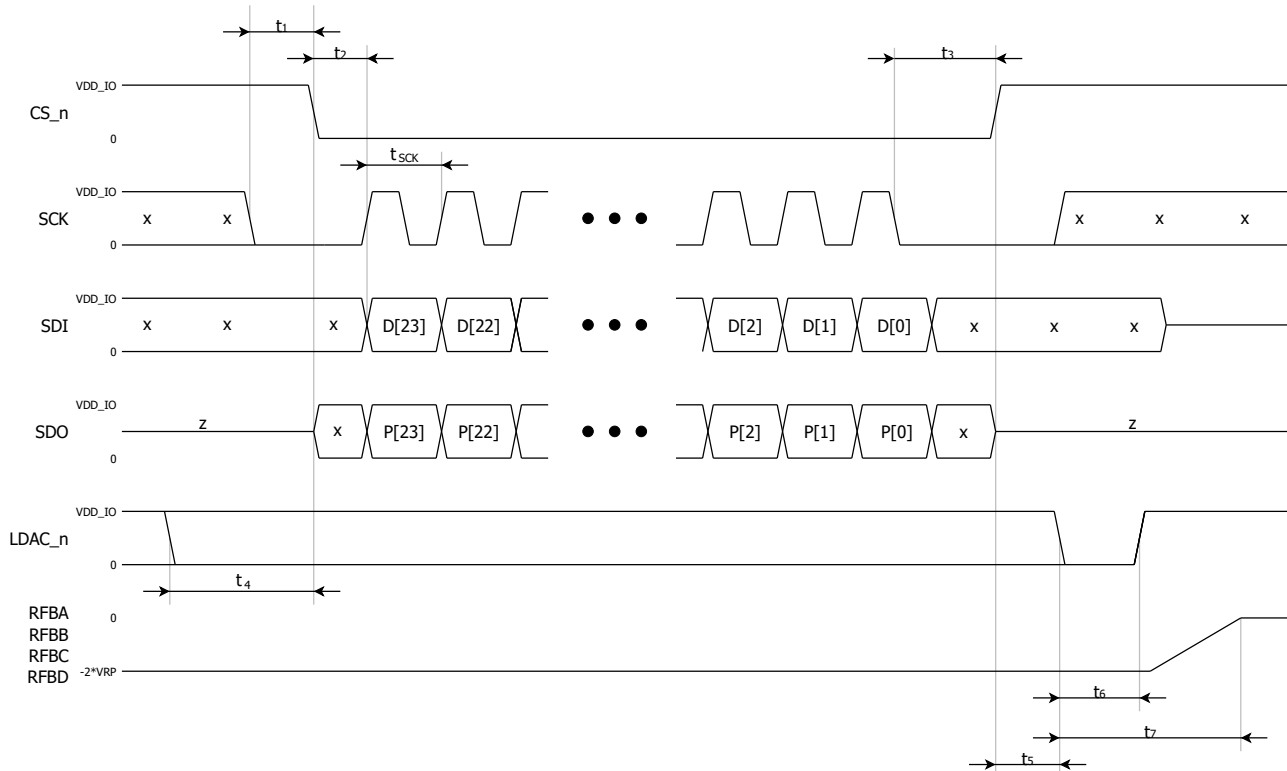


Рисунок 10. Временная диаграмма работы ЦАП

Таблица 4. Справочные данные

Параметр, единица измерения	Норма параметра		
	не менее	типичное	не более
Период тактового сигнала (t_{sck}), нс	100		
Коэффициент заполнения тактового сигнала, %	40	50	60
Время от спада SCK до спада CS_n (t_1), нс	20		
Время от спада CS_n до первого фронта SCK (t_2), нс	15		
Время от последнего спада SCK до фронта CS_n (t_3), нс	20		
Время от спада LDAC_n до спада CS_n (t_4), нс	10		
Время от фронта CS_n до спада LDAC_n (t_5), нс	20		
Время от спада LDAC_n до фронта LDAC_n (t_6), нс	100		
Время от спада LDAC_n до установления нового выходного уровня ЦАП (t_7), мкс			20

Тактовый сигнал SCK начинается с «низкого» уровня. Выборка данных производится по срезу тактового сигнала SCK, максимальная частота SCK = 10 МГц.

Вывод CLR_n: асинхронный сигнал сброса (активный уровень – лог. «0»). Сброс происходит по срезу сигнала CLR_n. При включении питания происходит обнуление внутренних регистров и установка выхода в нулевой код.

Вывод LDAC_n: вход асинхронного обновления ЦАП (активный уровень – лог. «0»). Обновление выхода ЦАП происходит по срезу сигнала LDAC_n. При удержании сигнала LDAC_n в состоянии лог. «0» обновление выхода ЦАП происходит по окончании передачи через последовательный интерфейс.

Рекомендуемая схема применения

Для преобразования токового выхода ЦАП в напряжение в микросхеме реализованы высоковольтные ОУ. В нормальном режиме работы возможны несколько вариантов включения ЦАП в комбинации со встроенными высоковольтными ОУ. Во всех случаях необходимо обеспечить питание для ядра +5,0 В и общий потенциал земли. Возможно использовать как внешние, так и внутренние ОУ.

На рисунке ниже показано основное включение ОУ (OA1) как преобразователя ток-напряжение для получения униполярного выходного диапазона $[-2*VRP; 0]$. Возможно дополнительное включение второго ОУ (OA2) для получения биполярного выходного диапазона $[-2*VRP; +2*VRP]$.

Диапазон положительного напряжения питания встроенных ОУ (VDD10V) = +5,0...+10 В.

Диапазон отрицательного напряжения питания встроенных ОУ (VSS10V) = -5,0...-10 В. При этом выходной диапазон будет ограничен снизу на (VSS10V +1,5) В.

Таблица 5. Таблица внешних компонентов

Компонент	Номинал
C1, C3, C5, C7	1 мкФ
C2, C4, C6, C8	0,1 мкФ
C9	30 пФ

Конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них обязательно должен быть высокочастотный керамический емкостью не менее 10 нФ. Шунтирующие конденсаторы должны располагаться на плате в непосредственной близости к соответствующим выводам микросхемы.

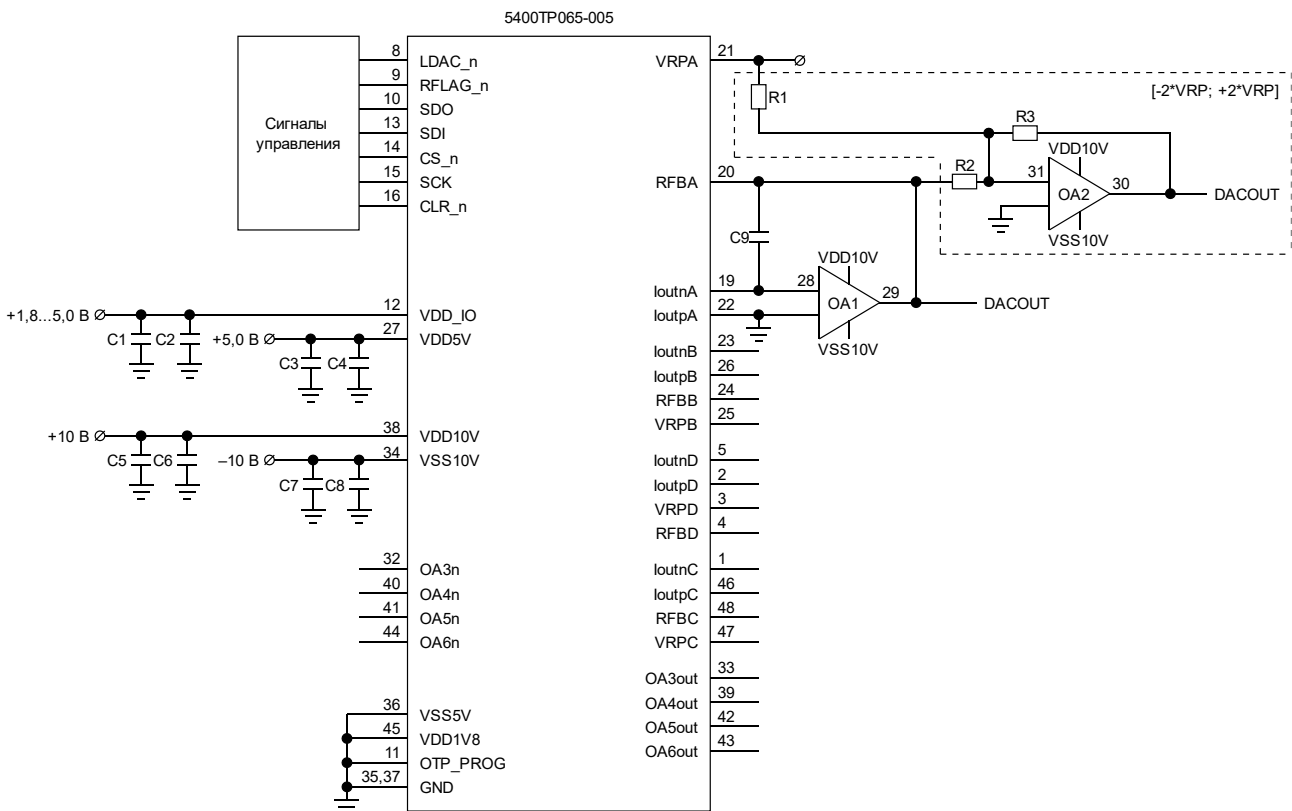


Рисунок 11. Рекомендуемая схема применения

Описание функционирования микросхемы

Микросхема 5400TP065-005 представляет собой 4х канальный 16-ти разрядный R-2R цифро-аналоговый преобразователь с последовательным интерфейсом входных данных на основе 3-х сегментной резистивной матрицы. Напряжение питания ядра микросхемы $VDD5V = 5,0$ В. Диапазон напряжения питания периферийной части $VDD_IO = 1,8...5,0$ В формирует уровень лог. «1» сигналов управления CS_n , SCK , SDI , SDO , CLR_n , $LDAC_n$.

Для управления ЦАП в микросхеме реализован 4-х проводной последовательный интерфейс, совместимый со стандартом SPI. Поддерживается следующий режим работы: slave, MSB first, CPOL = 0 (тактовый сигнал SCK начинается с «низкого» уровня), CPHA = 1 (выборка данных производится по срезу тактового сигнала SCK).

Последовательный интерфейс поддерживает два вида посылок: 24-битную и 32-битную. Формат 24-х битной посылки:

- $C3...C0$ – команда на выполнение;
- $A3...A0$ – адрес;
- $D13...D0$ – данные;
- значения последних двух бит не важны.

В случае 32-битной посылки первые 8 бит должны быть нулями, остальной формат посылки аналогичен 24-битной версии.

Вывод CS_n – вход сигнала синхронизации последовательного интерфейса (активный уровень лог. «0»).

Выход SDO становится активным при низком уровне CS_n . Выходные данные на SDO начинают поступать, как только команда на выполнение ($C3 \dots C0$) и адрес ($A3 \dots A0$) будут получены через SDI , до этого момента SDO выдает лог «0». Если на входе CS_n высокий уровень, выход SDO переходит в высокоимпедансное состояние.

Таблица 6. Формат выходных данных

Входной код	Выходное напряжение
Униполярный режим	
0000 0000 0000 0000	$-2*VRP$
1111 1111 1111 1111	0
Биполярный режим	
0000 0000 0000 0000	$+2*VRP$
1111 1111 1111 1111	$-2*VRP$

Таблица 7. Таблица команд ЦАП

Команда				Команда	Данные на выдачу через SDO в текущей передаче	Данные на выдачу через SDO в следующей передаче
C3	C2	C1	C0			
0	0	1	1	Запись в буфер ЦАП n	Установлено предыдущей командой	Буфер ЦАП n
0	1	0	0	Обновить ЦАП n	Установлено предыдущей командой	Регистр ЦАП n
0	1	0	1	Обновить все ЦАП	Установлено предыдущей командой	Регистр ЦАП A
0	1	1	1	Запись в буфер и обновление ЦАП n	Установлено предыдущей командой	Регистр ЦАП n
1	0	0	1	Запись в буфер ЦАП n и обновление всех ЦАП	Установлено предыдущей командой	Регистр ЦАП n
1	0	1	1	Чтение буфера ЦАП n	Буфер ЦАП n	
1	1	0	1	Чтение регистра ЦАП n	Регистр ЦАП n	
1	1	1	1	Пустая операция	Установлен предыдущей командой	Регистр ЦАП n
–				Активный сброс системы	–	Буфер ЦАП A
–				Включение питания	–	Буфер ЦАП A

Таблица 8. Таблица адресов

Адрес				Выбор ЦАП n
A3	A2	A1	A0	
0	0	0	x ⁽¹⁾	ЦАП A
0	0	1	x ⁽¹⁾	ЦАП B
0	1	0	x ⁽¹⁾	ЦАП C
0	1	1	x ⁽¹⁾	ЦАП D
1	1	1	x ⁽¹⁾	Все ЦАП ⁽²⁾

Примечание:
 1) x – любой уровень сигнала;
 2) если при выполнении команды чтения указан адрес «Все ЦАП», то выводятся данные из ЦАП A.

Габаритный чертеж

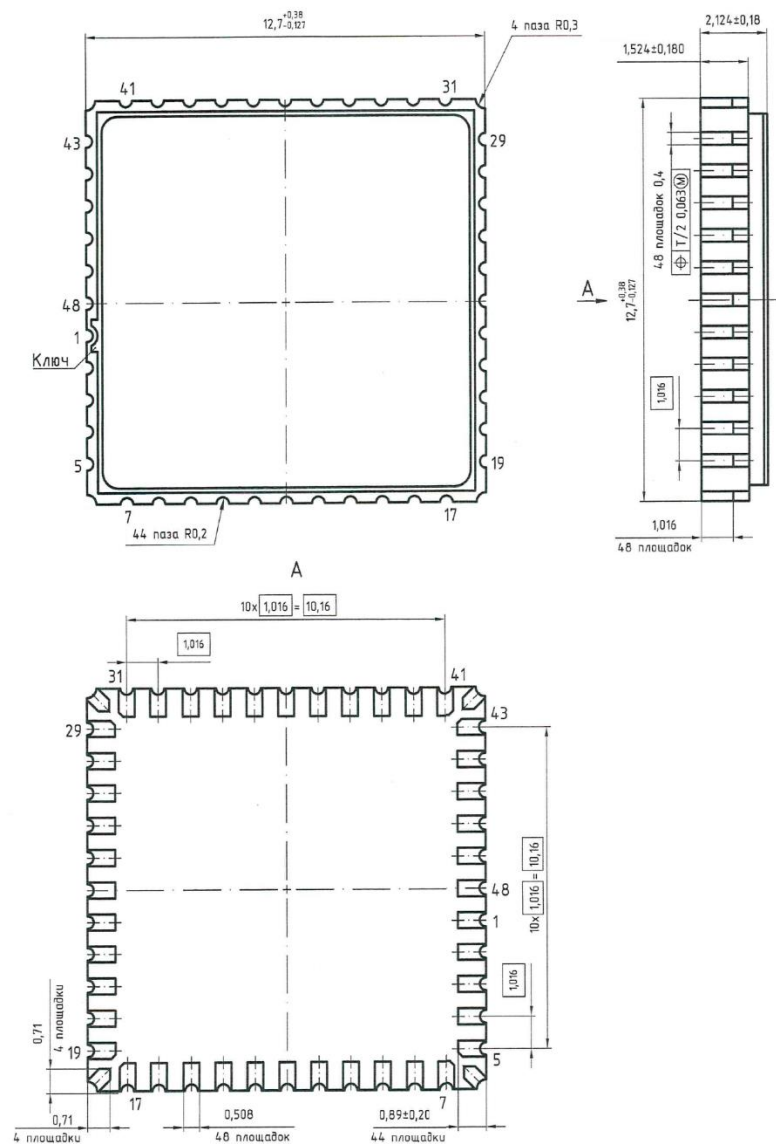


Рисунок 12. Габаритный чертеж корпуса 5142.48-A (размеры в мм)

Информация для заказа

Обозначение	Маркировка	Корпус	Температурный диапазон
5400TP065-005 АЕНВ.431260.392ТУ карта заказа КФЦС.431260.007-005Д16	5400TP065-005	5142.48-A	- 60 ...+125°C
5400TP065-005 АДКБ.431260.347ТУ	K5400TP065-005	5142.48-A	- 60 ...+125°C

Микросхемы категории качества «ВП» маркируются ромбом.

Микросхемы категории качества «ОТК» маркируются буквой «К».

