

Основные особенности

- Напряжение питания: $VDDA = 3,3 - 5,0$ В;
- Напряжение питания интерфейсной части: $VDDDR = 1,8 - 5,0$ В;
- 1104 логических элементов (трехходовой LUT + D-триггер);
- Частота внутреннего генератора 10 МГц;
- Задержка переключения логического элемента не более 5,0 нс;
- Возможность выбора устройства конфигурирования памяти:
 - внутреннее ПЗУ;
 - внешняя Flash-память;
 - программатор.
- Технология изготовления КМОП КНИ;
- Температурный диапазон от -60°C до $+85^{\circ}\text{C}$;
- Стойкость к СВВФ.

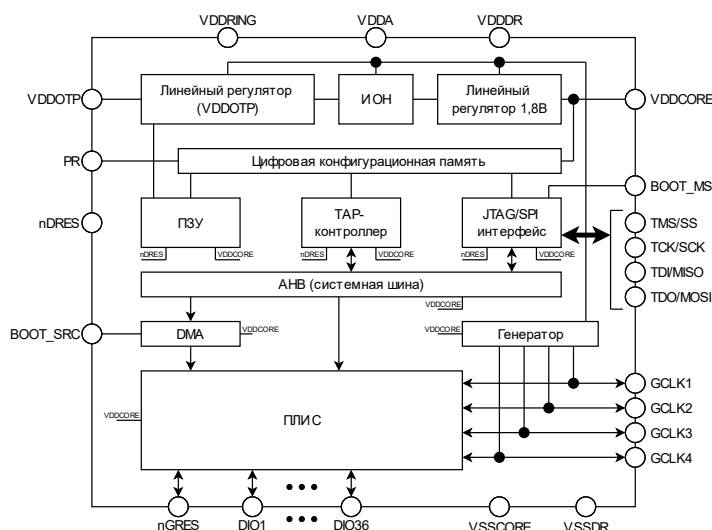


Рисунок 1. Структурная схема

Общее описание

Микросхема представляет собой программируемую логическую интегральную схему (ПЛИС) для реализации на стороне пользователя различных логических схем или схем управления.

Микросхема в своем составе содержит 1104 логических элементов. Каждый логический элемент состоит из трехходового LUT и D-триггера.

ПЛИС имеет три способа конфигурирования памяти:

- конфигурирование из внутренней ПЗУ (режим энергонезависимой памяти);
- запись данных из внешней Flash-памяти;
- конфигурирование с помощью программатора напрямую в ОЗУ или ПЗУ.

При конфигурировании ПЛИС из внутренней ПЗУ, используется DMA-контроллер (Direct Memory Access), который обеспечивает загрузку данных в ОЗУ.

ПЛИС содержит 36 программируемых пользовательских площадки ввода-вывода, а также 4 площадки ввода-вывода для глобальных тактовых сигналов.

Микросхема выполнена в 64-х выводном металлокерамическом корпусе МК 5153.64-3.

Электрические параметры микросхемы

Таблица 1. Электрические характеристики (температурный диапазон от – 60°C до +85°C)

| Параметр, единица измерения | Норма параметра | | |
|---|-----------------|---------|----------|
| | не менее | типовое | не более |
| Напряжение питания аналоговой части (VDDA), В | 3,15 | | 5,25 |
| Напряжение питания интерфейсной части (VDDDR), В | 1,71 | | 5,25 |
| Задержка переключения программируемого логического элемента, нс | | | 5,0 |
| Максимальная внешняя частота синхросигнала, МГц | | | |
| при VDDDR = 5,0 В | 15 | | |
| при VDDDR = 1,8 В | 8,0 | | |
| Частота внутреннего генератора, МГц | 9,7 | 10 | 10,3 |
| Статический ток потребления, мА | | | 30 |
| Выходное напряжение низкого уровня, В | | 0 | 0,4 |
| Выходное напряжение высокого уровня, В | VDDDR – 0,4 | VDDDR | |

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 1000 В по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

| Параметр, единица измерения | Предельно-допустимый режим | | Предельный режим | |
|--|----------------------------|---------------------------|------------------|----------|
| | не менее | не более | не менее | не более |
| Напряжение питания (VDDA), В | 3,15 | 5,25 | –0,3 | 5,5 |
| Напряжение питания интерфейсной части (VDDDR), В | 1,71 | 5,25 | –0,3 | 5,5 |
| Входное напряжение низкого уровня, В | –0,1 | 0,25xVDDDR | –0,3 | 5,5 |
| Входное напряжение высокого уровня, В | 0,75xVDDDR | VDDDR+0,25 ⁽¹⁾ | –0,3 | 5,5 |
| Ток нагрузки (DIO1–DIO36, GCLK1–GCLK4), мА | | | | |
| при VDDDR = 5,0 В | | 10 | – | 20,0 |
| при VDDDR = 3,3 В | | 6,0 | – | 20,0 |
| при VDDDR = 1,8 В | | 1,0 | – | 20,0 |
| Максимальная рассеиваемая мощность, Вт | – | 2,0 | – | 3,0 |
| Температура эксплуатации, °C | –60 | +85 | –60 | +125 |
| Примечание: 1) не более 5,25 В | | | | |

Конфигурация и функциональное описание выводов

Таблица 3. Функциональное описание выводов

| № вывода | Наименование вывода | Назначение вывода |
|----------|---------------------|--|
| 1 | DIO18 | Цифровой вход/выход 18 |
| 2 | DIO17 | Цифровой вход/выход 17 |
| 3 | DIO16 | Цифровой вход/выход 16 |
| 4 | DIO15 | Цифровой вход/выход 15 |
| 5 | DIO14 | Цифровой вход/выход 14 |
| 6 | DIO13 | Цифровой вход/выход 13 |
| 7 | DIO12 | Цифровой вход/выход 12 |
| 8 | DIO11 | Цифровой вход/выход 11 |
| 9 | DIO10 | Цифровой вход/выход 10 |
| 10 | DIO9 | Цифровой вход/выход 9 |
| 11 | DIO8 | Цифровой вход/выход 8 |
| 12 | DIO7 | Цифровой вход/выход 7 |
| 13 | DIO6 | Цифровой вход/выход 6 |
| 14 | VSSDR | Общий вывод питания интерфейсной части |
| 15 | VDDDR | Вывод напряжения питания интерфейсной части 1,8 В–5,0 В |
| 16 | GCLK4 | Вывод глобального тактового сигнала 4 |
| 17 | GCLK3 | Вывод глобального тактового сигнала 3 |
| 18 | VDDCORE | Вывод подключения шунтирующей емкости напряжения питания ядра 1,8 В |
| 19 | VSSCORE | Общий вывод питания ядра |
| 20 | DIO5 | Цифровой вход/выход 5 |
| 21 | DIO4 | Цифровой вход/выход 4 |
| 22 | DIO3 | Цифровой вход/выход 3 |
| 23 | DIO2 | Цифровой вход/выход 2 |
| 24 | DIO1 | Цифровой вход/выход 1 |
| 25 | BOOT_SRC | Вывод выбора источника аппаратной загрузки данных в ОЗУ лог. «1» – внешнее ПЗУ, лог. «0» – внутреннее ПЗУ |
| 26 | BOOT_MS | Вывод выбора режима программирования лог. «1» – SPI (Master), лог. «0» – JTAG (Slave) |
| 27 | TMS/SS | Входной сигнал управления TAP-контроллером интерфейса JTAG для программирования микросхемы/ Выходной разрешающий сигнал Slave Select (Chip Select) SPI-интерфейса для программирования микросхемы |
| 28 | TDI/MISO | Сигнал входных данных интерфейса JTAG для программирования микросхемы/ Входной сигнал передачи данных (Master Input Slave Output) SPI-интерфейса для программирования микросхемы |
| 29 | TCK/SCK | Входная тактовая частота интерфейса JTAG для программирования микросхемы/ Выходной тактовый сигнал SPI-интерфейса для программирования микросхемы |

| № вывода | Наименование вывода | Назначение вывода |
|----------|---------------------|--|
| 30 | TDO/MOSI | Выход последовательных данных интерфейса JTAG для программирования микросхемы/ Выходной сигнал передачи данных (Master Output Slave Input) SPI-интерфейса для программирования микросхемы |
| 31 | VDDOTP | Вывод подключения шунтирующей емкости напряжения питания ПЗУ |
| 32 | VSSCORE | Общий вывод питания ядра |
| 33 | PR | Вывод для программирования ПЗУ (9,0 В) |
| 34 | VDDA | Вывод напряжения питания аналоговой части 3,3 – 5,0 В |
| 35 | Tech1 | Технологический вывод |
| 36 | Tech2 | Технологический вывод (подключить к VSSDR) |
| 37 | VDDRING | Вывод напряжения питания ESD защиты |
| 38 | nGRES | Вывод глобального сброса ПЛИС. Активный уровень – лог. «0» |
| 39 | nDRES | Вывод глобального сброса цифровой части микросхемы. Активный уровень – лог. «0» |
| 40 | Tech3 | Технологический вывод (подключить к VSSDR) |
| 41 | DIO36 | Цифровой вход/выход 36 |
| 42 | DIO35 | Цифровой вход/выход 35 |
| 43 | DIO34 | Цифровой вход/выход 34 |
| 44 | DIO33 | Цифровой вход/выход 33 |
| 45 | DIO32 | Цифровой вход/выход 32 |
| 46 | VSSCORE | Общий вывод питания ядра |
| 47 | VDDCORE | Вывод подключения шунтирующей емкости напряжения питания ядра ПЛИС (1,8 В) |
| 48 | GCLK1 | Вывод глобального тактового сигнала 4 |
| 49 | GCLK2 | Вывод глобального тактового сигнала 3 |
| 50 | VDDDR | Вывод напряжения питания интерфейсной части 1,8 В–5,0 В. |
| 51 | VSSDR | Общий вывод питания интерфейсной части |
| 52 | DIO31 | Цифровой вход/выход 31 |
| 53 | DIO30 | Цифровой вход/выход 30 |
| 54 | DIO29 | Цифровой вход/выход 29 |
| 55 | DIO28 | Цифровой вход/выход 28 |
| 56 | DIO27 | Цифровой вход/выход 27 |
| 57 | DIO26 | Цифровой вход/выход 26 |
| 58 | DIO25 | Цифровой вход/выход 25 |
| 59 | DIO24 | Цифровой вход/выход 24 |
| 60 | DIO23 | Цифровой вход/выход 23 |
| 61 | DIO22 | Цифровой вход/выход 22 |
| 62 | DIO21 | Цифровой вход/выход 21 |
| 63 | DIO20 | Цифровой вход/выход 20 |
| 64 | DIO19 | Цифровой вход/выход 19 |

Рекомендуемая схема применения

Таблица 4. Таблица внешних компонентов

| Компонент | Номинал |
|-----------|---------|
| C1–C5 | 100 нФ |

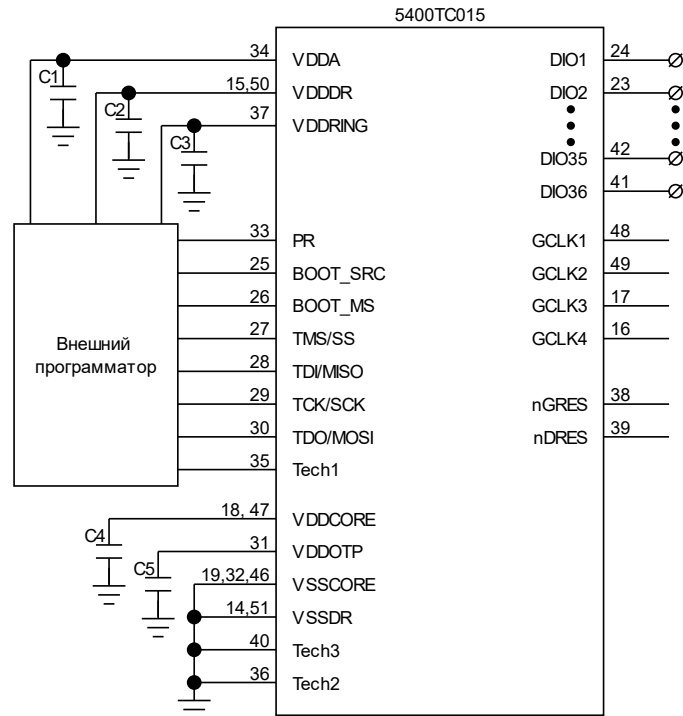


Рисунок 2. Рекомендуемая схема применения ПЛИС при использовании программатора

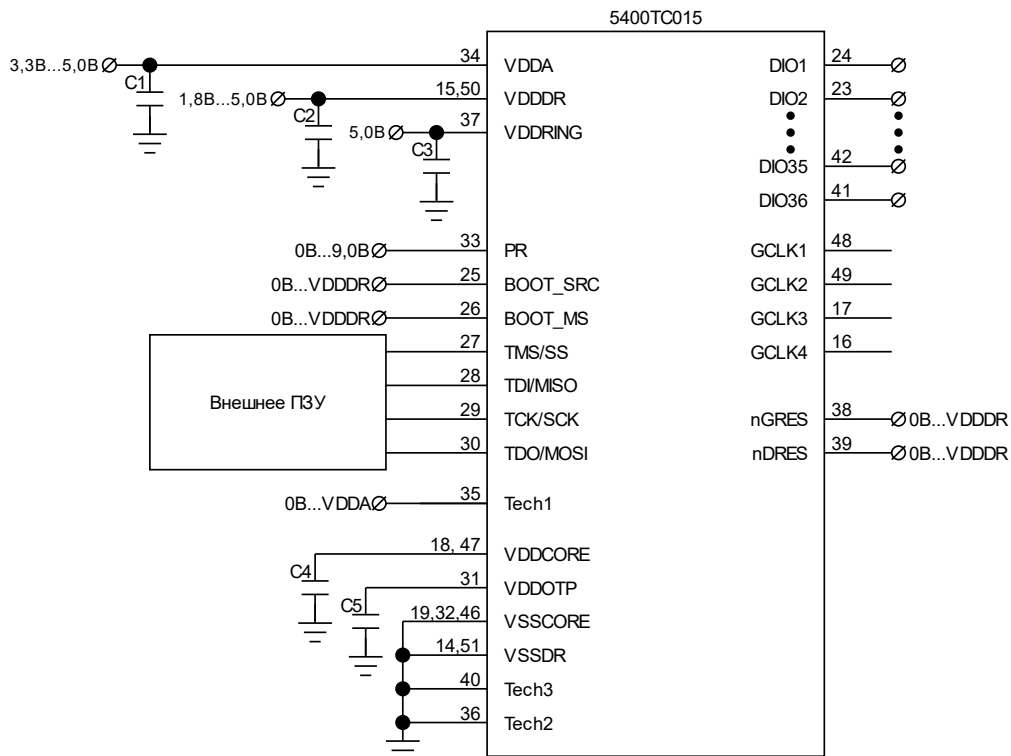


Рисунок 3. Рекомендуемая схема применения при использовании внешнего ПЗУ

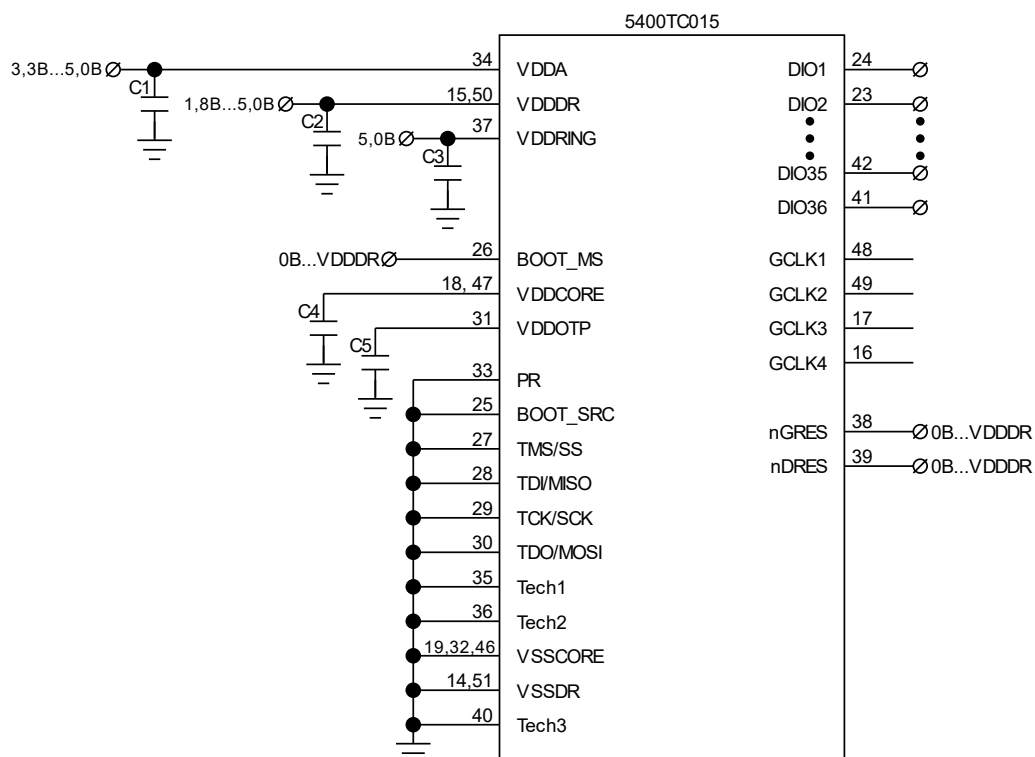


Рисунок 4. Рекомендуемая схема применения при использовании внутреннего ПЗУ (режим энергонезависимой памяти)

Описание функционирования микросхемы

Напряжение питания микросхемы от 3,3 В до 5,0 В. Напряжение питания ядра микросхемы (VDDCORE) и встроенного ПЗУ (VDDOTP) формируется с помощью внутреннего линейного регулятора. Напряжение питания VDDDR от 1,8 В до 5,0 В задает высокий логический уровень по пользовательским выводам.

Встроенный RC-генератор с частотой 10 МГц позволяет тактировать внутренние цифровые интерфейсы, а также его можно использовать в качестве тактового сигнала для ПЛИС. Выход RC-генератора можно коммутировать на внешние выводы GCLK1-GCLK4.

Формат программы для ПЛИС

Образ программы, прошиваемый в ПЛИС, имеет два формата представления: сжатый и несжатый. Несжатый формат содержит 676 x 678 + 8 + 9 бит данных, записываемых в ПЛИС непрерывным потоком напрямую в ОЗУ, и позволяет работать только в энергозависимом режиме.

Примечание: 8 дополнительных бит содержат настройку системы тактирования; 9 дополнительных бит содержат настройку статически конфигурируемых выводов.

Размер несжатого образа не позволяет записать его во внутреннее ПЗУ микросхемы. Сжатый образ формируется из несжатого и позволяет сконфигурировать внутреннее ПЗУ для работы в энергонезависимом режиме. Программирование ПЗУ может производиться только сжатым образом.

Режимы программирования ПЛИС

Программирование через интерфейс JTAG:

- Запись во внутреннее ПЗУ сжатого образа;
- Запись в ОЗУ несжатого образа.

Программирование через интерфейс SPI. В данном режиме микросхема переходит к загрузке пользовательской конфигурации после подачи питания и выхода из сброса:

- Чтение из внешней SPI-совместимой Flash-памяти (1636PP4У) несжатого образа;
- Чтение из внешней SPI-совместимой Flash-памяти (1636PP4У) сжатого образа.

SPI интерфейс

При программировании по интерфейсу SPI микросхема считается «ведущим» устройством, которая по линии MOSI посылает код инструкции «ведомому» устройству, а также адресные биты. Ответ на команды управления должны приходить по линии MISO в текущем пакете данных объемом в 1 байт.

Режим работы SPI интерфейса master, MSB first, CPOL=0, CPHA= 0. Для выбора режима программирования ПЛИС по интерфейсу SPI необходимо установить на выводах BOOT_SRC и BOOT_MS высокий логический уровень.

Интерфейсные сигналы управления и частоту обеспечивает микросхема ПЛИС.

ПЛИС ориентирована на работу с микросхемой Flash-памяти 1636PP4У.

Таблица 5. Команды SPI-интерфейса

| Команда | Код команды |
|--|---------------|
| Чтение массива данных из внешнего устройства | 03h 0000 0011 |

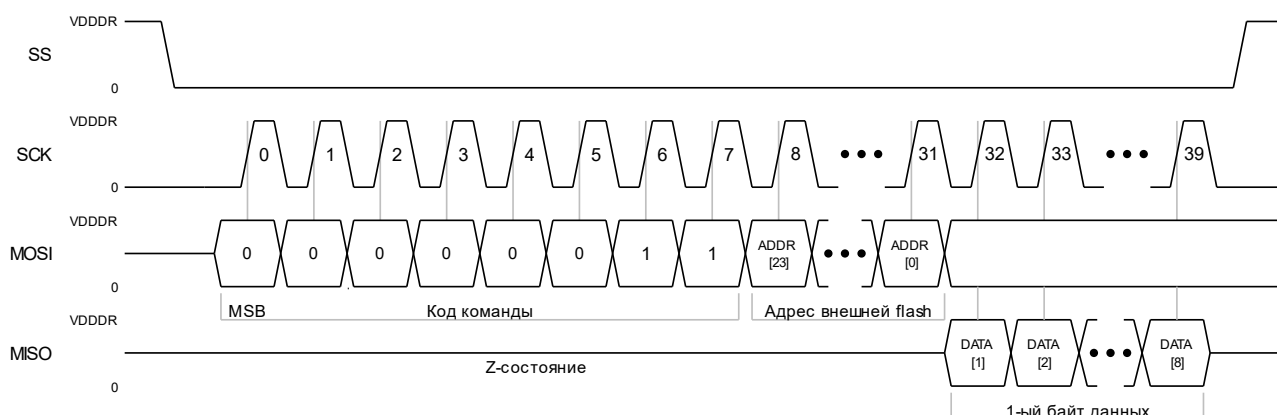


Рисунок 5. Временная диаграмма чтения данных из внешней flash-памяти

Создание проектов

Проектирование «зашивки» для ПЛИС осуществляется Verilog-описанием с последующим синтезом с помощью программного обеспечения Yosys. Программирование «зашивок» в ОЗУ и ПЗУ производится программатором через интерфейс JTAG.

Блок ПЛИС

ПЛИС представляет из себя матричную структуру и состоит из следующих основных блоков:

- Блок конфигурируемый логический;
- Блок коммутации;
- Блок переключения;
- Матрица ячеек памяти.

Структурная схема ПЛИС изображена на рисунке 6.

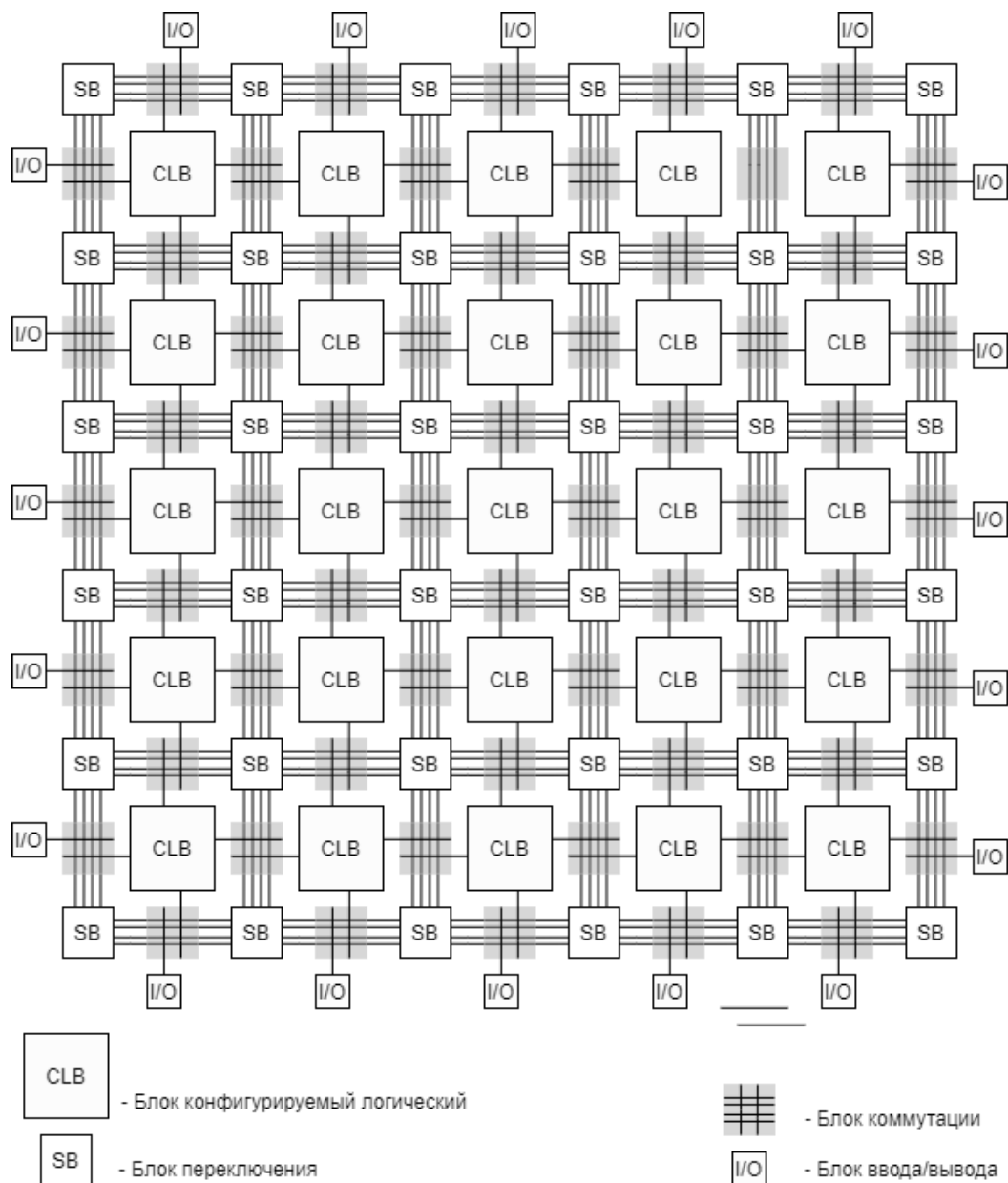


Рисунок 6. Структурная схема ПЛИС

Блок переключений

Блок переключений (SB) состоит из 7-ми сложных ключей. Структурная схема блока SB изображена на рисунке 8.

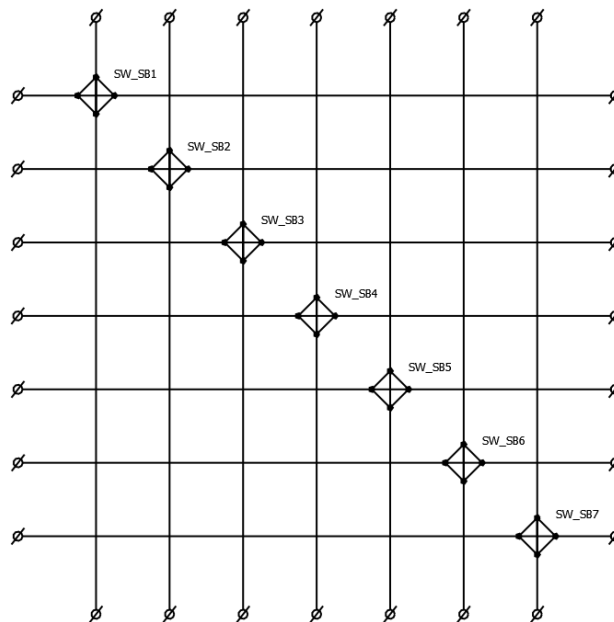


Рисунок 8. Структурная схема блока переключений

Каждый ключ (SW_SB) блока SB имеет возможность коммутировать сигнал в любом направлении, а также мультиплексировать сигнал.

Блок коммутации

Блок коммутации (CB) состоит из матрицы аналоговых ключей 9x9. Ключи позволяют коммутировать сигналы между входами и выходами соседних логических блоков, а также соединять перенаправлять сигналы на блок SB и на две глобальные шины. Структурная схема блока представлена на рисунке 9.

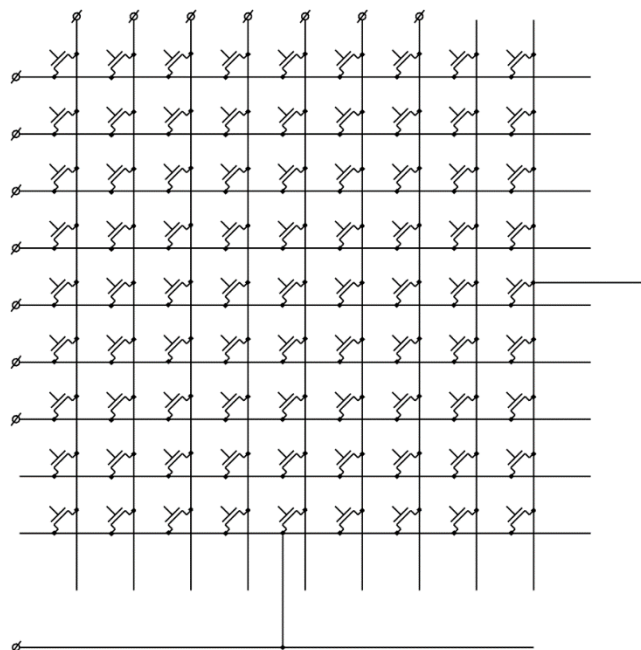


Рисунок 9. Структурная схема блока коммутации

Ключ блока коммутации CB представляет собой простейший КМОП-ключ.

Цифровые пользовательские площадки ввода/вывода DIO и GCLK

Цифровые пользовательские площадки ввода/вывода DIO и GCLK типа GPIO позволяют пользователю конфигурировать направление сигнала, а также задавать высокий логический уровень с помощью внешне подключаемого питания VDDDR. В структуре ПЛИС имеются 36 пользовательских площадок ввод/вывода и 4 пользовательские площадки ввода/вывода тактовой частоты.

Конфигурация направлений пользовательских площадок ввода/вывода может быть как статической, так и динамической. Динамические выводы могут менять направление сигнала в процессе отладки или работы пользовательской конфигурации ПЛИС. Статические – конфигурируются из внутренних регистров и не имеют возможности менять направление. Однако динамические площадки также могут работать статично при соответствующей пользовательской конфигурации.

Динамические пользовательские площадки ввода/вывода:

DIO2, DIO3, DIO4, DIO6, DIO7, DIO8, DIO10, DIO11, DIO12, DIO14, DIO15, DIO16, DIO18, DIO19, DIO20, DIO22, DIO23, DIO24, DIO26, DIO27, DIO28, DIO30, DIO31, DIO32, DIO34, DIO35, DIO36.

Статические пользовательские площадки ввода/вывода:

DIO1, DIO5, DIO9, DIO13, DIO17, DIO21, DIO25, DIO29, DIO33.

