

Основные особенности

- Программирование на стороне пользователя;
- 2 режима работы:
 - режим отладки;
 - режим финальной конфигурации;
- Напряжение питания 5,0 В;
- ПЛИС емкостью 1800 логических элементов (LUT+trigger);
- Встроенный SPI интерфейс;
- 14 усилительных блоков;
- 12 блоков пассивных компонентов;
- 8 блоков свободной конфигурации;
- 4 блока на переключаемых конденсаторах;
- 4 аналоговых мультиплектора;
- 2 АЦП;
- 2 ЦАП;
- 2 драйвера силового ключа;
- Линейные регуляторы напряжения;
- Встроенный опорный уровень;
- Технология изготовления КМОП КНИ;
- Температурный диапазон от -60°C до $+85^{\circ}\text{C}$;
- Стойкость к СВВФ.

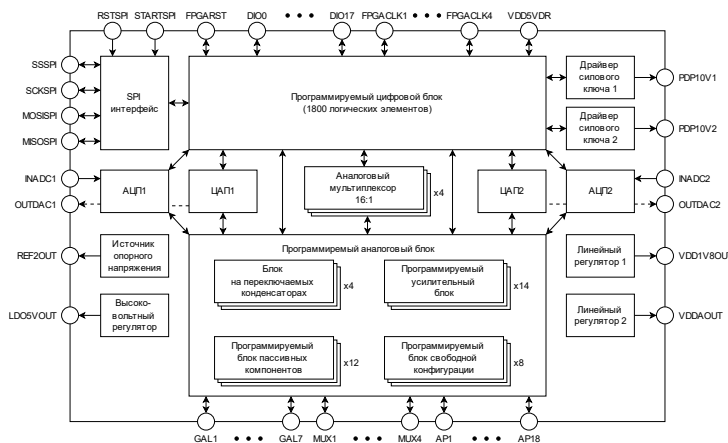


Рисунок 1. Структурная схема

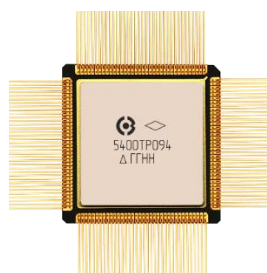


Рисунок 2. Внешний вид микросхемы 5400TP094

ГГ – год выпуска
НН – неделя выпуска

Общее описание

Микросхема 5400TP094 предназначена для реализации аналоговых и аналого-цифровых интегральных схем путем электрического программирования коммутации между встроенными блоками. Программирование проводится на стороне пользователя.

Микросхема имеет два режима работы:

- режим отладки с возможностью многократного перепрограммирования (режим «SOFT»);
- режим финальной конфигурации с записью в энергонезависимую память (режим «HARD»).

Микросхема 5400TP094 состоит из 3 основных частей: программируемая цифровая часть, аналого-цифровой интерфейс и программируемая аналоговая часть.

Программируемая цифровая часть содержит логические элементы и универсальный SPI-интерфейс. Проектирование цифровых схем осуществляется на языке Verilog или с помощью элементов (2И-НЕ, 2ИЛИ-НЕ, триггер и т.д.) из встроенной библиотеки.

Общая емкость ПЛИС – 1800 логических элементов (трехвходовой LUT и D-триггера).

Аналого-цифровой интерфейс обеспечивает взаимосвязь аналоговой и цифровой части микросхемы. В своем составе имеет 2 АЦП разрядностью до 14 бит, 2 ЦАП разрядностью до 14 бит и 4 аналоговых мультиплектора.

Программируемая аналоговая часть состоит из 14 программируемых усилительных блоков, 4 схем на переключаемых конденсаторах, 12 блоков пассивных компонентов и 8 модулей свободной конфигурации для проектирования узлов с произвольной электрической схемой на уровне отдельных транзисторов, резисторов и конденсаторов.

Дополнительно в микросхеме реализованы 2 драйвера силовых ключа, набор линейных регуляторов с различным выходным напряжением. В состав микросхемы входит источник опорного напряжения с выходным напряжением 1,0 В. Для связи ядра микросхемы с контактными площадками реализованы 18 блоков аналогового ввода/вывода (AP1 – AP18), 18 блоков цифрового ввода/вывода (DIO0 – DIO17), 2 высоковольтные выходные площадки (HVOUT1, HVOUT2), 8 глобальных шин аналоговой части (GAL1 – GAL8) и 4 глобальных тактовых сигнала цифровой части (FPGACLK1 – FPGACLK4). Каждая часть имеет выделенные шины положительного и отрицательного питания.

Микросхема поставляется в 144-х выводном металлокерамическом корпусе МК 4248.144-1.

Электрические параметры микросхемы

Таблица 1. Электрические характеристики (температурный диапазон от – 60 до +85°C)

Параметр, единица измерения	Норма параметра		
	не менее	типичное	не более
Программируемый цифровой блок			
Тактовая частота, МГц			5,0
Напряжение питания, В	1,62	1,8	1,98
Задержка переключения логического блока, нс		2,3	5,0
Программируемый усилительный блок			
Коэффициент усиления, дБ	60	100	
Напряжение смещения, мВ	–20	±1,5	20
Задержка переключения компаратора, мкс		0,2	0,5
Входной ток, нА		0,1	10
Диапазон входного напряжения, В	0,75		3,0
Диапазон выходного напряжения, В	0		5,0
Входное сопротивление, МОм	1000		
Частота единичного усиления, МГц		2,0	
Скорость нарастания выходного напряжения, В/мкс		2,0	
Программируемый блок пассивных компонентов			
Сопротивление резисторов, кОм	350	400	450
Напряжение открытия ключа, В	4,4	5,0	
Напряжение закрытия ключа, В		0	0,4
Цифро-аналоговый преобразователь			
Разрешающая способность, бит	14		
Время преобразования, мкс			0,2
Дифференциальная нелинейность, МЗР	–1,0		1,0
Интегральная нелинейность, МЗР	–5,0		5,0
Диапазон выходного напряжения, В	0		2,5
Диапазон напряжения верхнего опорного уровня ЦАП, В	0		2,5

Аналого-цифровой преобразователь			
Разрешающая способность, бит	14		
Частота дискретизации, МВыб/с			1,0
Дифференциальная нелинейность, МЗР	-1,0		1,0
Интегральная нелинейность, МЗР	-5,0		5,0
Диапазон входного напряжения, В	0		2,5
Диапазон напряжения верхнего опорного уровня ЦАП, В	0		2,5
Аналоговый мультиплексор			
Сопротивление открытого канала, Ом			500
Диапазон коммутируемого напряжения, В	0		5,0
Блок цифрового ввода-вывода (выводы DIO0...DIO17)			
Входное напряжение высокого уровня, В	1,8		5,0
Входное напряжение низкого уровня, В		0	0,4
Нагрузочная способность, мА	5,0		300
Блок аналогового ввода-вывода (выводы AP1...AP18)			
Выходное напряжение высокого уровня (для цифровых сигналов), В	4,4	5,0	
Выходное напряжение низкого уровня (для цифровых сигналов), В		0	0,4
Нагрузочная способность аналогового буфера, мА		20	25
Высоковольтные выходные площадки (выводы HVOUT1, HVOUT2)			
Диапазон входного/выходного напряжения, В	0		9,0
Нагрузочная способность буфера, мА			300
Источник опорного напряжения			
Выходное напряжение, В	0,97	1,0	1,03
Температурный дрейф выходного напряжения, ppm/°C		100	
Линейный регулятор 1			
Диапазон входного сигнала, В		5,5	
Выходное напряжение (вывод VDD1V8OUT), В	1,7	1,8	1,9
Нагрузочная способность, мА			300
Линейный регулятор 2			
Диапазон входного сигнала, В		5,5	
Выходное напряжение (вывод VDDAOUT), В	4,75	5,0	5,25
Нагрузочная способность, мА			300
Высоковольтный линейный регулятор			
Диапазон входного сигнала, В	6,0		9,0
Выходное напряжение (вывод LDO5VOUT), В	5,0	5,5	6,0
Нагрузочная способность, мА			
Драйвер силового ключа			
Нагрузочная способность, мА		200	
Выходное напряжение, В		9,0	10

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 1000 В по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

Параметр, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение питания микросхемы, В	3,15	5,5	-0,3	5,8
Входное напряжение низкого уровня для цифровых сигналов, В	-0,3	1,0	VSSA - 0,5	-
Входное напряжение высокого уровня для цифровых сигналов, В	1,6	5,0	-	VDDA+0,5
Входное напряжение аналоговых сигналов, В	VSSA	VDDA	VSSA - 0,5	VDDA+0,3
Температура среды, °C	-60	+85	-60	+125

Конфигурация и функциональное описание выводов

Таблица 3. Функциональное описание выводов

№ вывода	Наименование вывода	Назначение вывода
1	VSSA	Общий вывод аналоговой части
2	AP7	Аналоговая площадка ввода-вывода 7
3	REF2OUT	Выход ИОН 2,0 В
4	GAL1	Глобальная шина 1 аналоговой части
5	AP8	Аналоговая площадка ввода-вывода 8
6	GAL2	Глобальная шина 2 аналоговой части
7	VDD1V8OUT	Выход регулятора напряжения 1,8 В
8	VDDAEXT	Вход встроенных регуляторов напряжения
9	VDDAOUT	Выход регулятора напряжения 5,0 В
10	VDDA	Вывод питания аналоговой части
11	AP9	Аналоговая площадка ввода-вывода 9
12	GAL3	Глобальная шина 3 аналоговой части
13	GAL4	Глобальная шина 4 аналоговой части
14	REFPSW	Вывод верхнего опорного напряжения блоков на ПК
15	VDDASW	Вывод питания блоков на ПК
16	VSSA	Общий вывод аналоговой части
17	HVOUT1	Высоковольтный аналоговый выход 1
18	V10VA	Вход напряжения питания 10 В
19	LDO5VOUT	Выход высоковольтного регулятора напряжения 5,0 В
20	HVOUT2	Высоковольтный аналоговый выход 2
21	VSSA	Общий вывод аналоговой части
22	VSSASW	Общий вывод питания блоков на ПК
23	REFNSW	Вывод нижнего опорного напряжения блоков на ПК

№ вывода	Наименование вывода	Назначение вывода
24	CMLSW	Вывод средней точки опорного напряжения блоков на ПК
25	GAL5	Глобальная шина 5 аналоговой части
26	AP10	Аналоговая площадка ввода-вывода 10
27	GAL6	Глобальная шина 6 аналоговой части
28	VDDA	Вывод питания аналоговой части
29	INTHV1	Вход 1 высоковольтного аналогового драйвера
30	INTHV2	Вход 2 высоковольтного аналогового драйвера
31	GAL7	Глобальная шина 7 аналоговой части
32	AP11	Аналоговая площадка ввода-вывода 11
33	GAL8	Глобальная шина 8 аналоговой части
34	VBA	Вывод установки тока считывания памяти аналоговой части
35	AP12	Аналоговая площадка ввода-вывода 12
36	VSSA	Общий вывод аналоговой части
37	VDDOTPA	Вывод напряжения питания ячейки памяти аналоговой части
38	AP13	Аналоговая площадка ввода-вывода 13
39	SFTA	Вывод установки режима программирования через ОЗУ аналоговой части
40	AP14	Аналоговая площадка ввода-вывода 14
41	AP15	Аналоговая площадка ввода-вывода 15
42	VDDA	Вывод питания аналоговой части
43	VSSA	Общий вывод аналоговой части
44	PRA	Вывод для программирования ПЗУ аналоговой части
45	AP16	Аналоговая площадка ввода-вывода 16
46	MUX4	Выход аналогового мультиплексора 4
47	MUX3	Выход аналогового мультиплексора 3
48	INADC2	Вход АЦП 2
49	AP17	Аналоговая площадка ввода-вывода 17
50	AP18	Аналоговая площадка ввода-вывода 18
51	OUTDAC2	Выход ЦАП 2
52	VRPDAC2	Верхнее опорное напряжение ЦАП 2
53	VRPADC2	Верхнее опорное напряжения АЦП 2
54	VRMADC2	Нижнее опорное напряжения АЦП 2
55	VRMDAC2	Нижнее опорное напряжение ЦАП 2
56	VSSAD	Общий вывод питания смешанной части
57	VDDAD	Вывод питания смешанной части
58	CLKSW	Вход опорной тактовой частоты на ПК
59	VBD	Вывод установки тока считывания памяти цифровой части
60	vdd	Вывод питания цифровой части
61	gnd	Общий вывод цифровой части
62	gnd	Общий вывод цифровой части
63	PDP10V2	Выход 2 драйвера силового ключа
64	VDD10VDP	Вывод питания драйвера силового ключа
65	VDD10VDP	Вывод питания драйвера силового ключа

№ вывода	Наименование вывода	Назначение вывода
66	PDP10V1	Выход 1 драйвера силового ключа
67	gnd	Общий вывод цифровой части
68	VDD5VDR	Вывод питания буферов цифровой части
69	SSSPI	Сигнал Slave Select (Chip Select) SPI блок в режиме ведущего – выходной, в режиме ведомого – входной
70	SCKSPI	Тактовый сигнал общения ведущего и ведомого для SPI, в режиме ведущего – выходной, в режиме ведомого – входной
71	MOSISPI	Master output Slave input (SPI), в режиме ведущего – выходной, в режиме ведомого – входной
72	MISOSPI	Master input Slave output (SPI), в режиме ведущего – входной, в режиме ведомого – выходной
73	RSTSPI	Вход сброса SPI-интерфейса
74	STARTSPI	Start SPI в режиме Master
75	CLKEXTSPI	Тактовый сигнал для блока SPI (возможно внешнее подключение к тактовому сигналу ПЛИС)
76	FPGACLK4	Глобальный тактовый сигнал 4 ПЛИС
77	FPGACLK3	Глобальный тактовый сигнал 3 ПЛИС
78	vdd	Вывод питания цифровой части
79	PRD	Вывод для программирования ПЗУ цифровой части
80	gnd	Общий вывод цифровой части
81	DIO17	Цифровой вход/выход 17
82	DIO16	Цифровой вход/выход 16
83	DIO15	Цифровой вход/выход 15
84	DIO14	Цифровой вход/выход 14
85	DIO13	Цифровой вход/выход 13
86	DIO12	Цифровой вход/выход 12
87	DIO11	Цифровой вход/выход 11
88	DIO10	Цифровой вход/выход 10
89	DIO9	Цифровой вход/выход 9
90	VDD5VDR	Вывод питания буферов цифровой части
91	VDDOTP	Вывод напряжения питания ячейки памяти цифровой части
92	SFTD	Вход установки режима программирования через ОЗУ цифровой части
93	HRDD	Вход напряжения считывания ПЗУ цифровой части
94	DIO8	Цифровой вход/выход 8
95	DIO7	Цифровой вход/выход 7
96	DIO6	Цифровой вход/выход 6
97	DIO5	Цифровой вход/выход 5
98	DIO4	Цифровой вход/выход 4
99	DIO3	Цифровой вход/выход 3
100	DIO2	Цифровой вход/выход 2
101	DIO1	Цифровой вход/выход 1
102	DIO0	Цифровой вход/выход 0
103	gnd	Общий вывод цифровой части

№ вывода	Наименование вывода	Назначение вывода
104	PRD	Вывод для программирования ПЗУ цифровой части
105	vdd	Вывод питания цифровой части
106	FPGACLK2	Глобальный тактовый сигнал 2 ПЛИС
107	FPGACLK1	Глобальный тактовый сигнал 1 ПЛИС
108	FPGARST	Вход сброса ПЛИС
109	C1FPGA	Тактовый сигнал 1 программирования ПЛИС
110	C2FPGA	Тактовый сигнал 2 программирования ПЛИС
111	DINFPGA	Вход данных программирования ПЛИС
112	ENFPGA	Вход разрешения записи/считывания при программировании ПЛИС
113	READFPGA	Вход разрешения считывания ПЗУ ПЛИС
114	DOUTFPGA	Выход данных считывания ПЗУ ПЛИС
115	DOUTG	Выход данных считывания ПЗУ
116	C1G	Тактовый сигнал 1 программирования
117	C2G	Тактовый сигнал 2 программирования
118	DING	Вход данных программирования
119	ENG	Вход разрешения записи/считывания при программировании
120	READG	Вход разрешения считывания ПЗУ
121	DOUTU	Выход данных считывания ПЗУ пользовательской информации
122	gnd	Общий вывод цифровой части
123	vdd	Вывод питания цифровой части
124	VDDAD	Вывод питания смешанной части
125	VSSAD	Общий вывод питания смешанной части
126	VRMDAC1	Нижнее опорное напряжение ЦАП 1
127	VRMADC1	Нижнее опорное напряжения АЦП 1
128	VRPADC1	Верхнее опорное напряжения АЦП 1
129	VRPDAC1	Верхнее опорное напряжение ЦАП 1
130	OUTDAC1	Выход ЦАП 1
131	AP1	Аналоговая площадка ввода-вывода 1
132	AP2	Аналоговая площадка ввода-вывода 2
133	INADC1	Вход АЦП 1
134	MUX1	Выход аналогового мультиплексора 1
135	MUX2	Выход аналогового мультиплексора 2
136	AP3	Аналоговая площадка ввода-вывода 3
137	PRA	Вывод для программирования ПЗУ аналоговой части
138	VSSA	Общий вывод аналоговой части
139	VDDA	Вывод питания аналоговой части
140	AP4	Аналоговая площадка ввода-вывода 4
141	AP5	Аналоговая площадка ввода-вывода 5
142	HRDA	Вывод напряжения считывания ПЗУ аналоговой части
143	AP6	Аналоговая площадка ввода-вывода 6
144	VDDOTPA	Вывод напряжения питания ячейки памяти аналоговой части

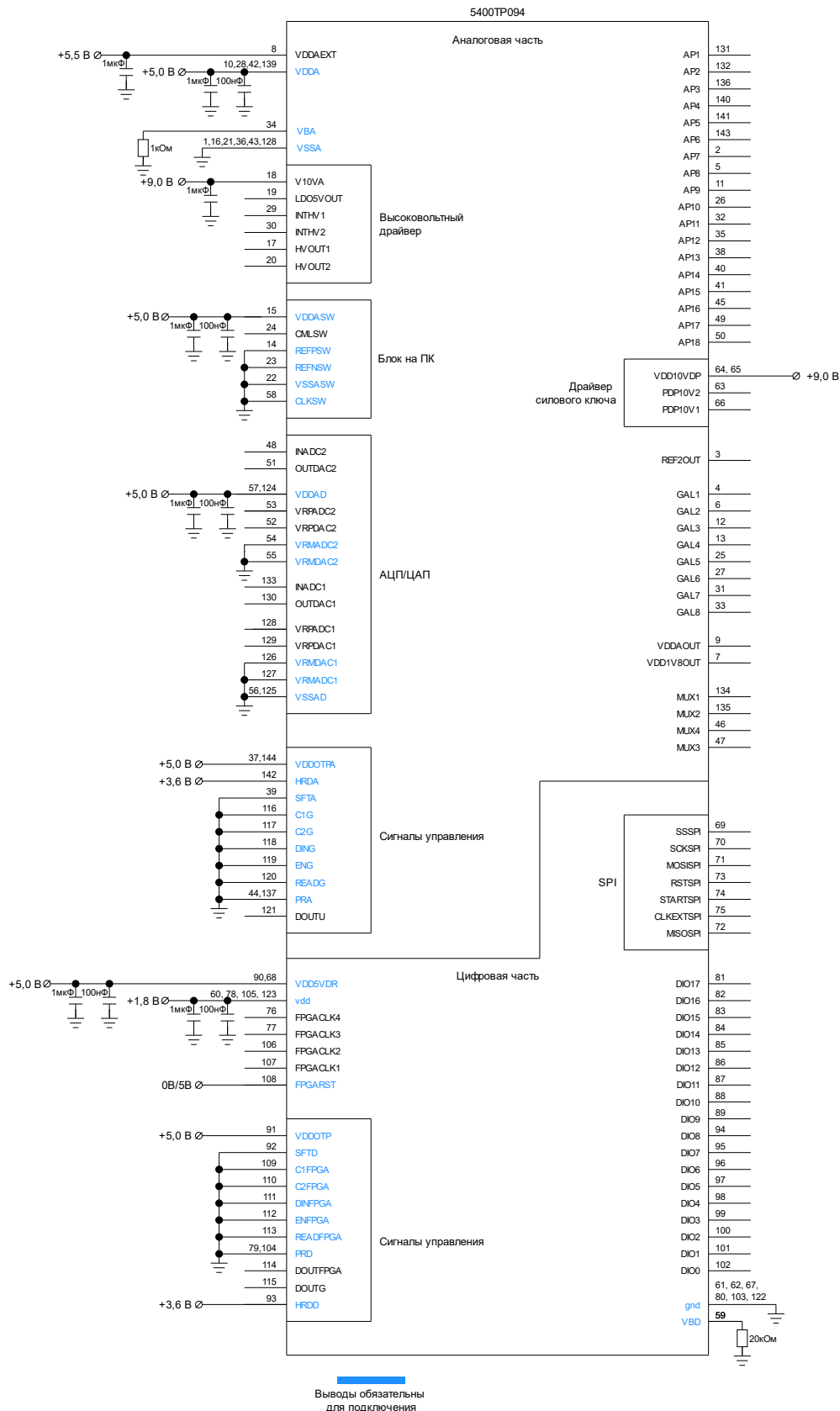


Рисунок 4. Рекомендуемая схема подключения в режиме «HARD» без использования отладочного комплекта

Примечание: при отсутствии АЦП, ЦАП, блока на ПК, высоковольтного драйвера и драйвера силового ключа в финальной конфигурации микросхемы, выводы питания данных блоков (выводы V10VA, VDDASW, VDDAD, VDD10VDP) необходимо оставить без подключения. При включении микросхемы в режиме «HARD» вывод CMLSW (24) рекомендуется оставить в обрыве.

Описание функционирования микросхемы

Микросхема 5400TP094 предназначена для реализации аналоговых и аналого-цифровых интегральных схем путем электрического программирования коммутации между встроенными блоками на стороне пользователя.

Микросхема состоит из 3 основных частей: программируемая цифровая часть, аналого-цифровой интерфейс и программируемая аналоговая часть.

Программируемая цифровая часть

Программируемая цифровая часть состоит из программируемого цифрового блока и универсального последовательного (SPI) интерфейса.

Программируемый цифровой блок (ПЛИС) предназначен для реализации цифровых схем путем электрического программирования на стороне пользователя.

Состав программируемого цифрового блока:

- логические блоки, реализующие логические функции;
- трассировка, осуществляющая коммутацию внутри ПЛИС;
- блоки ввода/вывода.

Программируемые логические блоки (ПЛБ) размещены в регулярной структуре. Между блоками проложены шины программируемой межблочной трассировки. В узлах шин трассировки расположены блоки переключений (БП) и блоки соединений (БС). Блоки ввода/вывода (БВВ) расположены по периферии кристалла: обеспечивают связь блока с контактными площадками микросхемы и с аналоговой частью микросхемы.

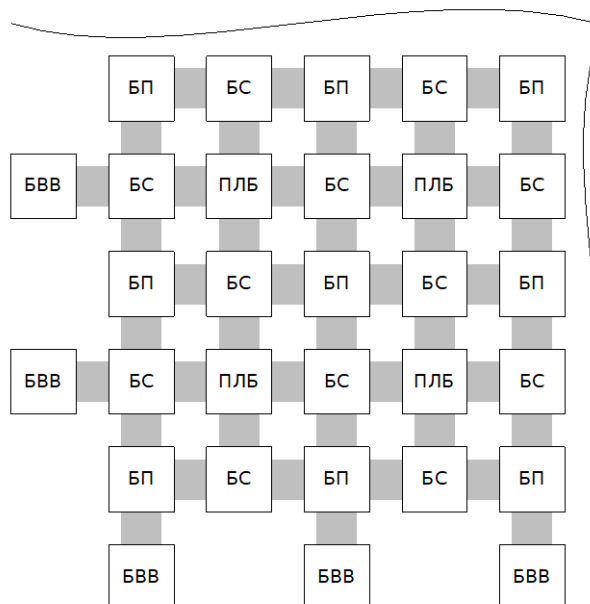


Рисунок 5. Фрагмент архитектуры программируемого цифрового блока

Программируемый логический блок состоит из двух связанных логических элементов (ЛЭ). Логический элемент состоит из трехходового LUT и D-триггера и позволяет реализовать любую логическую функцию трех переменных. Общая емкость ПЛИС – 1800 логических элементов.

Проектирование цифровых схем осуществляется на языке Verilog или с помощью элементов (2И-НЕ, 2ИЛИ-НЕ, триггер и т.д.) из встроенной библиотеки.

Последовательный периферийный интерфейс (ППИ) позволяет коммутировать ПЛИС с другими устройствами через SPI стандарт. Разработанный интерфейс коммутируется с ПЛИС через 16 битные шины DIN<15:0> и DOUT<15:0>.

Таблица 4. Назначение выводов последовательного интерфейса

Наименование вывода	Назначение вывода
SSSPI	Сигнал Slave Select (Chip Select) SPI блока (в режиме Master – выход, в режиме Slave – вход)
SCKSPI	Тактовый сигнал общения Master и Slave для SPI (в режиме Master – выход, в режиме Slave – вход)
MOSISPI	Master output Slave input (SPI) (в режиме Master – выход, в режиме Slave – вход)
MISOSPI	Master input Slave output (SPI) (в режиме Master – вход, в режиме Slave – выход)
STARTSPI	START (входной сигнал для SPI в режиме Master)
CLKEXTSPI	Тактовый сигнал для блока SPI
RSTSPI	Вход сброса SPI-интерфейса
DIN<15:0>	Шина коммутации с ПЛИС
DOUT<15:0>	Шина коммутации с ПЛИС

Особенности работы последовательного интерфейса:

- может работать как ведущий (Master), так и ведомый (Slave);
- работает во всех четырех стандартных режимах;

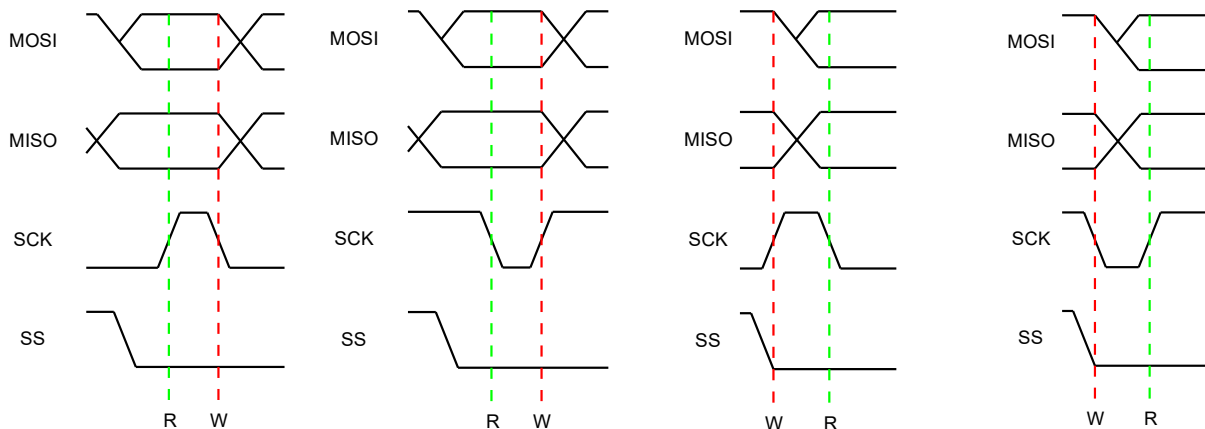


Рисунок 6. Режимы работы SPI интерфейса

- возможность выбора разрядности интерфейса 8 бит/16 бит;
- в режиме работы ведущий (Master) возможность выбора частоты сигнала SCK (CLK/2, CLK/4 и CLK/8);
- тактовый сигнал CLK можно подавать на один из 4 глобальных тактовых сигналов ПЛИС (выводы микросхемы FPGACLK1 – FPGACLK4) или задавать внешне (вывод микросхемы CLKEXTSPI);
- сигнал сброса можно подавать на вывод глобального сброса ПЛИС (вывод микросхемы FPGARST) или задавать внешне (вывод микросхемы RSTSPI).

Аналого-цифровой интерфейс

Аналого-цифровой интерфейс обеспечивает взаимосвязь аналоговой и цифровой части микросхемы. В своем составе имеет 2 АЦП разрядностью до 14 бит, 2 ЦАП разрядностью до 14 бит и 4 аналоговых мультиплексора 16:1.

В микросхеме реализовано 4 аналоговых мультиплексора 16:1. Управление осуществляется через ПЛИС.

Таблица 5. Таблица истинности мультиплексора 16:1

a	b	c	d	Открытый канал
0	0	0	0	IN1
0	0	0	1	IN2
0	0	1	0	IN3
0	0	1	1	IN4
0	1	0	0	IN5
0	1	0	1	IN6
0	1	1	0	IN7
0	1	1	1	IN8
1	0	0	0	IN9
1	0	0	1	IN10
1	0	1	0	IN11
1	0	1	1	IN12
1	1	0	0	IN13
1	1	0	1	IN14
1	1	1	0	IN15
1	1	1	1	IN16

Входные сигналы АЦП (выводы микросхемы INADC1 и INADC2) и выходные сигналы ЦАП (выводы микросхемы OUTDAC1 и OUTDAC2) выведены на внешние аналоговые контактные площадки, что повышает универсальность микросхемы.

Блок ЦАП имеет R-2R архитектуру с сегментированием старших разрядов. В схеме исключен регистр защелки данных для повышения универсальности блока ЦАП. Загрузка данных осуществляется либо через последовательный (SPI) интерфейс, либо параллельно через ПЛИС.

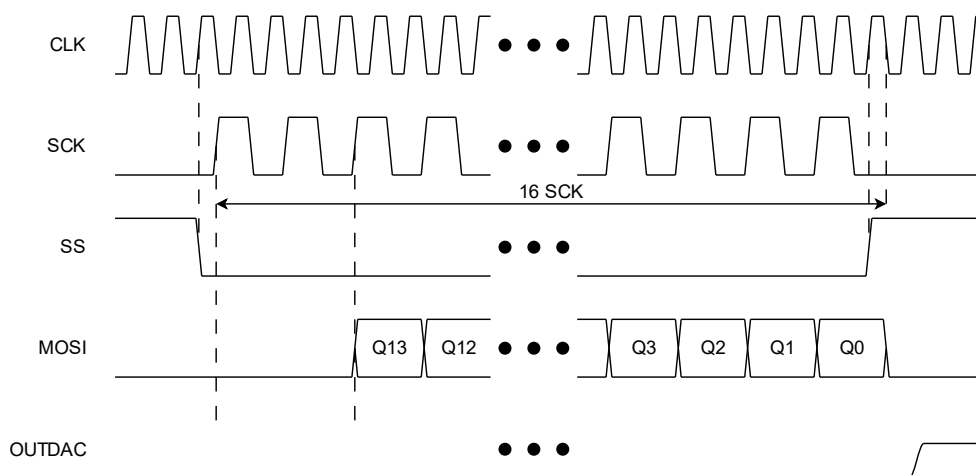


Рисунок 7. Временная диаграмма работы ЦАП через последовательный интерфейс

Таблица 6. Формат данных ЦАП

Входной код	Выходное напряжение
11 1111 1111 1111	+Vref
01 1111 1111 1111	+Vref/2
00 0000 0000 0000	0

На основе блока ЦАП построен АЦП последовательного приближения путем подключения регистра последовательного приближения и компаратора со встроенным пассивным УВХ. Вывод данных осуществляется либо через последовательный (SPI) интерфейс, либо параллельно через ПЛИС.

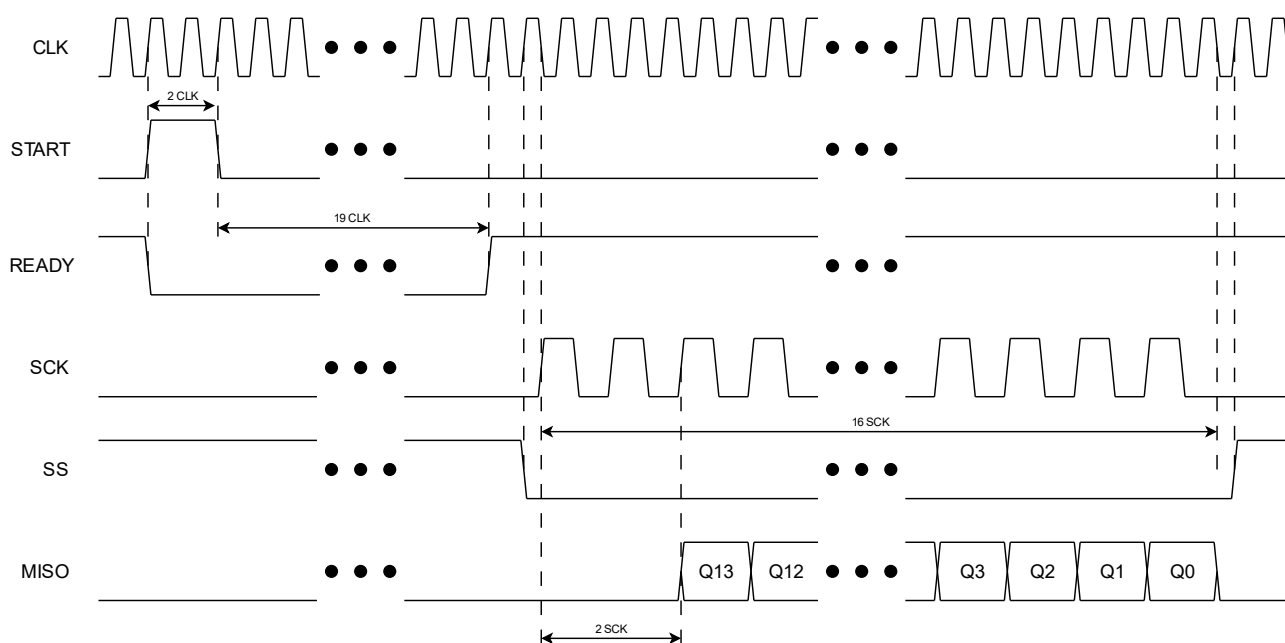


Рисунок 8. Временная диаграмма работы АЦП через последовательный интерфейс

Сигналы START и READY формируются через ПЛИС.

Таблица 7. Формат выходных данных АЦП

Входное напряжение	Выходной код
+Vref	11 1111 1111 1111
+Vref/2	01 1111 1111 1111
0	00 0000 0000 0000

Программируемая аналоговая часть

Программируемая аналоговая часть состоит из программируемых усилительных блоков, схем на переключаемых конденсаторах, блоков пассивных компонентов и модулей свободной конфигурации для проектирования узлов с произвольной электрической схемой на уровне отдельных транзисторов, резисторов и конденсаторов.

Программируемый усилительный блок состоит из настраиваемых резисторов, настраиваемых конденсаторов и конфигурируемого активного усилительного блока.

Конфигурируемый активный усилительный блок содержит составляющие, коммутация которых позволяет строить следующие комбинации блоков:

- 1) один или два однокаскадных ОУ с токовым выходом;
- 2) один или два двухкаскадных ОУ;
- 3) один или два компаратора;
- 4) пары элементов, составляющих комбинацию вариантов 1-3;
- 5) двухкаскадный полностью дифференциальный ОУ.

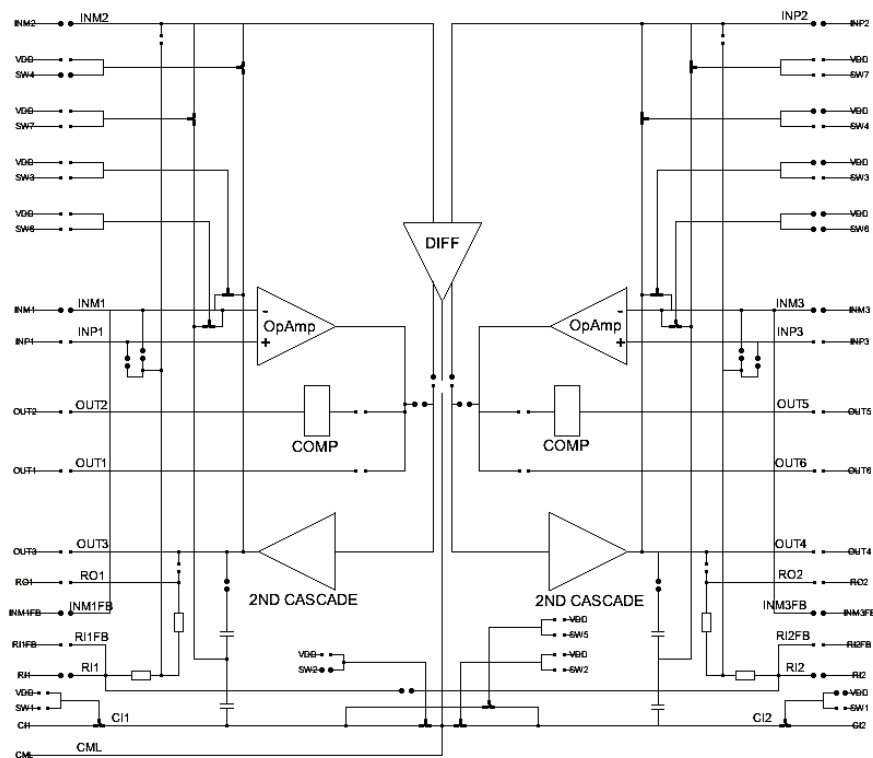


Рисунок 9. Символ программируемого усилительного блока

Программируемый усилительный блок позволяет строить дифференциальные усилители как непрерывного действия, так и дискретные (на конденсаторах) с настраиваемым коэффициентом усиления. Блок обеспечивает возможность построения двух независимых компараторов как с гистерезисом, так и без гистерезиса. Блок позволяет строить на своей основе фильтры первого порядка нижних и верхних частот, усилители выборки-хранения и двойной коррелированной выборки, интеграторы и дифференциаторы.

Блок также обеспечивает возможность чоппер-стабилизации входных каскадов.

Состав блока пассивных компонентов:

- 2 программируемых резистора (сопротивление резистора 400 кОм, шаг настройки 80 кОм);
- 2 конденсатора (7,8 пФ);
- 2 тактируемых аналоговых ключа;
- 4 вывода «земли»;
- 4 вывода питания.

Управление аналоговыми ключами ведется как из аналоговой части, так и из цифровой части.

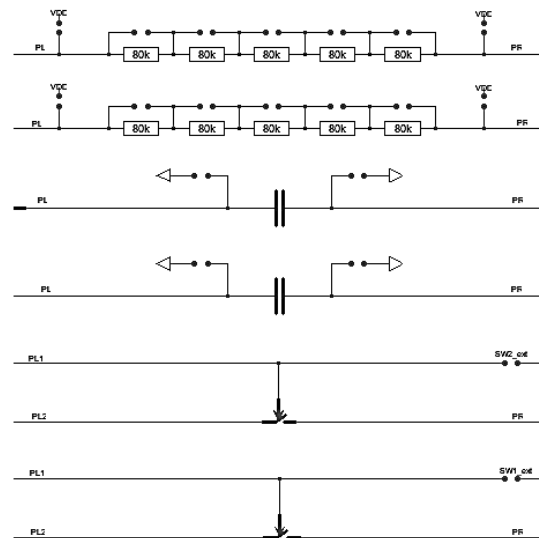


Рисунок 10. Схема программируемого блока пассивных компонентов

Допустимое отклонение номиналов пассивных компонентов в пределах одной микросхемы обусловлено технологией изготовления и составляет не более 1%.

Блок свободной конфигурации состоит из двух р-канальных МОП-транзисторов; двух n-канальных МОП-транзисторов; двух конденсаторов емкостью 1 пФ; четырех резисторов по 100 кОм (с выводом средней точки между соседними резисторами); 6 общих выводов; 6 выводов питания; набор коммутационных ключей сопротивлением 100 Ом.

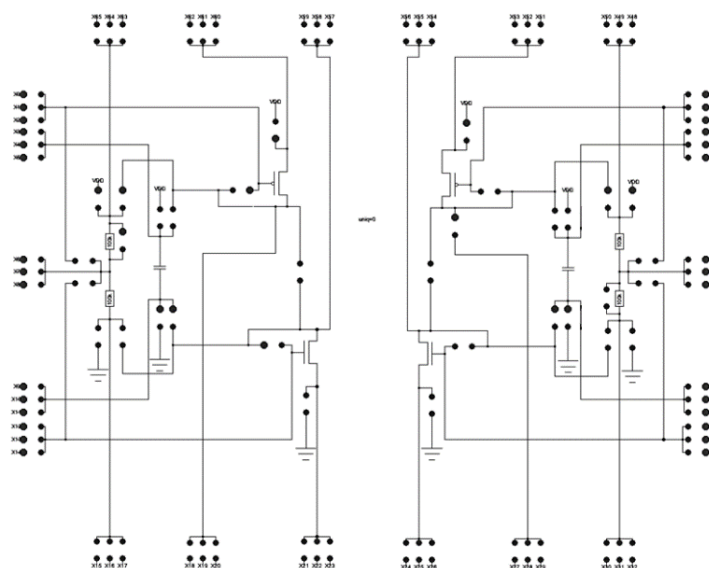


Рисунок 11. Структурная схема блока свободной конфигурации

Каждый МОП-транзистор (р-канальный и n-канальный) является настраиваемым (т.е. состоит из 4 транзисторов с возможностью параллельного соединения). С помощью программирования настраивается количество транзисторов в параллельном соединении (параметр может принимать значения от 1 до 4).

Для большей гибкости коммутации блоки свободной конфигурации (блок 3, Рисунок 12) объединены в сборки по 4 штуки. Каждый вывод блока выведен через мультиплексор 3:1 (блок 2, Рисунок 12). Для связи блоков свободной конфигурации используются блоки коммутации 5x5 (блок 1, Рисунок 12).

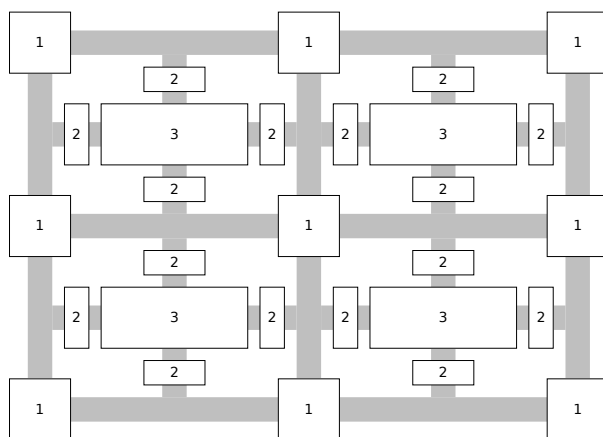


Рисунок 12. Схема сборки блока SPM

Блок на переключаемых конденсаторах содержит 4 настраиваемых аналоговых блока (НАБ). Обработка аналогового сигнала выполняется в полностью дифференциальном виде.

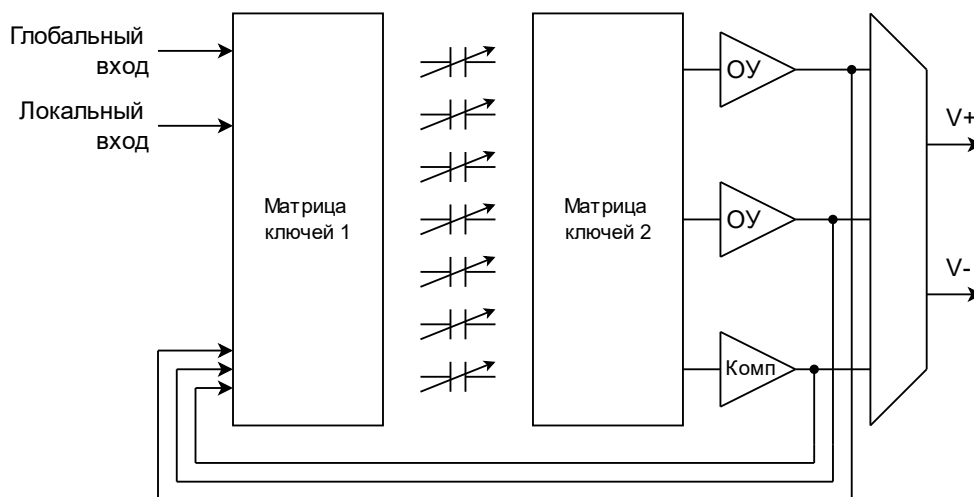


Рисунок 13. Структурная схема настраиваемого аналогового блока (НАБ)

Каждый НАБ имеет в своем составе матрицы ключей, программируемые конденсаторы, 2 операционных усилителя и компаратор.

Каждый блок ПК позволяет реализовать функции фильтрации. Поскольку в составе микросхемы таких блоков 4, то достижима фильтрация вплоть до 8-го порядка.

Периферия

Блок аналогового ввода-вывода

Для связи ядра микросхемы с контактными площадками по периферии кристалла расположены 18 площадок аналогового ввода-вывода (AP1 – AP18).

Блок позволяет выполнять следующие функции:

- Передать на выход цифровой сигнал через цифровой буфер;
- Подключить к площадке глобальную шину с помощью низкоомных ключей;
- Подключить к площадке локальную шину;
- Передать на выход сигнал через аналоговый буфер с нагрузочной способностью до 20 мА;
- Передать на выход аналоговый сигнал, усиленный в 2 раза.

Блок цифрового ввода-вывода

Для связи программируемого цифрового блока с контактными площадками микросхема содержит 18 блоков цифрового ввода-вывода (DI00 – DI017).

Блок цифрового ввода-вывода обеспечивает трансляцию уровней логического сигнала между выводом площадки и внутренними уровнями программируемого цифрового блока (1,8 В). Диапазон уровня логической «1» на площадке может лежать в пределах от 1,8 В до 5,0 В. Блок также позволяет программировать нагрузочную способность (от 5 до 300 мА) или отключение площадки (переход в высокоимпедансное состояние).

Высоковольтные выходные площадки

Микросхема содержит две высоковольтные выходные аналоговые площадки (HVOUT1, HVOUT2), которые обеспечивает возможность работы с выходным напряжением до 10 В. Нагрузочная способность буфера 300 мА.

Линейные регуляторы и источник опорного напряжения

Для формирования ряда стабильных напряжений в микросхеме реализованы линейные регуляторы напряжения.

Высоковольтный линейный регулятор (диапазон входного напряжения 6,0 – 10 В) необходим для формирования напряжения 5,5 В. Полученное стабильное напряжение подается на вывод VDDAEXT для получения напряжения 5,0 В и 1,8 В.

Вывод VDD1V8OUT – выход линейного регулятора 1,8 В.

Вывод VDDAOUT – выход линейного регулятора 5,0 В.

В состав микросхемы входит источник опорного напряжения 1,0 В.

Драйвер силового ключа

В микросхеме реализовано два драйвера силовых ключа, управление осуществляется из цифровой части. Драйвер обеспечивает выходной ток не менее 200 мА при амплитуде выходного напряжения более 9,0 В. Питание драйверов осуществляется с помощью внешнего источника питания на выводе VDD10VDP.

Выход драйвера силового ключа 1 – вывод PDP10V1, выход драйвера силового ключа 2 – вывод PDP10V2.

