

Основные особенности

- Объем внутренней памяти – 16 Кбайт;
- Время выборки данных по адресу не более 160 нс;
- Интерфейс работы: последовательный интерфейс (запись/чтение); параллельный интерфейс (чтение);
- Частота работы: последовательный интерфейс – не более 10 МГц; параллельный интерфейс – не более 5,0 МГц.
- Диапазон напряжения питания: VDDA = 3,3 В ... 5,0 В;
- Диапазон напряжения питания интерфейсной части: VDDDR = 2,5 В... 5,0 В;
- Функция защиты от записи;
- Температурный диапазон от –60°C до +85°C.

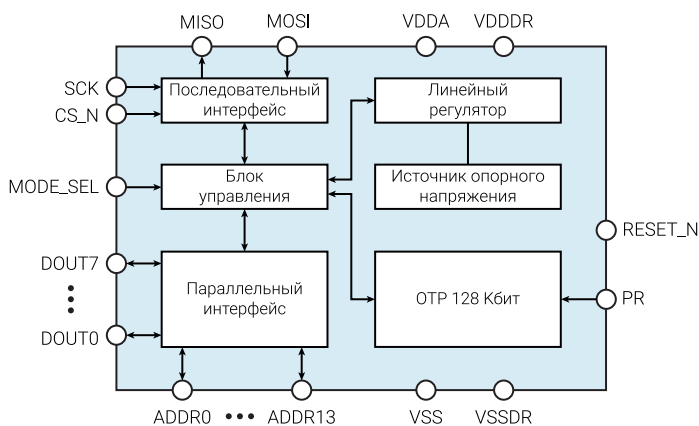


Рисунок 1. Структурная схема



Рисунок 2. Внешний вид микросхемы 5400PT015

ГГ – год выпуска
 НН – неделя выпуска

Общее описание

Микросхема 5400PT015 – 8-битная энергонезависимая однократно программируемая (OTP) память объемом 16 384 байт с организацией 2Кх8 с последовательным и параллельным интерфейсами. Микросхема выполнена по технологии КНИ.

Память организована в виде двух банков по 8 КБ в каждом, запись в которую осуществляется с помощью последовательного интерфейса с необходимостью управления внешним напряжением программирования (PR).

Чтение из памяти доступно с помощью последовательного или параллельного интерфейса. Выбор интерфейса для чтения осуществляется выводом MODE_SEL (лог. «0» – параллельный интерфейс, лог. «1» – последовательный интерфейс). Режим работы последовательного интерфейса slave, MSB first, CPOL=0, CPHA= 0.

В микросхеме предусмотрена функция защиты от записи.

Микросхема выполнена в 44-х выводном металлокерамическом корпусе МК 5165.44-1.

Электрические параметры микросхемы

Таблица 1. Электрические характеристики (температурный диапазон от – 60°C до +85°C)

Параметр, единица измерения	Норма параметра		
	не менее	типичное	не более
Максимальная частота работы последовательного интерфейса ($F_{\text{СК}}$), МГц			
при VDDDR = 2,5 В ... 3,3 В	8,0		
при VDDDR = 3,3 В ... 5,0 В	10		
Максимальная частота работы параллельного интерфейса, МГц	5,0		
Время выборки данных по адресу, нс			160
Напряжение низкого уровня выходных цифровых сигналов, В		0	0,4
Напряжение высокого уровня выходных цифровых сигналов, В	VDDDR – 0,4	VDDDR	
Ток потребления в режиме хранения, мА			5,0

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 500 В (аналоговые выводы) и 2000 В (цифровые выводы) по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

Параметр, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение питания аналоговой части (VDDA), В	3,15	5,25	–0,3	5,5
Напряжение питания ESD-защиты (VDDRING) ⁽¹⁾ , В	3,15	5,25	–0,3	5,5
Напряжение питания интерфейсной части (VDDDR), В	2,25	5,25	–0,3	5,5
Максимальная рассеиваемая мощность, Вт	–	1,0	–	1,5
Входное напряжение вывода программирования (PR) ⁽²⁾ , В	0	10	–	–
Напряжение низкого уровня входных цифровых сигналов (MOSI, SCK, CS_N, ADDR0-ADDR13, RESET_N, MODE_SEL), В	–0,1	0,25 xVDDDR	–0,3	5,5
Напряжение высокого уровня входных цифровых сигналов (MOSI, SCK, CS_N, ADDR0-ADDR13, RESET_N, MODE_SEL), В	0,75xVDDDR	VDDDR+0,25 ⁽³⁾	–0,3	5,5
Ток нагрузки (DOUT0–DOUT5, DOUT6/MISO, DOUT7/MOSI, ADDR0–ADDR13, SCK, CS_N, RESET_N, MODE_SEL), мА				
при VDDDR = 2,5 В	–	1,0	–	20
при VDDDR = 3,3 В	–	6,0	–	20
при VDDDR = 5,0 В	–	10	–	20
Температура эксплуатации, °С	–60	+85	–60	+125
Примечание: 1) рекомендуемое напряжение питания на вывод VDDRING 5,0 В. 2) рекомендуемое напряжение программирования 9,0 В±3%. 3) не более 5,25 В.				

Конфигурация и функциональное описание выводов

Таблица 3. Функциональное описание выводов

№ вывода	Тип вывода	Наименование вывода	Назначение вывода
1	DO	DOUT0	Выход данных параллельного интерфейса 0
2	DO	DOUT1	Выход данных параллельного интерфейса 1
3	DO	DOUT2	Выход данных параллельного интерфейса 2
4	DO	DOUT3	Выход данных параллельного интерфейса 3
5, 29	PWR	VDDCORE	Вывод для подключения шунтирующего конденсатора питания ядра
6, 17, 28, 39	PWR	VSSCORE	Общий вывод питания ядра
7, 27	PWR	VSSDR	Общий вывод напряжения питания интерфейсной части
8, 26	PWR	VDDDR	Вывод напряжения питания интерфейсной части
9	DO	DOUT4	Выход данных параллельного интерфейса 4
10	DO	DOUT5	Выход данных параллельного интерфейса 5
11	DO	DOUT6/MISO	Выход данных параллельного интерфейса 6 / Выход данных последовательного интерфейса
12	DO/DI	DOUT7/MOSI	Выход данных параллельного интерфейса 7 / Вход данных последовательного интерфейса
13	DI	SCK	Входной тактовый сигнал последовательного интерфейса. В режиме работы параллельного интерфейса вывод должен быть подключен к низкому логическому уровню.
14	DI	CS_N	Разрешающий входной сигнал (Chip Select) последовательного интерфейса. Активный уровень – лог. «0»
15	DI	ADDR13	Адресный вывод параллельного интерфейса 13
16	DI	ADDR12	Адресный вывод параллельного интерфейса 12
18	DI	ADDR11	Адресный вывод параллельного интерфейса 11
19	DI	ADDR10	Адресный вывод параллельного интерфейса 10
20	DI	ADDR9	Адресный вывод параллельного интерфейса 9
21	DI	ADDR8	Адресный вывод параллельного интерфейса 8
22	DI	ADDR7	Адресный вывод параллельного интерфейса 7
23	DI	ADDR6	Адресный вывод параллельного интерфейса 6
24	DI	ADDR5	Адресный вывод параллельного интерфейса 5
25	DI	ADDR4	Адресный вывод параллельного интерфейса 4
30	DI	ADDR3	Адресный вывод параллельного интерфейса 3
31	DI	ADDR2	Адресный вывод параллельного интерфейса 2
32	DI	ADDR1	Адресный вывод параллельного интерфейса 1
33	DI	ADDR0	Адресный вывод параллельного интерфейса 0
34	DI	RESET_N	Сигнал сброса цифровой части микросхемы. Активный уровень – лог. «0»

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.801ТУ

№ вывода	Тип вывода	Наименование вывода	Назначение вывода
35	PWR	VDDRING	Вывод напряжения питания ESD-защиты
36	PWR	VDDOTP	Вывод для подключения шунтирующего конденсатора напряжения питания OTP-памяти «»
37	AI	PR	Вывод для подачи напряжения программирования памяти 9,0 В $\pm$ 3%
38	PWR	VDDA	Вывод напряжения питания аналоговой части
40	AO	REFOUT	Выход внутреннего источника опорного напряжения 1,0 В
41	–	Tech	Технологический вывод (подключить к VSSCORE) При использовании внешнего программатора вывод необходимо подключить к программатору
42, 43	–	Tech	Технологический вывод (подключить к VSSCORE)
44	DI	MODE_SEL	Вывод выбора интерфейса: лог. «0» – параллельный интерфейс; лог. «1» – последовательный интерфейс. Вывод имеет подтяжку к VSSDR.
Примечание: AI – аналоговый вход AO – аналоговый выход DI – цифровой вход DO – цифровой выход PWR – вывод напряжения питания			

Рекомендуемая схема применения

Таблица 4. Таблица внешних компонентов

Компонент	Номинал
C1 – C5	100 нФ

Конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них обязательно должен быть высокочастотный керамический емкостью не менее 10 нФ. Шунтирующие конденсаторы должны располагаться на плате в непосредственной близости к соответствующим выводам микросхемы.

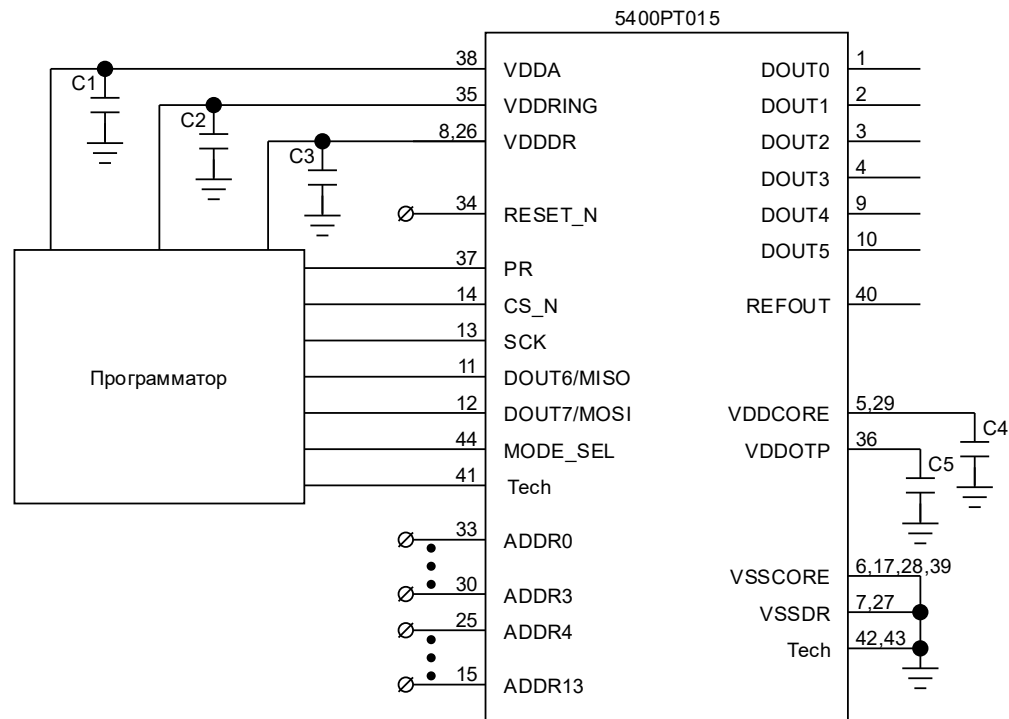


Рисунок 3. Рекомендуемая схема с использованием внешнего программатора

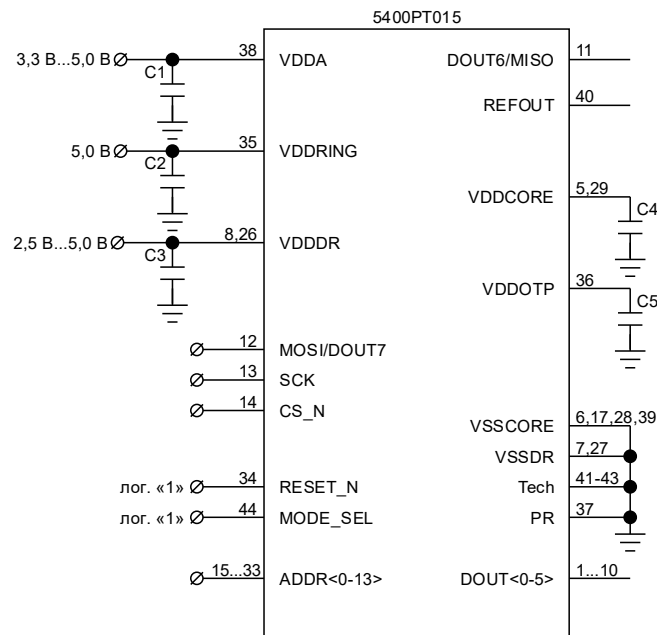


Рисунок 4. Рекомендуемая схема применения при использовании последовательного интерфейса для чтения и записи данных

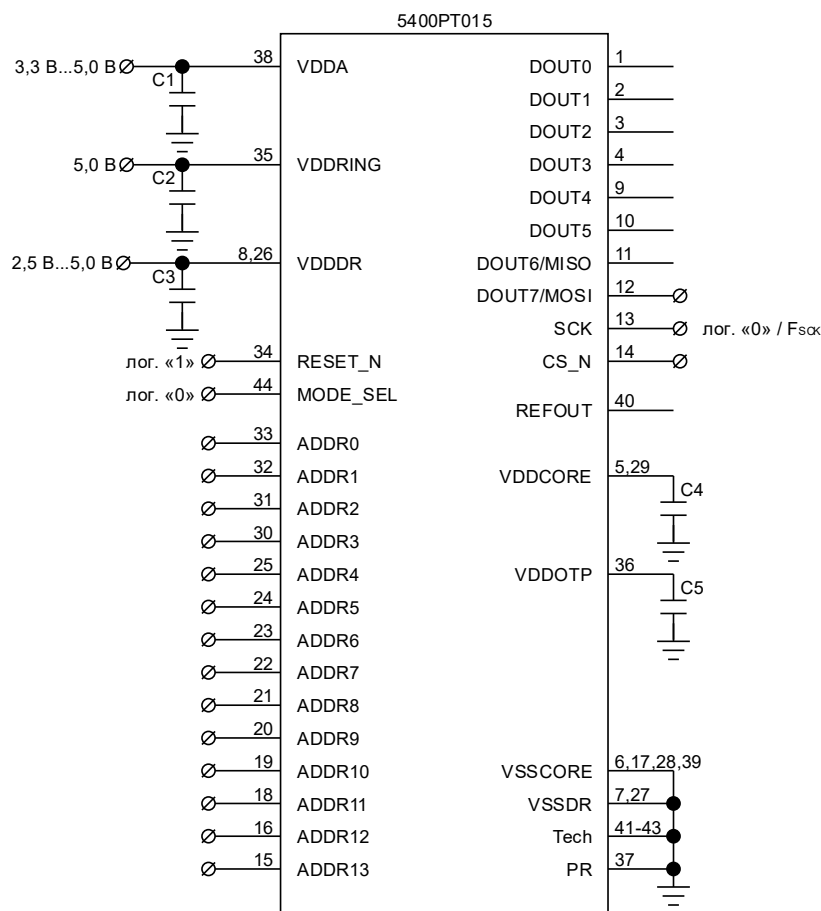


Рисунок 5. Рекомендуемая схема применения при использовании параллельного интерфейса для чтения данных

Описание функционирования микросхемы

Микросхема 5400PT015 – 8-битная энергонезависимая однократно программируемая (ОТР) память объемом 16 384 байт с организацией 2Kx8 с последовательным и параллельным интерфейсами.

Начальное значение незапрограммированного массива данных – лог. «0». При записи происходит программирование ячейки в режим энергонезависимой памяти с состоянием лог. «1». Запись в память осуществляется с помощью последовательного интерфейса с необходимостью управления внешним напряжением программирования 9,0 В $\pm$ 3%.

Микросхема является однократно программируемой.

Чтение из памяти доступно с помощью последовательного или параллельного интерфейса. Выбор интерфейса осуществляется выводом MODE_SEL (лог. «0» – параллельный интерфейс, лог. «1» – последовательный интерфейс). Режим работы последовательного интерфейса slave, MSB first, CPOL=0, CPHA= 0.

В микросхеме предусмотрена функция защиты от записи.

Режимы «SOFT» и «HARD»

Микросхема содержит аналоговую и цифровую конфигурационные памяти. Аналоговая конфигурационная память программируется на этапе производства микросхемы. Цифровая конфигурационная память программируется пользователем. Для программирования цифровой конфигурационной памяти в энергозависимый или энергонезависимый режимы необходимо установить на выводе PR напряжения согласно таблицам 5, 6 (Таблица 5, Таблица 6).

Переключение режимов работы микросхемы осуществляется автоматически программатором с помощью вывода PR. В случае программирования микросхемы в составе устройства (без использования программатора) напряжение на выводе PR необходимо устанавливать вручную согласно приведенным ниже таблицам.

Таблица 5. Режимы работы в зависимости от напряжения на выводе PR (при VDDA = 5,0 В).

V _{PR} , В	SFT _D	HRD _D	Состояние
0	«0»	«1»	Режим энергонезависимой памяти (режим «HARD»). Настройки считываются из ОТР-памяти.
1,5	«1»	«0»	Режим энергозависимой памяти (режим «SOFT»). Загрузка данных в ОТР-память.
9,0	«1»	«0»	Прожиг данных в ОТР-памяти.

Таблица 6. Режимы работы в зависимости от напряжения на выводе PR (при VDDA = 3,3 В)

PR, В	SFT _D	HRD _D	Описание
0	«0»	«1»	Режим энергонезависимой памяти (режим «HARD»). Настройки считываются из ОТР-памяти.
1,0	«1»	«0»	Режим энергозависимой памяти (режим «SOFT»). Загрузка данных в ОТР-память.
9,0	«1»	«0»	Прожиг данных в ОТР-памяти.

Напряжения питания микросхемы

Напряжение питания микросхемы VDDA варьируется от 3,3 В до 5,0 В и является входным напряжением линейных регуляторов для формирования питания цифрового ядра микросхемы VDDCORE и питания встроенного ПЗУ VDDOTP.

Напряжение питания VDDDR от 2,5 В до 5,0 В позволяет задать высокие логические уровни по пользовательским входам/выходам, не влияя на логические уровни ядра. Допускается подавать VDDDR=5,0 В при напряжении питания микросхемы VDDA = 3,3 В.

Последовательный (SPI) интерфейс

Команды и адресация

Доступ к устройству через последовательный интерфейс осуществляется путем выполнения предопределенной последовательности. Перед началом работы следует сбросить CS_N в состояние логического «0». Далее следует передать корректный код инструкции (некорректный код будет проигнорирован, устройство перестанет отвечать до следующего переключения CS_N из неактивного состояния в активное). После кода, в зависимости от типа операции, выставляются адрес и/или данные. Все данные на шину передаются начиная со старшего бита (MSB). Операция завершается установкой CS_N. Если CS_N устанавливается в момент выполнения передачи – операция прерывается и устройство переходит к ожиданию следующей операции.

Для передачи адреса, состоящего из бит логического адреса EMA (адрес устройства в режиме расширенной адресации. См. пункт «Режим расширенной адресации») и адресных бит ADDR [13:0], необходимо послать три байта информации.

Перечень команд последовательного интерфейса

Команда	Код	Описание	Последовательность байт
Write Byte	0x02	Запись байта данных	CODE + ADDR_H + ADDR_M + ADDR_L + DATA
Read Array	0x03	Чтение массива данных	CODE + ADDR_H + ADDR_M + ADDR_L + DATA
Write Control	0x15	Запись регистра управления	CODE + DATA
Read Control	0x1C	Чтение регистра управления	CODE -> DATA
Write Config	0x45	Запись регистра конфигурации	CODE + ADDR + DATA
Read Config	0x4C	Чтение регистра конфигурации	CODE + ADDR -> DATA

Запись байта данных (*Write Byte*)

Команда *Write Byte* предназначена для записи одного байта данных в массив. Для записи байта данных следует передать код инструкции *0x02*, 3 адресных байта и байт данных (логический адрес EMA не учитывается в текущей операции).

Для программирования в режим энергонезависимой памяти после подачи команды следует в течение 200-250 мс подать напряжение $9,0 \text{ В} \pm 3\%$ на вывод PR.

Данные, передаваемые по последовательному интерфейсу после байта данных (до установки CS_N), будут проигнорированы. Временная диаграмма записи байта данных представлена ниже.

Важно! Запись в массив разрешена, если установлен бит *WE* регистра управления (см. пункт «Структура регистра управления»). После выхода из сброса программирование памяти запрещено.

Важно! Запрещается выполнять процедуру обращения к памяти командами *Write Byte* и *Read Array* до окончания интервала программирования.

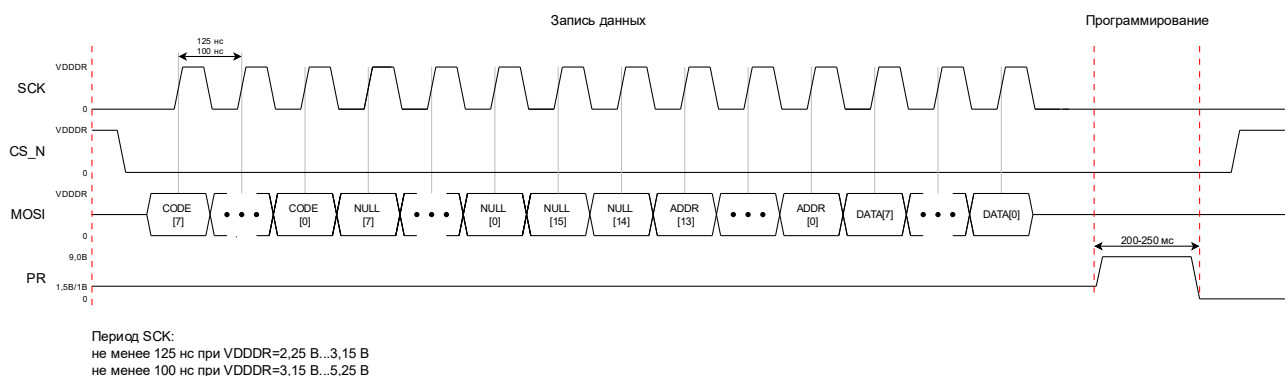


Рисунок 6. Временная диаграмма записи данных

Чтение массива данных (*Read Array*)

Команда *Read Array* предназначена для чтения непрерывного потока данных из памяти. Для чтения данных следует передать код инструкции *0x03*, 3 адресных байта (включая биты логического адреса EMA) и требуемое количество байт данных. Адрес будет автоматически инкрементироваться для каждого следующего байта. При достижении верхней границы адрес сбросится в *0x0000*.

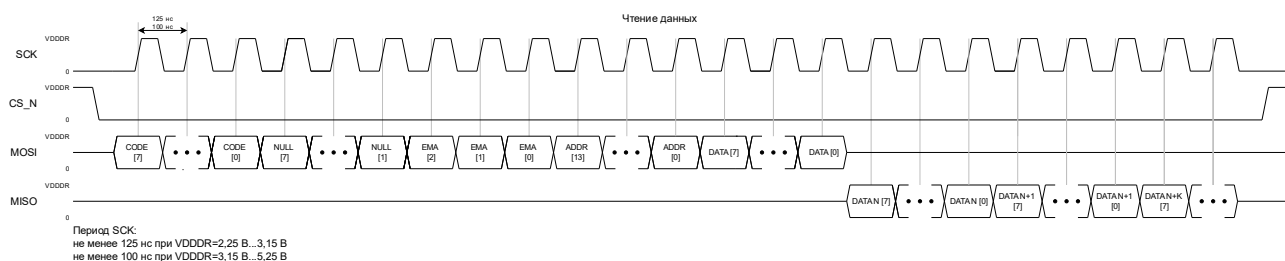


Рисунок 7. Временная диаграмма чтения данных

CS_N может быть сброшен в любой момент процедуры чтения, но рекомендуется сбрасывать его, выдерживая временные ограничения с SCK и на границе 8 бит. Это позволит избежать генерации коротких импульсов доступа к массиву памяти внутри устройства.

Структура регистра управления

Управление функциями устройства может быть осуществлено программированием через последовательный интерфейс. Настройки хранятся в триггерах, после снятия напряжения питания или сброса, регистр примет начальное значение.

Биты	Название	Описание	Начальное состояние
7:2	—	Не используется	0
1	SLEEP	Перевод массива памяти в режим сна	0
0	WE	<i>Write Enable</i> . Разрешение записи в память	0

Запись регистра управления (*Write Control*)

Команда *Write Control* предназначена для записи значения регистра управления. Для записи следует передать код инструкции *0x15* и байт данных. В ходе передачи команды может быть передано несколько байт данных. Запись в регистр осуществляется по нарастающему фронту SCK одновременно с передачей последнего бита конфигурационной последовательности. Временная диаграмма записи в регистр управления представлена ниже.

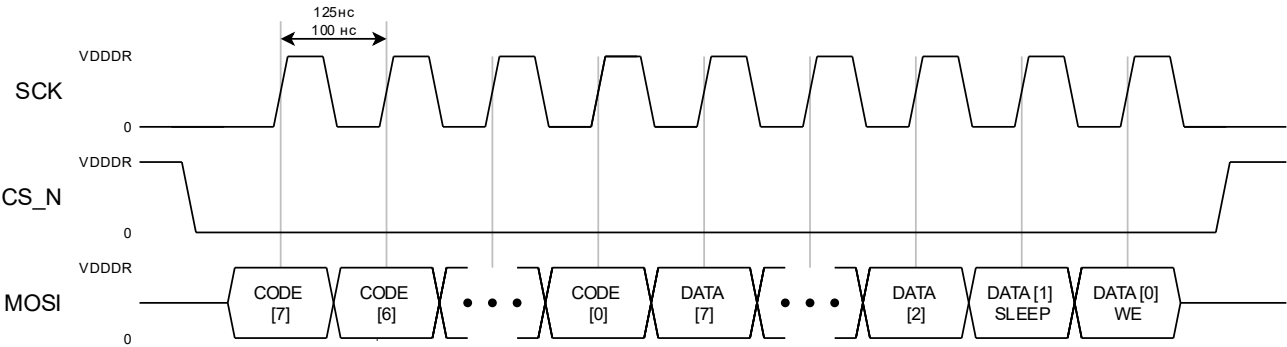


Рисунок 8. Временная диаграмма записи в регистр управления

Чтение регистра управления (*Read Control*)

Команда *Read Control* предназначена для чтения значения регистра управления. Для чтения следует передать код инструкции *0x1C* и прочитать байт данных. В ходе передачи команды может быть принято несколько байт данных. Чтение одного и того же значения будет выполняться циклически. Временная диаграмма чтения регистра управления представлена ниже.

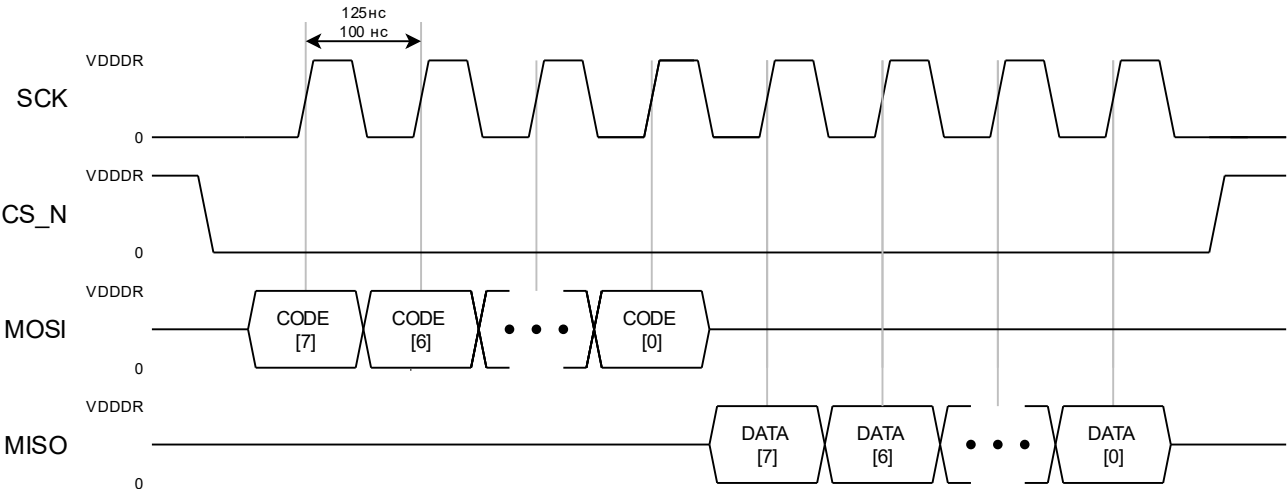


Рисунок 9. Временная диаграмма чтения регистра управления

Обращаем внимание, документация носит ознакомительный характер.
При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.801ТУ

Регистры конфигурации

Управление током считывания ПЗУ и функциями коррекции дефектов осуществляется через регистры конфигурации. Настройки хранятся в триггерах (после снятия напряжения питания или сброса регистр примет начальное значение) и могут быть запрограммированы в энергонезависимую память ОТР. Начальное значение всех регистров – «0».

Название	Адрес	Описание
BC	0x00	Управление блочной коррекцией и током считывания ПЗУ
SC0	0x01	Управление единичной коррекцией 0
SC1	0x02	Управление единичной коррекцией 1

Регистр блочной коррекции BC.

Биты	Название	Описание	Начальное состояние
23:20	IBR	Управление током считывания ПЗУ	0
19:13	–	<i>Резерв</i>	0
12:10	EMA	Адрес устройства в режиме расширенной адресации	
9:8	EAM	Активация режима расширенной адресации памяти: • 00 – неактивен; • 01 – 2 микросхемы ([14] бит адреса); • 10 – 4 микросхемы ([15:14] биты адреса); • 11 – 8 микросхем ([16:14] биты адреса);	
7	ACT	Разрешение подмены резервным блоком	0
6:5	–	<i>Резерв</i>	0
4:1	IDX	Индекс блока памяти, доступ к которому подменяется на доступ к резервному блоку	0
0	–	<i>Резерв</i>	0

Регистры единичной коррекции SC0 и SC1

Биты	Название	Описание	Начальное состояние
23:20	–	<i>Резерв</i>	0
19:17	BA	Битовый адрес памяти	0
16	VAL	Корректное значение памяти	0
15	ACT	Разрешение исправления дефекта	0
14:1	LA	Логический адрес памяти	0
0	–	<i>Резерв</i>	0

Запись конфигурации (*Write Config*)

Команда *Write Config* предназначена для записи значения регистра конфигурации. Для записи следует передать код инструкции *0x45*, адрес регистра и 3 байта данных. Запись в регистр осуществляется по нарастающему фронту SCK одновременно с передачей последнего бита байта.

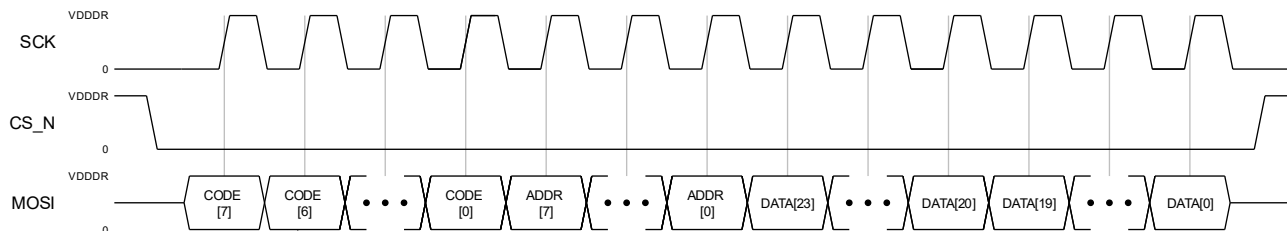


Рисунок 10. Временная диаграмма записи в регистр конфигурации

Чтение конфигурации (*Read Config*)

Команда *Read Config* предназначена для чтения значения регистров конфигурации. Для чтения следует передать код инструкции *0x4C*, адрес регистра и прочитать 3 байта данных.

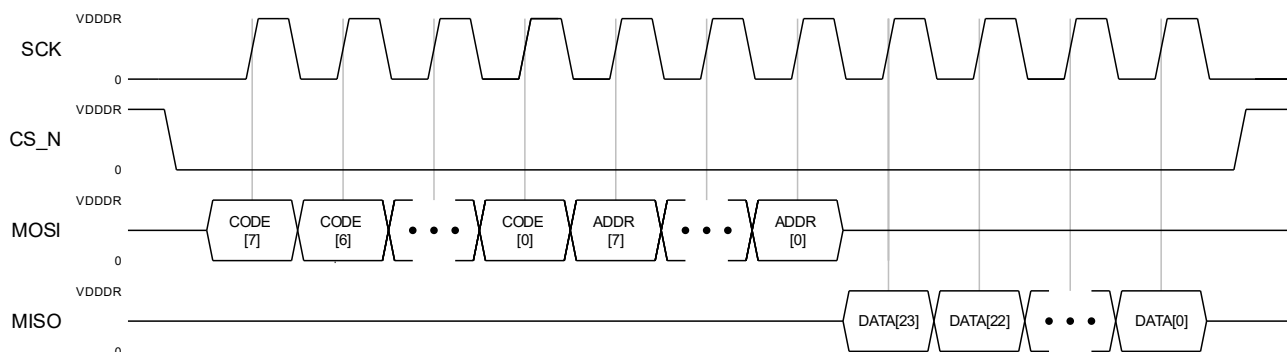


Рисунок 11. Временная диаграмма чтения регистра конфигурации

Параллельный интерфейс

Параллельный асинхронный интерфейс предназначен для чтения массива данных без использования синхросигнала. Режим активируется при установке на выводе MODE_SEL значения низкого логического уровня.

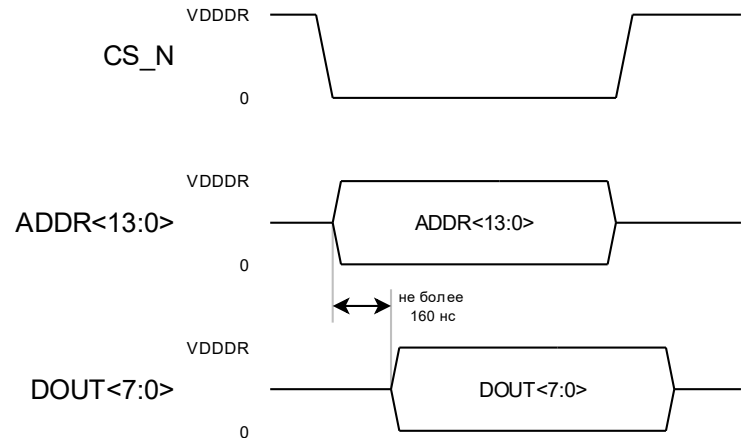


Рисунок 12. Временная диаграмма параллельного интерфейса

Данные выдаются асинхронно с задержкой относительно выставленного адреса и сигнала управления CS_N. Вывод ADDR [0] определяет к какой части памяти (младшей или старшей) происходит обращение.

Важно! В режиме работы параллельного интерфейса вывод SCK должен быть подключен к низкому логическому уровню.

Внутренняя архитектура памяти

- Адресное пространство 16 КБ разбито на 2 части, младшую и старшую, разделенные нулевым битом адреса ADDR [0];
- Каждые 8 КБ состоят из 8 блоков по 1 КБ;
- Младший индекс памяти соответствует младшему биту в слове.

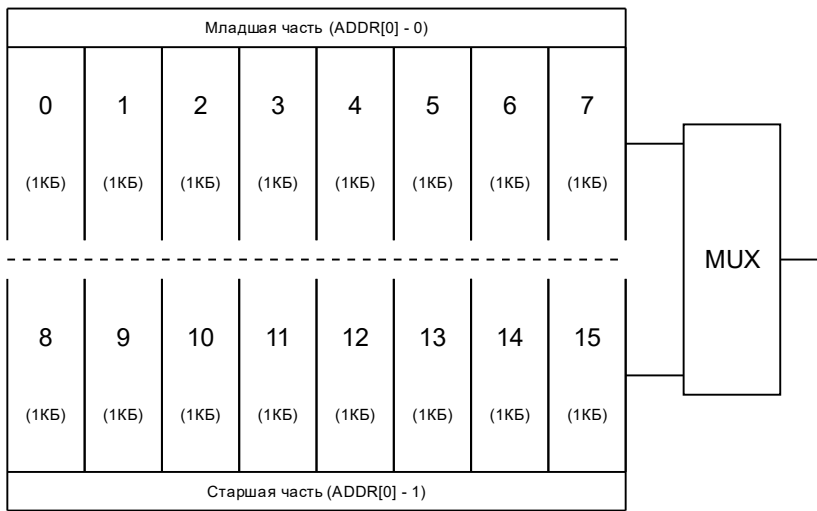


Рисунок 13. Структура памяти

Обращаем внимание, документация носит ознакомительный характер.
При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.801ТУ

Исправление дефектов

В микросхеме реализована возможность исправления производственных дефектов памяти.

Дополнительно микросхема содержит резервный блок памяти размером 1 КБ (управляется регистром BC), а также 2 программируемых регистра коррекции одиночных ошибок (управляются регистрами SC0 и SC1).

Функционал исправления дефектов памяти реализован в программаторе.

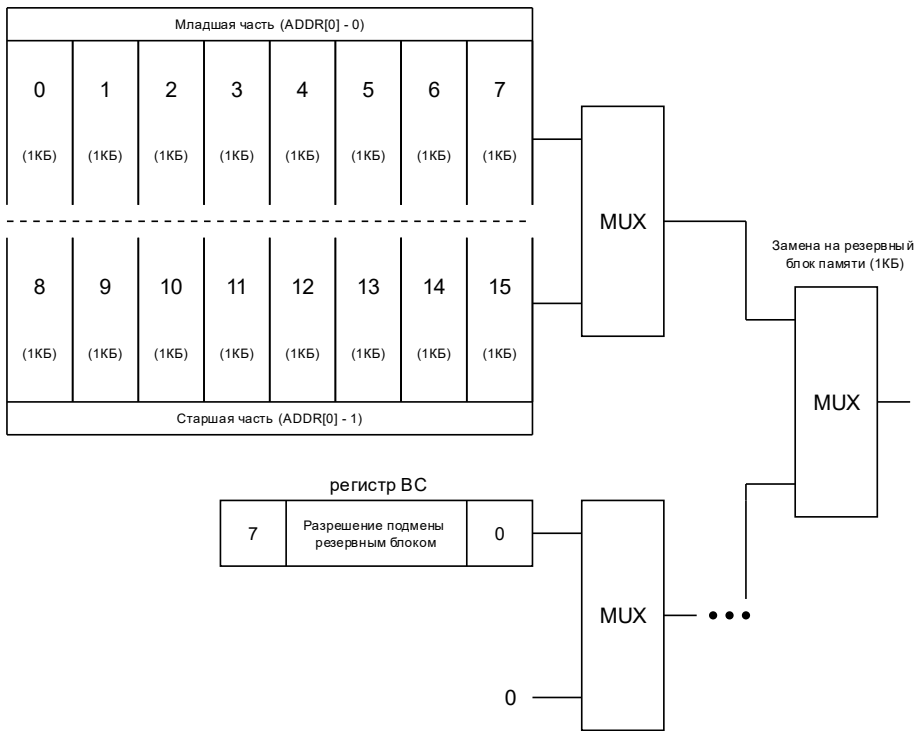


Рисунок 14. Замена на резервный блок памяти размером 1КБ

Режим расширенной адресации

Для увеличения объема памяти без изменения интерфейса и программного обеспечения (при использовании только чтения данных) микросхема 5400PT015 поддерживает режим расширенной адресации. Режим активируется в регистре BC.

В режиме расширенной адресации (если BC.EAM ≠ 00) устройство при получении команды 0x03 проверяет биты [16:14] адреса на предмет совпадения с BC.EMA. В случае совпадения, устройство выдает данные на MISO. Сравнение производится только для бит, помеченных BC.EAM.

При переходе адреса, через границу 14 бит, чтение продолжается со следующего устройства в группе расширенных адресов. Регистр BC.EAM определяет следующий базовый адрес.

Размер адресного пространства при различных BC.EAM.

BC.EAM	Используемые адреса
0	0x00000 – 0x03FFF
1	0x00000 – 0x07FFF
2	0x00000 – 0x0FFFF
3	0x00000 – 0x1FFFF

Обращаем внимание, документация носит ознакомительный характер.
При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.801ТУ

Режим расширенной адресации позволяет подключить на шину до 8 устройств, управляемых одним сигналом CS_N. При этом пользователь должен гарантировать, что все устройства, управляемые одним CS_N имеют уникальные BC.EMA. В противном случае при чтении на линии MISO может оказаться несколько активных драйверов. Устройства группы могут сформировать непрерывную область памяти размером до 128 КБ.

Габаритный чертеж

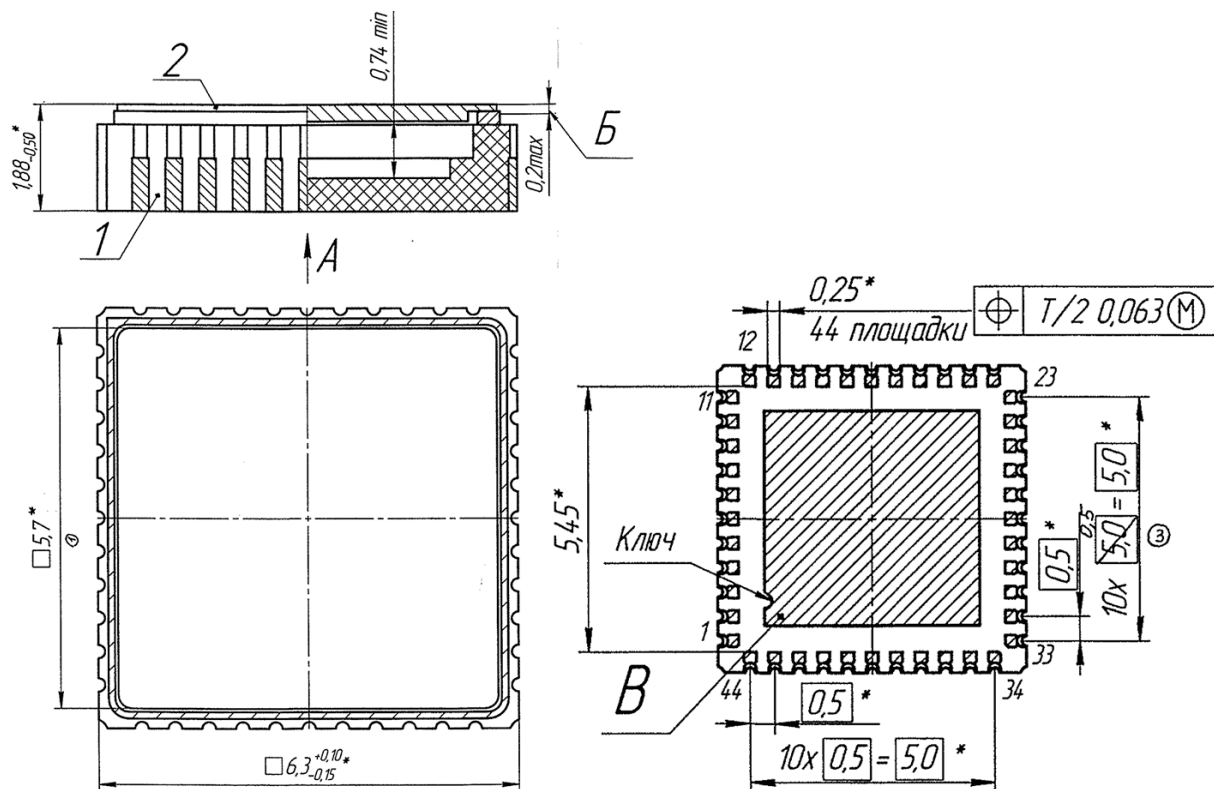


Рисунок 15. Габаритный чертеж корпуса МК 5165.44-1 (размеры в мм)

Информация для заказа

Обозначение	Маркировка	Корпус	Температурный диапазон
5400PT015 АЕНВ.431260.801ТУ	5400PT015	МК 5165.44-1	-60°C...+85°C

Микросхемы категории качества «ВП» маркируются ромбом

Лист регистрации изменений

[illegible]