

Основные особенности

- Напряжение питания портов 1A и 2A: $VDDA = +1,65 \text{ В} \dots +5,5 \text{ В}$;
- Напряжение питания портов 1B и 2B: $VDDB = +1,65 \text{ В} \dots +5,5 \text{ В}$;
- Нагрузочная способность не более 24 мА;
- Задержка переключения не более 32 нс;
- Время нарастания/спада не более 17 нс;
- Функция «холодный резерв»;
- Температурный диапазон от -60°C до $+125^\circ\text{C}$;
- Стойкость к СВВФ.

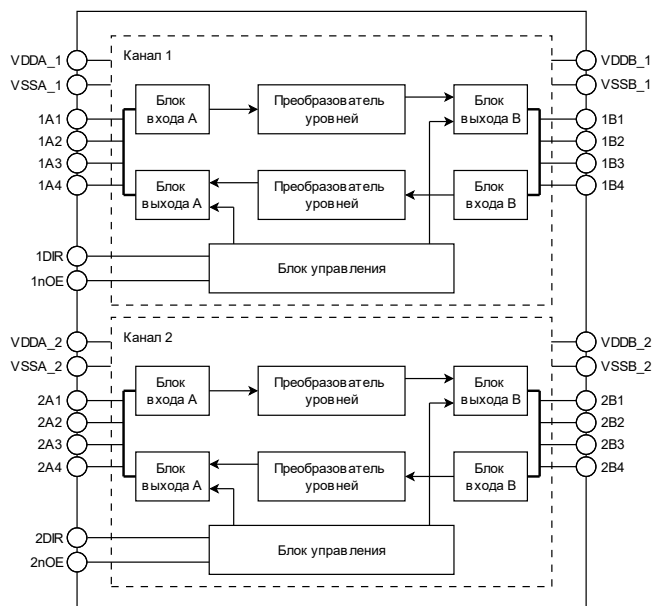


Рисунок 1. Структурная схема



ГГ – год выпуска
НН – неделя
выпуска

 Рисунок 2. Внешний вид
микросхемы 5400TP045A-038

Общее описание

Микросхема 5400TP045A-038 представляет собой двухканальный 4-разрядный двунаправленный транслятор цифровых сигналов и может работать как 8-разрядный формирователь, так и как два независимых 4-разрядных формирователя. Микросхема выполнена на базе радиационно-стойкого аналого-цифрового БМК 5400TP04 по технологии КНИ.

Микросхема предназначена для преобразования логических уровней цифровых сигналов. Каждый канал имеет свой домен питания, информационные порты ($A<1:4>$, $B<1:4>$) и сигналы управления nOE и DIR. Диапазон входных и выходных сигналов от 1,65 В до 5,5 В. Последовательность включения/отключения напряжений питания или входа микросхемы не влияют на работоспособность схемы.

В микросхеме реализована функция «холодный резерв»: при подключении резервные элементы не несут нагрузки и не влияют на работу основных компонентов.

Микросхема является функциональным аналогом 5572ИН1 (ф. Миландр).

Микросхема выполнена в 28-ми выводном металлокерамическом корпусе МК 5123.28-1.01.

Электрические параметры микросхемы

Таблица 1. Электрические характеристики (температурный диапазон от -60°C до $+125^{\circ}\text{C}$)

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Диапазон напряжения питания портов А и В (VDDA, VDDB), В при VDDA, VDDB = 1,8 В при VDDA, VDDB = 2,5 В при VDDA, VDDB = 3,3 В при VDDA, VDDB = 5,0 В	1,65 2,25 3,0 4,5		1,95 2,75 3,6 5,5
Входной ток портов А и В в статическом режиме (A1...A4, B1...B4), мкА			10
Входной ток выводов управления (nOE, DIR), мкА			10
Суммарный статический ток потребления, мкА при VDDA, VDDB = 5,0 В			100
Выходное напряжение высокого уровня портов А и В (A1...A4, B1...B4), В при VDDA, VDDB = 1,8 В, $I_{load} = 10\text{ мА}$ при VDDA, VDDB = 2,5 В, $I_{load} = 10\text{ мА}$ при VDDA, VDDB = 3,3 В, $I_{load} = 10\text{ мА}$ при VDDA, VDDB = 5,0 В, $I_{load} = 10\text{ мА}$	1,2 1,9 2,7 4,1		
Выходное напряжение высокого уровня портов А и В (A1...A4, B1...B4), В при VDDA, VDDB = 1,8 В, $I_{load} = 4,0\text{ мА}$ при VDDA, VDDB = 2,5 В, $I_{load} = 8,0\text{ мА}$ при VDDA, VDDB = 3,3 В, $I_{load} = 16\text{ мА}$ при VDDA, VDDB = 5,0 В, $I_{load} = 24\text{ мА}$	1,5 2,0 2,6 3,8		
Выходное напряжение низкого уровня портов А и В (A1...A4, B1...B4), В при VDDA, VDDB = 1,65 В – 5,5 В, $I_{load} = 10\text{ мА}$		0	0,5

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 1000 В по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации

Параметр, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Диапазон напряжения питания портов А и В (VDDA, VDDB), В	1,65	5,5	-0,3	5,6
Входное напряжение низкого уровня цифровых сигналов (A1...A4, B1...B4, nOE, DIR), В	-0,3	0,5	-0,5	VDDx+0,5 ^(1,2)
Входное напряжение высокого уровня цифровых сигналов (A1...A4, B1...B4, nOE, DIR), В при VDDx = 1,8 В при VDDx = 2,5 В при VDDx = 3,3 В при VDDx = 5,0 В	1,5 1,7 2,0 VDDx*0,7	VDDx	-0,5	VDDx+0,5 ⁽¹⁾
Напряжение, подаваемое на порты А и В в состоянии «Выключено» (nOE = лог. «1»), В	-0,3	VDDx	-0,5	VDDx+0,5 ⁽¹⁾
Температура эксплуатации, °С	-60	+125	-60	+150
Примечание: 1) Входное напряжение низкого и высокого уровня для цифровых сигналов в предельном режиме не более 5,6 В. 2) VDDx – питание порта, на который поступает передаваемый сигнал. Для порта А VDDx = VDDA, для порта В VDDx = VDDB.				

Конфигурация и функциональное описание выводов

Таблица 3. Функциональное описание выводов

№ вывода	Наименование вывода	Назначение вывода
1	1A2	Вход/выход 2-го разряда порта А 1-го канала
2	1A3	Вход/выход 3-го разряда порта А 1-го канала
3	1A4	Вход/выход 4-го разряда порта А 1-го канала
4	VSSA_1	Общий вывод порта А 1-го канала
5	1nOE	Вход разрешения переключения портов 1-го канала: лог. «0» – разрешено; лог. «1» – запрещено.
6	VDDB_1	Положительное напряжение питания порта В 1-го канала
7	1B1	Вход/выход 1-го разряда порта В 1-го канала
8	1B2	Вход/выход 2-го разряда порта В 1-го канала
9	1B3	Вход/выход 3-го разряда порта В 1-го канала
10	1B4	Вход/выход 4-го разряда порта В 1-го канала
11	VSSB_1	Общий вывод порта В 1-го канала
12	2DIR	Направление распространения сигнала 2-го канала: лог. «0» – порты А выходы, порты В входы; лог. «1» – порты А входы, порты В выходы.
13	VDDA_2	Положительное напряжение питания порта А 2-го канала
14	2A1	Вход/выход 1-го разряда порта А 2-го канала
15	2A2	Вход/выход 2-го разряда порта А 2-го канала
16	2A3	Вход/выход 3-го разряда порта А 2-го канала
17	2A4	Вход/выход 4-го разряда порта А 2-го канала
18	VSSA_2	Общий вывод порта А 2-го канала
19	2nOE	Вход разрешения переключения портов 2-го канала: лог. «0» – разрешено; лог. «1» – запрещено.
20	VDDB_2	Положительное напряжение питания порта В 2-го канала
21	2B1	Вход/выход 1-го разряда порта В 2-го канала
22	2B2	Вход/выход 2-го разряда порта В 2-го канала
23	2B3	Вход/выход 3-го разряда порта В 2-го канала
24	2B4	Вход/выход 4-го разряда порта В 2-го канала
25	VSSB_2	Общий вывод порта В 2-го канала
26	1DIR	Направление распространения сигнала 1-го канала: лог. «0» – порты А выходы, порты В входы; лог. «1» – порты А входы, порты В выходы.
27	VDDA_1	Положительное напряжение питания порта А 1-го канала
28	1A1	Вход/выход 1-го разряда порта А 1-го канала

Временные диаграммы

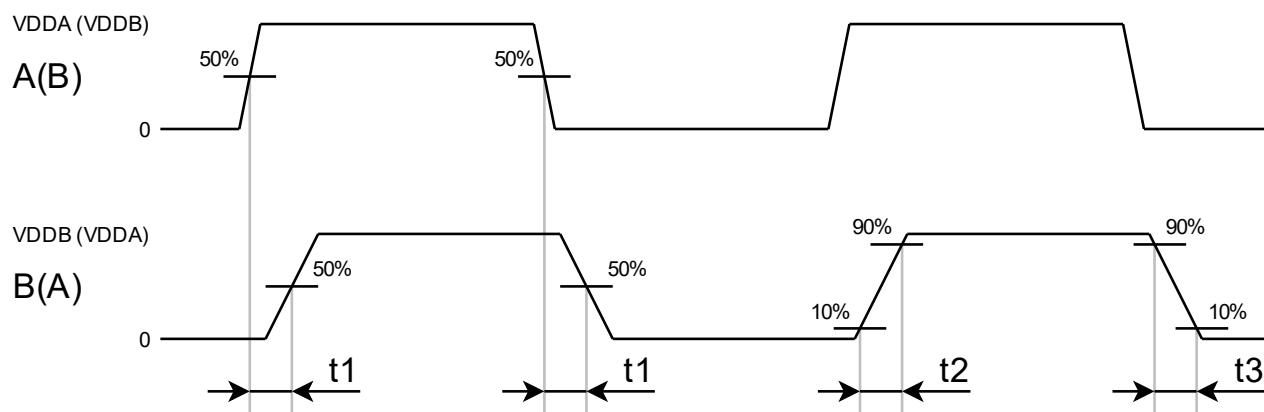


Рисунок 3. Временная диаграмма работы транслятора уровней

Таблица 4. Справочные данные

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Задержка переключения t1 (на уровне 50%), нс			
при VDDA (VDDB) = 1,8 В, VDDB (VDDA) = 1,8 В			32
при VDDA (VDDB) = 1,8 В, VDDB (VDDA) = 5,0 В			25
при VDDA (VDDB) = 5,0 В, VDDB (VDDA) = 1,8 В			25
при VDDA (VDDB) = 5,0 В, VDDB (VDDA) = 5,0 В			17
Время нарастания t2 (на уровне 10% – 90%), нс			
при VDDA (VDDB) = 1,8 В, VDDB (VDDA) = 1,8 В			17
при VDDA (VDDB) = 1,8 В, VDDB (VDDA) = 5,0 В			10
при VDDA (VDDB) = 5,0 В, VDDB (VDDA) = 1,8 В			17
при VDDA (VDDB) = 5,0 В, VDDB (VDDA) = 5,0 В			10
Время спада t3 (на уровне 90% – 10%), нс			
при VDDA (VDDB) = 1,8 В, VDDB (VDDA) = 1,8 В			17
при VDDA (VDDB) = 1,8 В, VDDB (VDDA) = 5,0 В			10
при VDDA (VDDB) = 5,0 В, VDDB (VDDA) = 1,8 В			17
при VDDA (VDDB) = 5,0 В, VDDB (VDDA) = 5,0 В			10

Рекомендуемая схема применения

Таблица 5. Таблица внешних компонентов

Компонент	Номинал
C1 – C4	100 нФ

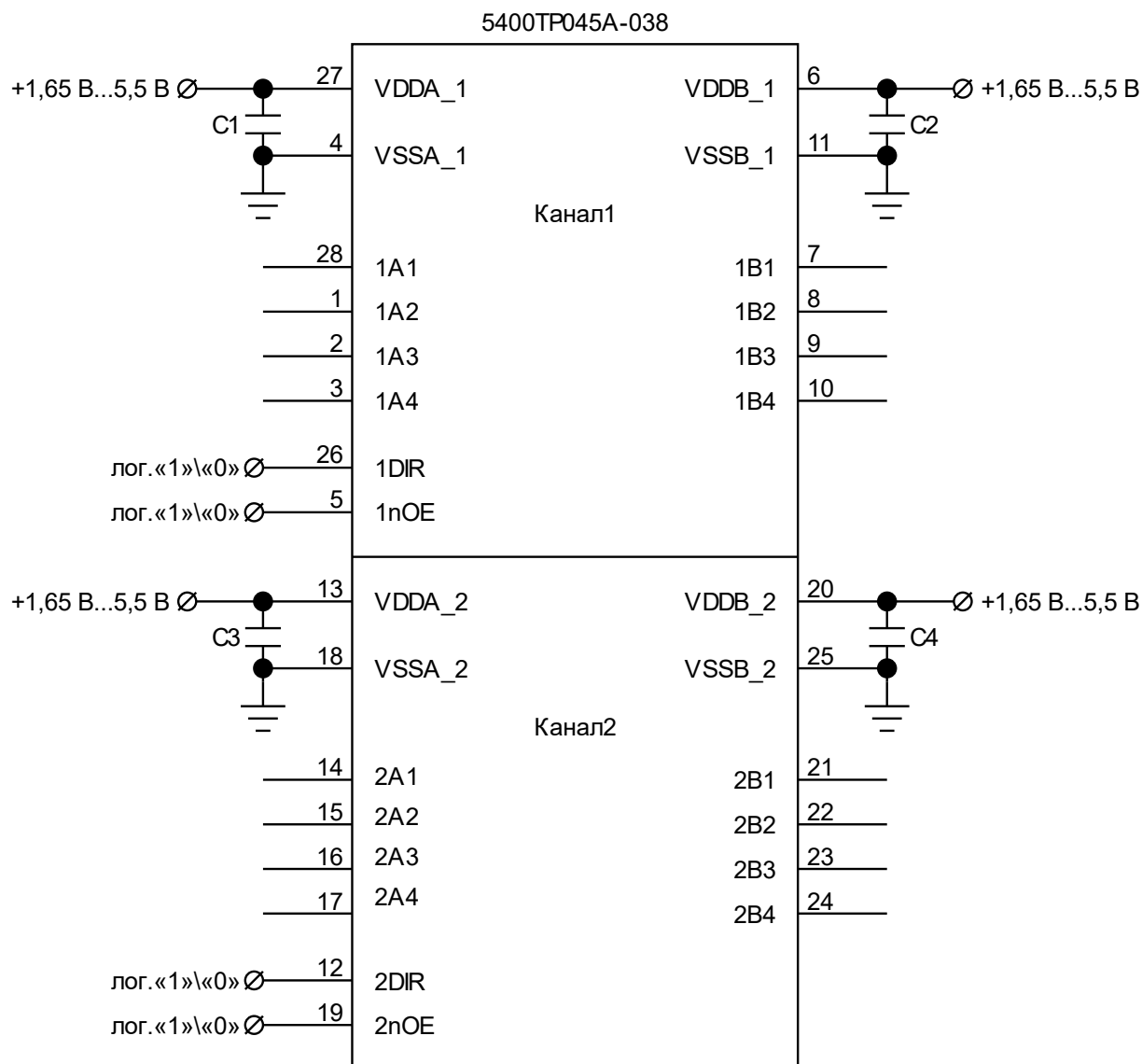


Рисунок 4. Рекомендуемая схема применения

Описание функционирования микросхемы

Микросхема представляет собой двухканальный 4-разрядный формирователь уровней выходных сигналов и может работать как 8-разрядный формирователь, так и как два независимых 4-разрядных формирователя. Каждый канал имеет собственный вывод питания, порты ввода\вывода (A1...A4, B1...B4) и сигналы управления nOE и DIR.

Важно! Входные уровни сигналов управления nOE и DIR должны соответствовать уровню питания порта A.

Входы разрядов портов схематически доопределены до уровня логического «0» или «1». Для этого используется резистор в обратной связи 300 кОм (триггерная петля). Если используемый разряд порта отключить, на входе будет сохраняться последнее логическое состояние. Неиспользуемые входы разрядов портов допускается оставлять не подключенными.

Последовательность включения/отключения напряжений питания или входов микросхемы не влияет работоспособность. В микросхеме реализована функция «холодный резерв»: при подключении резервные элементы не несут нагрузки и не влияют на работу основных компонентов.

Таблица 6. Таблица истинности работы микросхемы.

Выводы управления		Порты		Режим
nOE	DIR	A	B	
0	0	Выход	Вход	Передача данных B → A
0	1	Вход	Выход	Передача данных A → B
1	X	Z	Z	Передача запрещена

X – любое логическое состояние на выводе.

Габаритный чертеж

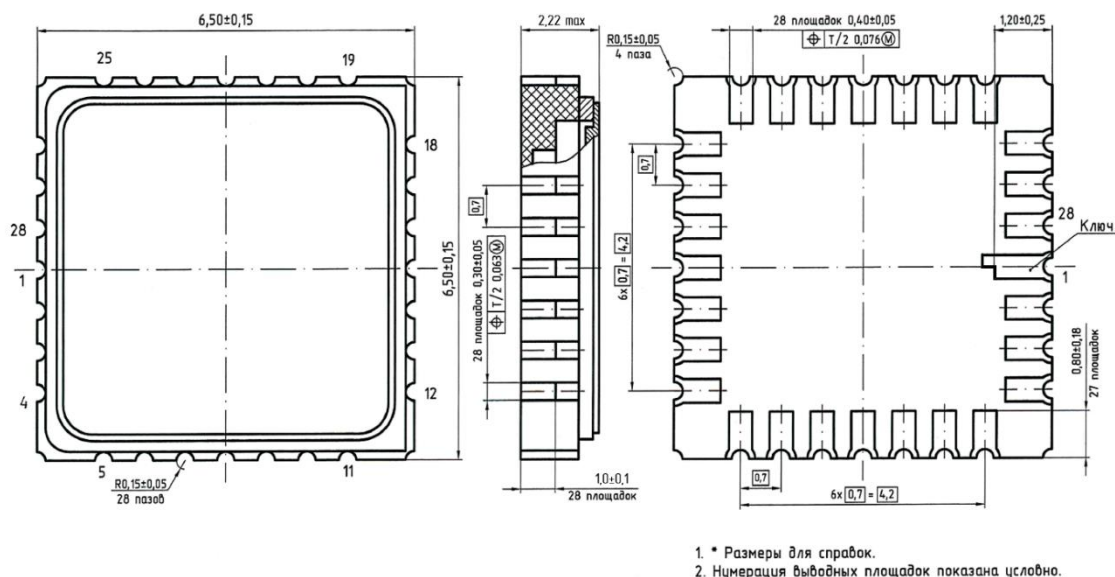


Рисунок 5. Габаритный чертеж корпуса МК 5123.28-1.01 (размеры в мм)

