

Приложение Б

Оглавление

Программирование микросхемы в составе устройства с помощью DCSProg	2
Программирование микросхемы в составе устройства через интерфейс JTAG	4
1. Память устройства и выходы для управления работой МК	4
2. Описание модуля JTAG	6
2.1 Инструкция JTAG_ROM_ACCESS	8
2.2 Инструкция JTAG_RAM_ACCESS	11
2.3 Инструкция DEBUGGER	12
2.4 Инструкция BYPASS	12
3. Программирование микросхемы в режиме SOFT	14
4. Программирование микросхемы в режиме HARD	16
Лист регистрации изменений	18

Соедините выводы микросхемы 5400TP105-003 (8, 9, 10, 11, 12, 18, 28, 29, 30, 34, 37, 44) и выводы микросхемы STG3157CTR (1, 6) с вилкой BH2–20 (20pin 2,00 мм) согласно рисунку ниже (Рисунок 2).

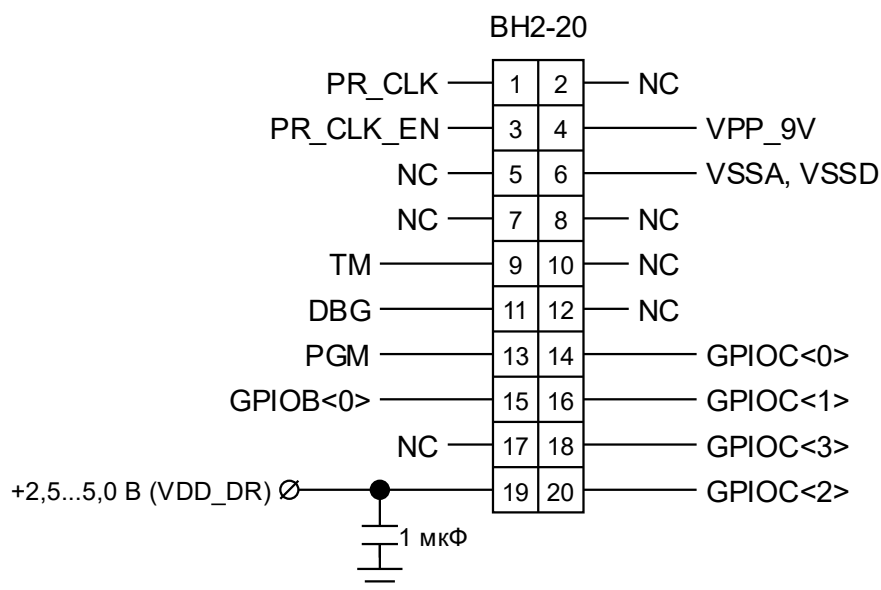


Рисунок 2. Схема подключения выводов микросхемы к вилке BH2–20

Начало работы

1. Подключите программатор к вашему устройству.
 2. Убедитесь, что на вывод №19 вилки BH2–20 подано напряжение от 2,5 В до 5,0 В (напряжение VDD_DR микроконтроллера).
 3. Запустить приложение DCSProg6.exe.
 4. Произвести принудительную идентификацию. В приложении DCSProg6.exe необходимо нажать сочетание клавиш Ctrl+F12 и в окне выбрать микросхему «5400TP105-003» (Рисунок 3).
 5. В меню «Инициализация» выбрать пункт «Выполнить предварительные настройки». После этого идентификация будет пройдена и программирование станет доступно.
- Важно!** Если идентификация не проходит, сообщите о проблеме в службу технической поддержки по электронной почте support@dcsouuz.ru.
6. Далее для работы с микросхемой см. Руководство пользователя 5400TP105-003 Приложение А.

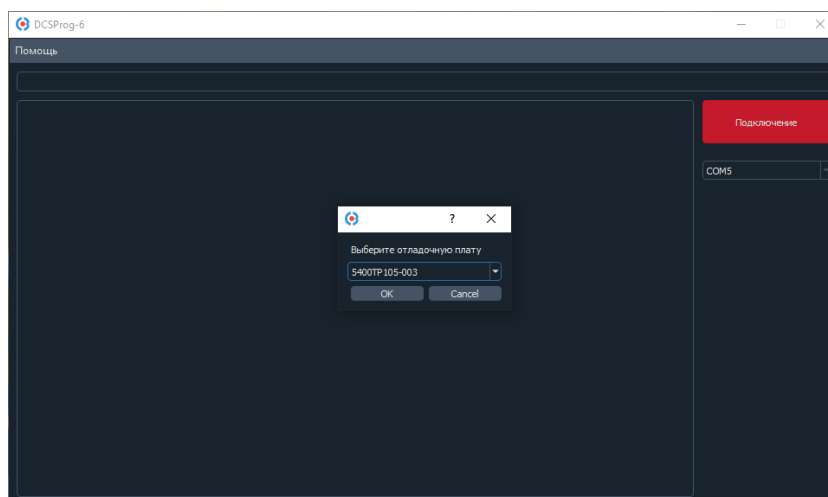


Рисунок 3. Идентификация программы через диалоговое меню

Программирование микросхемы в составе устройства через интерфейс JTAG

1. Память устройства и выводы для управления работой МК

Микроконтроллер содержит 3 блока памяти, разделённых физически и логически (Рисунок 4 и Рисунок 5):

- ROM_OTP_4KB – однократно программируемое ПЗУ объёмом 4 Кб, используется для хранения памяти программ (режим HARD). Адреса ПЗУ находятся в диапазоне от 0x0000 до 0x0FFF. Этот блок памяти является энергонезависимым.

- RAM_ROM_4KB – блок памяти объёмом 4 Кб, используется для хранения памяти программ (режим SOFT) или для хранения данных (режим HARD). Функционал этого блока памяти зависит от значения уровня на выводе DBG. При DBG = «1» ИМС работает в режиме SOFT, а значит данный блок памяти является памятью программ. При DBG = «0» ИМС работает в режиме HARD, а значит данный блок памяти является памятью данных. Этот блок памяти является энергонезависимым.

- RAM_256B – ОЗУ объёмом 256 байт, используется для хранения данных. Адреса этого ОЗУ находятся в диапазоне от 0x1000 до 0x10FF. Этот блок памяти является энергозависимым.

Прожиг ИМС (режим HARD) подразумевает однократную запись программ в область ROM_OTP_4KB, в качестве памяти данных предполагается совместное использование двух блоков RAM_ROM_4KB и RAM_256B, общий объем памяти данных при этом составит 4352 байта.

При отладке программы (режим SOFT, многократная перезапись программ) подразумевается запись программы в область памяти RAM_ROM_4KB, в качестве памяти данных будет действовать блок RAM_256B.

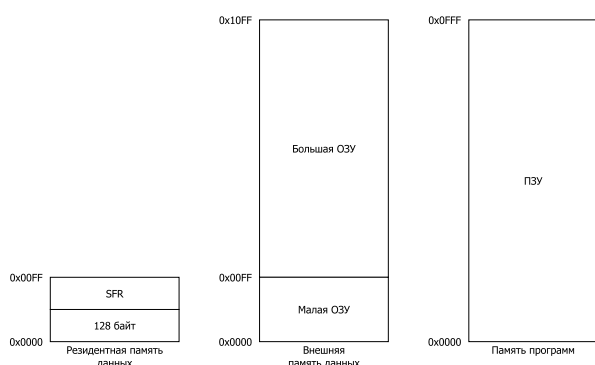


Рисунок 4. Структура памяти микроконтроллера в режиме HARD (при DBG = «0»)

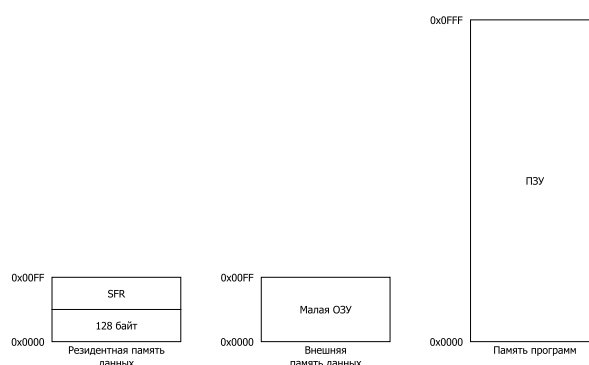


Рисунок 5. Структура памяти микроконтроллера в режиме SOFT (при DBG = «1»)

Вывод TM (Test Mode) служит для выбора режима работы микроконтроллера. Логический «0» означает стандартную работу микроконтроллера. Логическая «1» означает тестовый режим микроконтроллера. Если TM находится в состоянии логической «1», то часть портов ввода-вывода микроконтроллера переключаются в режим тестирования микросхемы (Таблица 2).

Таблица 2. Таблица назначения выводов в зависимости от состояния вывода TM

№ вывода	Назначение вывода	
	TM = «0»	TM = «1»
9	GPIOC <0>	JTAG_TCK
10	GPIOC <1>	JTAG_TMS
11	GPIOC <2>	JTAG_TDI
12	GPIOC <3>	JTAG_TDO
28	BOR_EXT	PGM
44	GPIOB <0>	H_S
45	GPIOB <1>	RC_CLKOUT

Также микроконтроллер имеет конфигурационную память аналоговых блоков объёмом 8 байт (адреса от 0x3300 до 0x3307). В тестовом режиме (при ТМ = «1»), в зависимости от вывода GPIOB_0/H_S источником конфигурационных данных являются регистры (при H_S = «1»), либо ПЗУ конфигурационной памяти (при H_S = «0»).

В стандартном режиме (при ТМ = «0») конфигурационная память будет работать в режиме HARD, то есть конфигурационные данные будут поступать из ПЗУ, а H_S будет работать как стандартный порт ввода/вывода GPIOB <0>.

Таблица 3. Регистры модуля ANALOG_CFG

№	Аббревиатура	Доступ	Описание
3300h	ANALOG_O_BUF	W	Регистр управления выходным буфером ЦАП, управления выходным масштабирующим операционным усилителем (МОУ) после ИОН (вывод Vgr_ADC), настройки коэффициента усиления МОУ
3301h	ANALOG_O_PLL	W	Регистр настройки источника тактовой частоты
3302h	ANALOG_O_RC	W	Регистр настройки ёмкости конденсатора RC-генератора
3306h	ANALOG_O_RC_R	W	Регистр настройки сопротивления резистора RC-генератора, выбора источника BOR, управления выводами GPIOB <1>, A0 и источниками тактовой частоты в тестовом режиме

Примечание:

Регистры конфигурационной памяти аналоговых блоков доступны только на запись, чтение регистров невозможно.

2. Описание модуля JTAG

Микроконтроллер содержит модуль JTAG, который поддерживает обязательные и ряд дополнительных пользовательских инструкции (Таблица 4).

Таблица 4. Инструкции модуля JTAG

Инструкция	Код инструкции	Разрядность регистра данных
JTAG ROM ACCESS	100b	24
JTAG RAM ACCESS	011b	24
DEBUGGER	110b	5
BYPASS	111b	1

Модуль JTAG функционирует в соответствии со стандартным автоматом состояний TAP (

Рисунок 6).

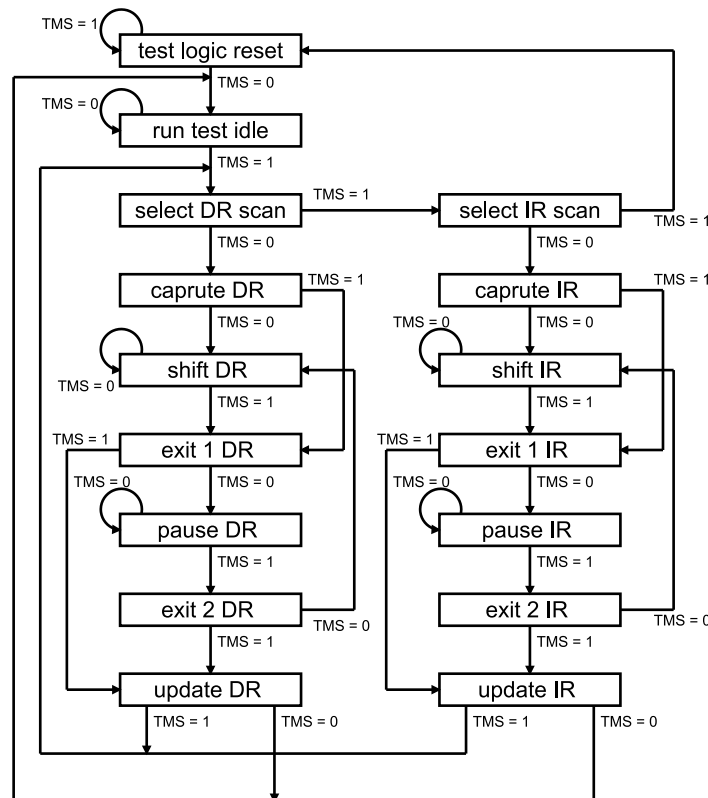


Рисунок 6. Автомат состояний TAP

Запись инструкций и их данных в регистр по JTAG происходит в соответствии с работой автомата состояний TAP контроллера. После записи в регистр инструкции последовательности из трёх бит JTAG модуль устанавливает между линиями TDI и TDO регистр данных, соответствующий выбранной инструкции. Выбор инструкции осуществляется посредством записи по линии JTAG_TDI необходимой последовательности внутри состояния SHIFT-IR.

Для ИМС 5400TP105-003 код инструкции записывается **младшим битом вперёд**.

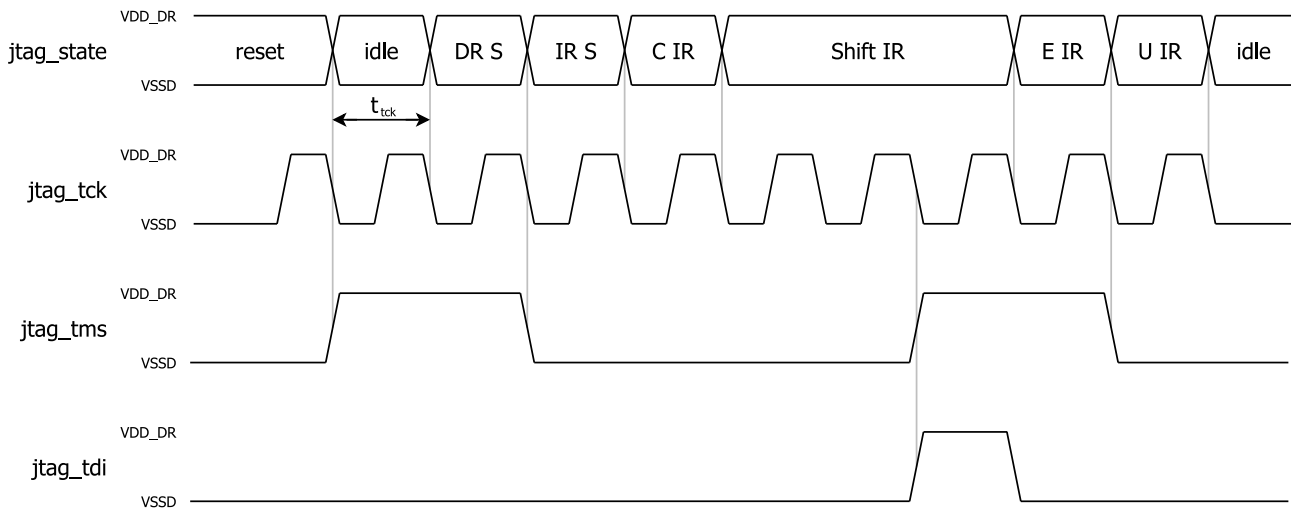


Рисунок 7. Выбор инструкции JTAG_ROM_ACCESS

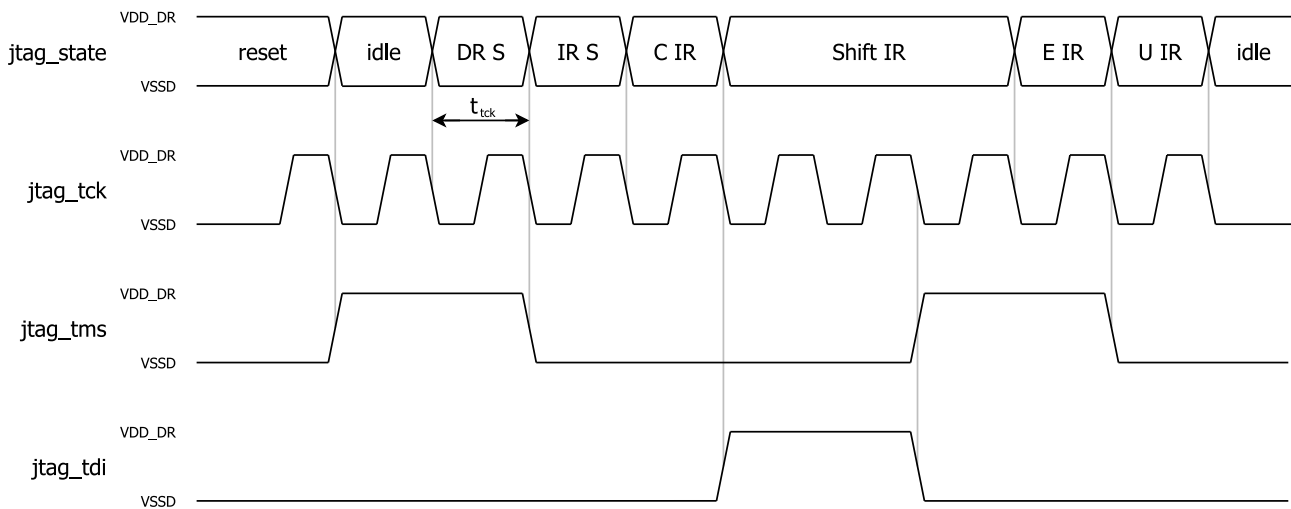


Рисунок 8. Выбор инструкции JTAG_RAM_ACCESS

Таблица 5. Справочные данные

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Период тактового сигнала JTAG (t_{tck}), нс	250		500

Примечание:

Частота тактирования микросхемы должна быть минимум в 2 раза больше частоты тактирования интерфейса JTAG.

2.1 Инструкция JTAG_ROM_ACCESS

Для работы с памятью программ по JTAG необходимо выставить инструкцию JTAG_ROM_ACCESS, затем в регистр данных записать 24 бита (Таблица 6).

Таблица 6. Обращение в блок памяти программ по JTAG

Бит	23	22	21	20	19	18	17	16
Назначение	RW	CE	ADDR					
Бит	15	14	13	12	11	10	9	8
Назначение	ADDR							
Бит	7	6	5	4	3	2	1	0
Назначение	DATA							

RW – операция чтения или записи:

- 1 – чтение данных,
- 0 – запись данных;

CE – разрешение работы с выбранной областью памяти:

- 1 – обращение в ROM-память,
- 0 – область ROM не задействуется, биты <21:0> игнорируются;

ADDR – адрес обращения;

DATA – данные для записи, младший бит данных находится в бите 0.

Инструкция JTAG_ROM_ACCESS позволяет обращаться в память программ микроконтроллера (при DBG = «1» выбирается блок памяти RAM_ROM_4KB, при DBG = «0» – ROM_OTP_4KB). Запись в регистр данных осуществляется посредством записи по линии JTAG_TDI необходимой последовательности внутри состояния SHIFT-DR.

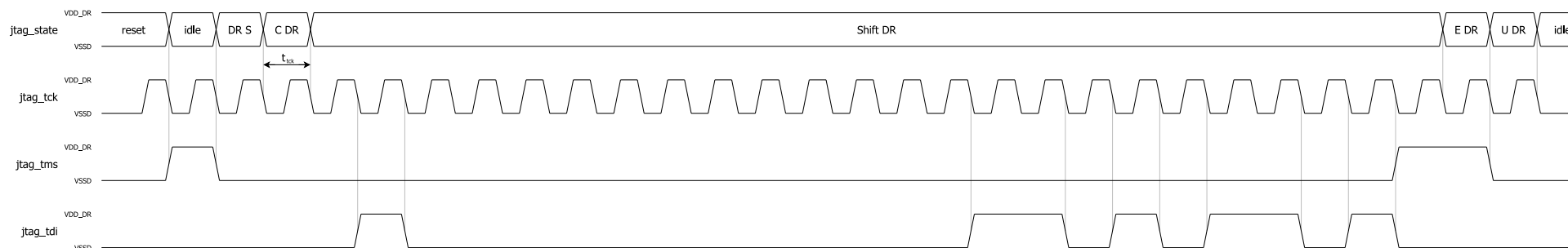


Рисунок 9. Пример записи в память программ через интерфейс JTAG

Примечания:

RW = «0» (запись), CE = «1», ADDR = 0x0003, DATA = 0x5A. Предполагается, что инструкция JTAG_ROM_ACCESS была до этого выбрана.

Для ИМС 5400TP105-003 запись в регистр данных инструкции JTAG_ROM_ACCESS осуществляется **старшим битом вперёд**.

Для чтения конкретного адреса памяти программ сначала необходимо осуществить запись в регистр данных инструкции JTAG_ROM_ACCESS, в которой будет произведён запрос на чтение памяти программ по необходимому адресу. Затем осуществить чтение регистра данных этой же инструкции (Рисунок 10, Рисунок 11).

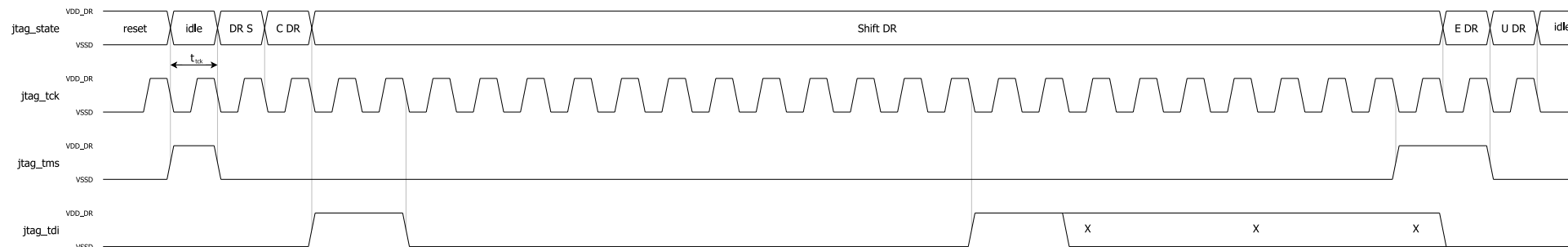


Рисунок 10. Запрос чтения из памяти программ через интерфейс JTAG

Примечание: RW = «1» (чтение), CE = «1», ADDR = 0x0003, DATA – не имеет влияния.

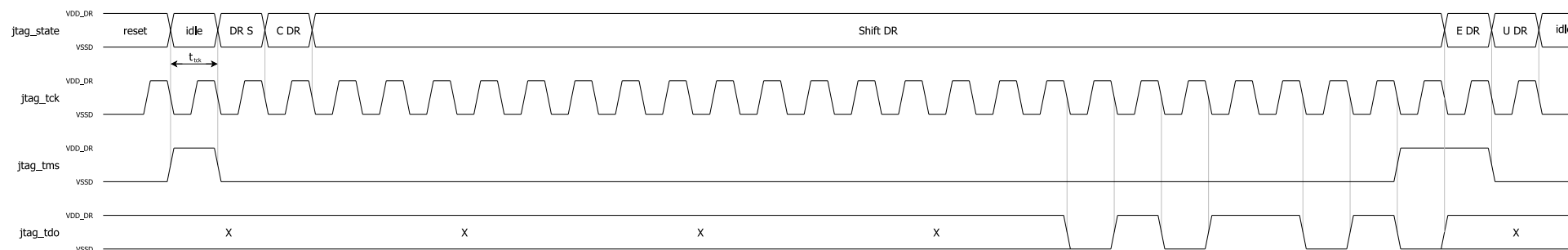


Рисунок 11. Ответ на запрос чтения из памяти программ через интерфейс JTAG

Примечание: DATA = 0x5A.

Для последовательного чтения по JTAG можно внутри одной транзакции читать по JTAG_TDO ответ на запрос чтения адреса из предыдущей транзакции и одновременно писать по JTAG_TDI запрос на чтение другого адреса.

2.2 Инструкция JTAG_RAM_ACCESS

Данная инструкция предназначена для работы с памятью данных микроконтроллера. Работает аналогично инструкции JTAG_ROM_ACCESS:

- регистр данных также является 24-битным (Таблица 6);
- регистр данных имеет такие же служебные поля (RW, CE, ADDR, DATA) с таким же назначением (Таблица 6);
- запись в память данных осуществляется аналогично записи в память программ (Рисунок 9);
- чтение из памяти данных осуществляется аналогично чтению из памяти программ (Рисунок 10, Рисунок 11).

2.3 Инструкция DEBUGGER

Инструкция DEBUGGER предназначена для взаимодействия с ядром микроконтроллера посредством интерфейса JTAG. Регистр данных инструкции DEBUGGER (Таблица 7) является 5-разрядным. Запись в регистр данных инструкции DEBUGGER осуществляется **младшим битом вперёд**.

Таблица 7. Описание регистра данных инструкции DEBUGGER

Бит	4	3	2	1	0
Назначение	RUN	HOLD	резерв	RST	RW

RW – операция чтения или записи:

- 1 – чтение признака останова CPU,
- 0 – запись данных для выполнения команды CPU;

RST – сброс микросхемы:

- 1 – сброс микросхемы,
- 0 – не имеет функционала;

HOLD – сброс или остановка микросхемы (в зависимости от состояния бита CPU в регистре DBG_CTRL):

Таблица 8. Работа микросхемы в зависимости от состояния битов HOLD и CPU

Состояние бита	CPU = 0	CPU = 1
HOLD = 1	сброс микросхемы	остановка микросхемы
HOLD = 0	не оказывает влияния	

RUN – запуск работы / признак останова CPU (в зависимости от состояния бита RW):

Таблица 9. Работа микросхемы в зависимости от состояния битов RW, RUN и CPU

Состояние бита	RUN = 1	RUN = 0
RW = 0, CPU = 1	запуск работы ядра	не оказывает влияния
RW = 1, CPU = 1	чтение признака останова ядра	не оказывает влияния
RW = X, CPU = 0	не оказывает влияния	

Примечание:

запрещено одновременно выставлять биты RUN, HOLD, RST в лог. «1».

2.4 Инструкция BYPASS

Инструкция «BYPASS» имеет трехбитовый код 111b и функционирует в соответствии со стандартом IEEE Std 1149.1-2001.

Для работы с битами HOLD и RUN инструкции DEBUGGER необходимо включение модуля отладчика. Для этого в регистре DBG_CTRL, расположенный по адресу 0x3200 в ОЗУ, необходимо осуществить запись 0b00000011.

Таблица 10. Регистр контроля модуля отладки DBG_CTRL

Бит	7	6	5	4	3	2	1	0
Назначение	Резерв						CPU	EN

EN – Включение модуля отладчика:

- 1 – включение модуля отладчика;
- 0 – выключение модуля отладчика,

CPU – бит взаимодействия модуля отладчика с микросхемой:

- 1 – сброс микросхемы;
- 0 – остановка микросхемы.

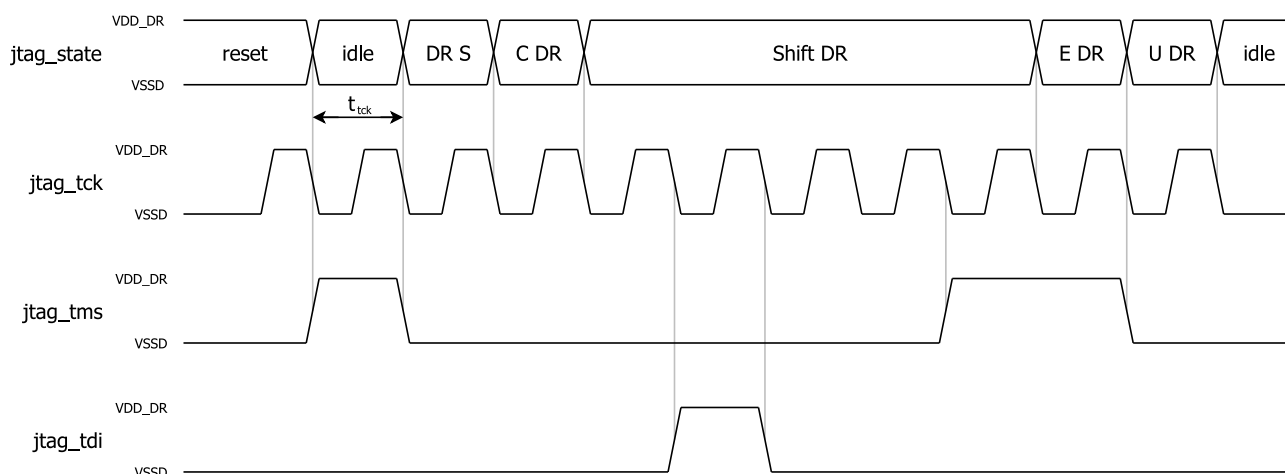


Рисунок 12. Пример сброса CPU через регистр данных инструкции DEBUGGER

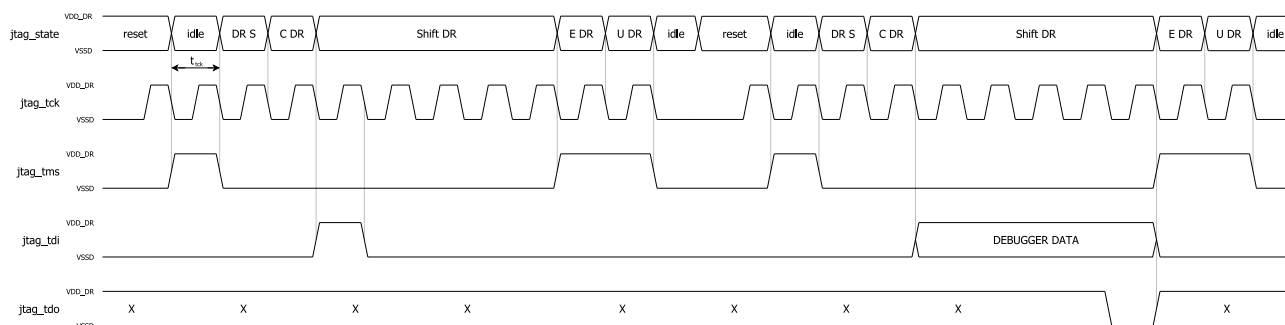


Рисунок 13. Пример чтения признака останова CPU через регистр данных инструкции DEBUGGER

Примечание:

DEBUGGER DATA – код регистра данных инструкции DEBUGGER для следующей транзакции.

3. Программирование микросхемы в режиме SOFT

Перед программированием ИМС 5400TP105-003 в режиме SOFT необходимо выполнить следующие действия:

- 1) подать на вывод GEN1 ИМС меандр частотой 4-8 МГц с амплитудой от VSSD до VDD_DR;
- 2) установить вывод ТМ в лог. «1». (GPIOC <0> ... GPIOC <3> – выводы JTAG; GPIOB <0> – H_S; BOR_EXT – PGM);
- 3) установить вывод H_S в лог. «0» (источником данных аналоговой конфигурационной памяти является ПЗУ);
- 4) установить вывод PGM в лог. «0» (запрет программирования ПЗУ);
- 5) установить вывод DBG в лог. «1» (памятью программ микроконтроллера является блок памяти RAM_ROM_4KB);
- 6) произвести сброс TAP контроллера, удерживая сигнал TMS в лог. «1» в течение 5 тактов сигнала TCK;
- 7) выбрать инструкцию JTAG_ROM_ACCESS (Рисунок 7, Рисунок 8) для доступа к памяти программ микроконтроллера;

Примечание:

перед записью в память программ необходимо предварительно составить карту адрес → данные, обработав входной hex-файл.

8) для записи в память программ (блок RAM_ROM_4KB) необходимо последовательно, используя регистр данных инструкции JTAG_ROM_ACCESS, производить JTAG транзакции записи (Рисунок 9);

9) для подтверждения корректности произведённой записи можно последовательно считать используемые адреса и сравнить их с тем, что было записано (Рисунок 10, Рисунок 11).

После записи в память программ необходимо выполнить следующие действия:

- 1) выбрать инструкцию DEBUGGER (Рисунок 7, Рисунок 8);
- 2) выполнить сброс CPU, записав 01000b в регистр данных инструкции DEBUGGER (Рисунок 12);
- 3) оставить вывод H_S в обрыве;
- 4) перевести вывод ТМ в лог. «0».

Последовательность алгоритма программирования ИМС в режиме SOFT изображена на рисунке ниже (Рисунок 14).

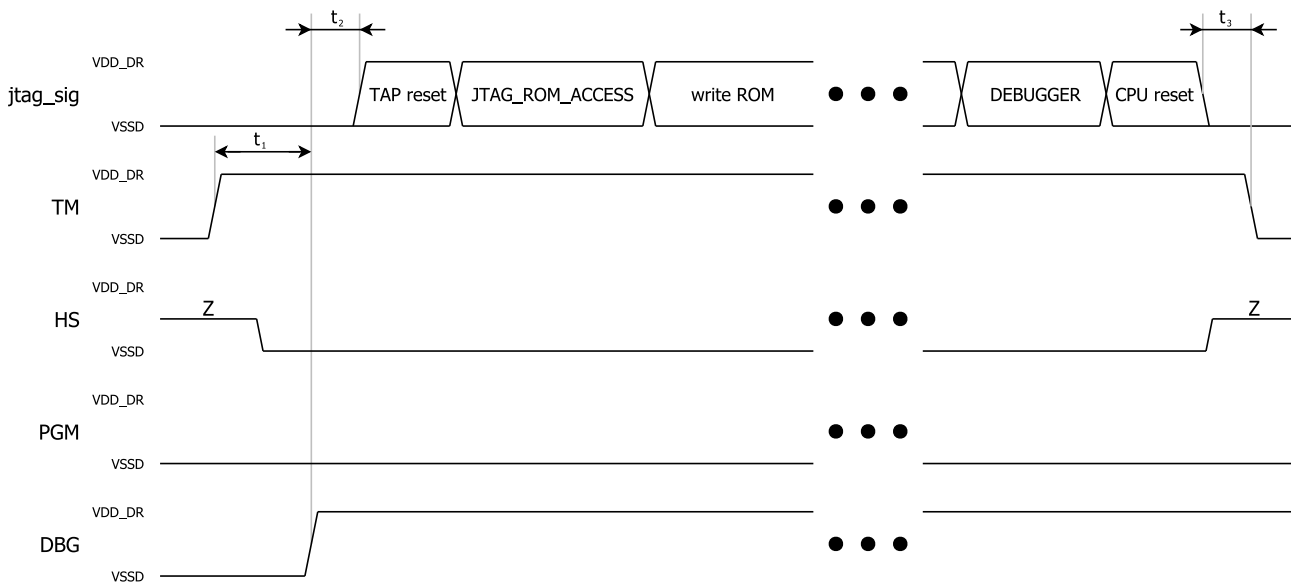


Рисунок 14. Программирование 5400TP105-003 в режиме SOFT (без верификации чтением)

Таблица 11. Справочные данные

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Время от фронта сигнала TM до фронта сигнала DBG (t_1), мс	2		
Время от фронта сигнала DBG до начала инструкции «TAP reset» (t_2), мкс	200		
Время от инструкции «CPU reset» до среза сигнала TM (t_3), мс	1		

4. Программирование микросхемы в режиме HARD

Перед программированием ИМС 5400TP105-003 в режиме HARD необходимо выполнить следующие действия:

- 1) подать на вывод GEN1 ИМС меандр частотой 4-8 МГц с амплитудой от VSSD до VDD_DR;
- 2) установить вывод ТМ в лог. «1». (GPIOC <0> ... GPIOC <3> – выводы JTAG; GPIOB <0> – H_S; BOR_EXT – PGM);
- 3) установить вывод H_S в лог. «1» (источником данных аналоговой конфигурационной памяти являются регистры);
- 4) установить вывод DBG в лог. «0» (памятью программ микроконтроллера является блок памяти ROM_OTP_4KB);
- 5) произвести сброс TAP контроллера, удерживая сигнал TMS в лог. «1» в течение 5 тактов сигнала TCK;
- 6) выбрать инструкцию DEBUGGER (Рисунок 7 и Рисунок 8);
- 7) выполнить сброс CPU, записав 01000b в регистр данных инструкции DEBUGGER (Рисунок 12);
- 8) выбрать инструкцию JTAG_ROM_ACCESS (Рисунок 7 и Рисунок 8) для доступа к памяти программ микроконтроллера;
- 9) подать на вывод GEN1 ИМС лог. «1» (частота тактирования JTAG остаётся прежней);
- 10) установить вывод PGM в лог. «1»;
- 11) установить на выводе VPP_9V напряжение 9,0 В.

Примечание:

перед записью в память программ необходимо предварительно составить карту адрес → данные, обработав входной hex-файл.

12) для записи в память программ (блок ROM_OTP_4KB) необходимо последовательно, используя регистр данных инструкции JTAG_ROM_ACCESS, производить JTAG транзакции записи (Рисунок 9). После каждой транзакции записи необходимо на вход тактирования GEN1 ИМС подать три тактовых импульса с частотой 10 Гц.

После записи в память программ необходимо выполнить следующие действия:

- 1) установить на выводе VPP_9V напряжение 0 В;
- 2) установить вывод PGM в лог. «0»;
- 3) подать на вывод GEN1 ИМС меандр частотой 4-8 МГц с амплитудой от VSSD до VDD_DR;
- 4) выбрать инструкцию DEBUGGER (Рисунок 7 и Рисунок 8);
- 5) выполнить сброс CPU, записав 01000b в регистр данных инструкции DEBUGGER (Рисунок 12);
- 6) перевести вывод ТМ в лог. «0».

Последовательность алгоритма программирования ИМС в режиме HARD изображена на рисунке ниже (Рисунок 15).

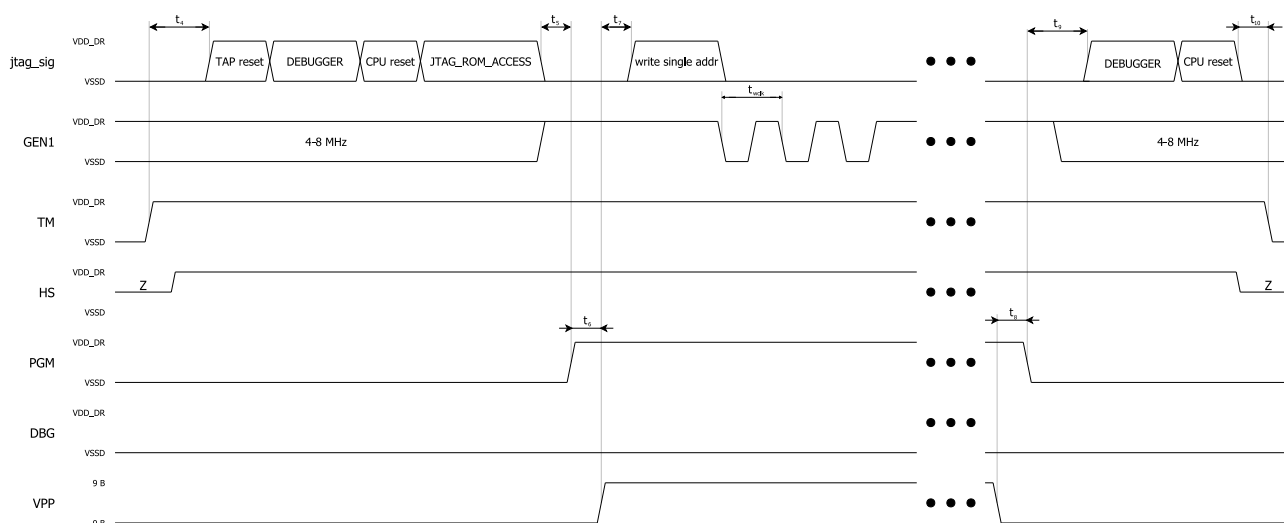


Рисунок 15. Программирование 5400TP105-003 в режиме HARD (без верификации чтением)

Таблица 12. Справочные данные

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Период тактового сигнала во время прожига (t_{wclk}), мс		100	
Время от фронта сигнала TM до начала инструкции «TAP reset» (t_4), мс	2		
Время от инструкции «JTAG_ROM_ACCESS» до фронта сигнала PGM (t_5), мкс	10		
Время от фронта сигнала PGM до фронта сигнала VPP (t_6), мс		100	
Время от фронта сигнала VPP до начала первой инструкции «write single addr» (t_7), мс	20		
Время от среза сигнала VPP до среза сигнала PGM(t_8), мс		100	
Время от среза сигнала PGM до начала инструкции «DEBUGGER» (t_9), мкс	10		
Время от инструкции «CPU reset» до среза сигнала TM (t_{10}), мс	1		

