

Программируемая пользователем аналого-цифровая микросхема 5400TP094:

основные характеристики и особенности применения

Всеволод ЭННС,
к. т. н.
Юрий КОБЗЕВ,
к. т. н.
Игорь КОРЕПАНОВ
Роман НУРУЛЛИН
Дмитрий ИВАНОВ
mail@dcsoyuz.com

Программируемая пользователем аналого-цифровая интегральная схема (ПАЦИС) 5400TP094 — развитие серии конфигурируемых аналого-цифровых микросхем 5400, разработанных в компании «Дизайн Центр «Союз». В отличие от первого поколения (программируемая аналоговая интегральная схема ПАИС 5400TP035) в микросхеме появились блоки на переключаемых конденсаторах, АЦП, ЦАП и программируемый цифровой блок. Конфигурирование ПАЦИС выполняется путем программирования пользователем электрических связей между встроенными блоками. В статье описываются основные характеристики микросхемы 5400TP094, области ее применения и особенности проектирования схем на ее основе.

Микросхема 5400TP094 предназначена для реализации аналоговых и аналого-цифровых интегральных схем путем электрического программирования коммутации между встроенными блоками на стороне пользователя.

Микросхема имеет два режима работы:

- режим отладки с возможностью многократного перепрограммирования (режим SOFT);
- режим финальной конфигурации с записью в однократно программируемую энергонезависимую память (режим HARD).

Микросхема выполнена по отечественному КМОП КНИ технологическому процессу и размещается в 144-выводном металлокерамическом корпусе 4228.144-1. Микросхема отличается высокой надежностью (наработка на отказ составляет не менее 160000 ч) и стойкостью к специальным воздействующим факторам, в том числе в условиях космического пространства (гарантированное отсутствие отказов при воздействии тяжелых заряженных частиц и стойкость к накопленной дозе).

Программируемое ядро микросхемы 5400TP094 состоит из трех основных частей: цифрового, аналого-цифрового и аналогового блоков.

Цифровой блок содержит логические элементы и ячейки хранения состояния данных. Емкость цифровой части — 1700 логических элементов, каждый из которых состоит из трехходового LUT и D-триггера. В составе цифрового блока реализован универсаль-

ный последовательный SPI-интерфейс для прямого управления АЦП и ЦАП.

Аналого-цифровой блок обеспечивает взаимосвязь аналоговой и цифровой части микросхемы. В своем составе имеет два АЦП и два ЦАП разрядностью до 14 бит, аналого-

вые мультиплексоры и демультиплексоры, а также регистры хранения данных для последовательного и параллельного вывода.

Аналоговый блок состоит из программируемых усилительных блоков, схем на переключаемых конденсаторах, блоков пассивных

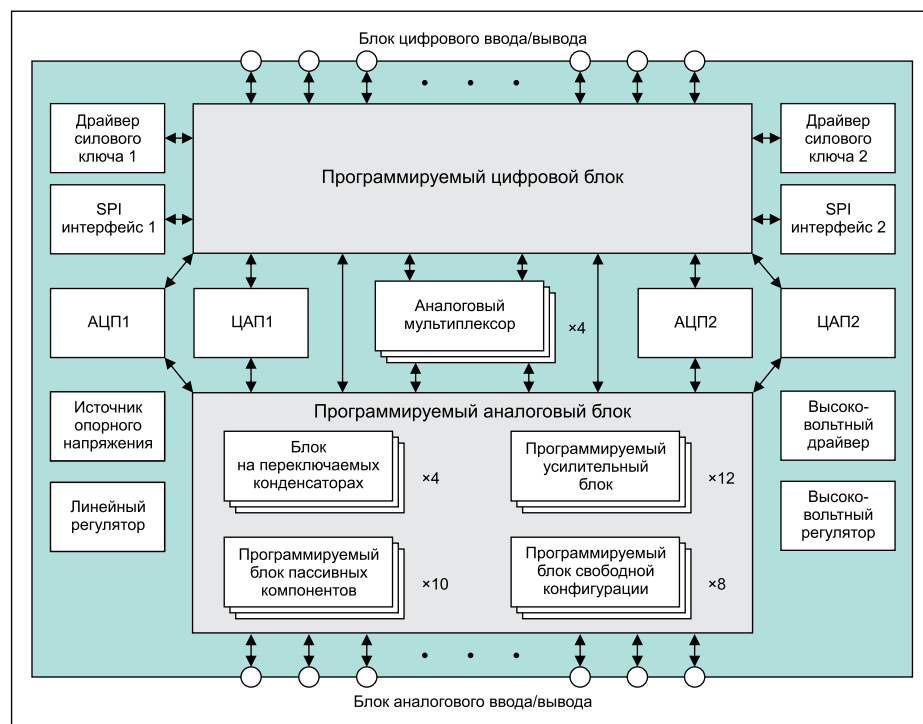


Рис. 1. Структурная схема

компонентов и модулей свободной конфигурации для проектирования узлов с произвольной электрической схемой на уровне отдельных транзисторов, резисторов и конденсаторов. Также в составе аналоговой части имеются драйверы силовых ключей. Структурная схема микросхемы 5400TP094 представлена на рис. 1.

Программируемый усилительный блок состоит из настраиваемых резисторов, конденсаторов и конфигурируемого усилительного каскада, в состав которого входят:

- два однокаскадных ОУ с токовым выходом;
- два двухкаскадных ОУ;
- два компаратора;
- двухкаскадный полностью дифференциальный ОУ.

Программируемый усилительный блок позволяет строить дифференциальные усилители как непрерывного действия, так и дискретные (на конденсаторах) с настраиваемым коэффициентом усиления; два независимых компаратора как с гистерезисом, так и без гистерезиса; фильтры нижних и верхних частот; устройства выборки/хранения и двойной коррелированной выборки; интеграторы и дифференциаторы.

Основные характеристики программируемого усилительного блока (типичные значения):

- коэффициент усиления: не менее 100 дБ;
- напряжение смещения: не более 100 мкВ (при использовании чоппер-стабилизации);
- задержка переключения компаратора: не более 0,2 мкс;
- частота единичного усиления: не менее 2 МГц;
- скорость нарастания выходного напряжения: не менее 2 В/мкс.

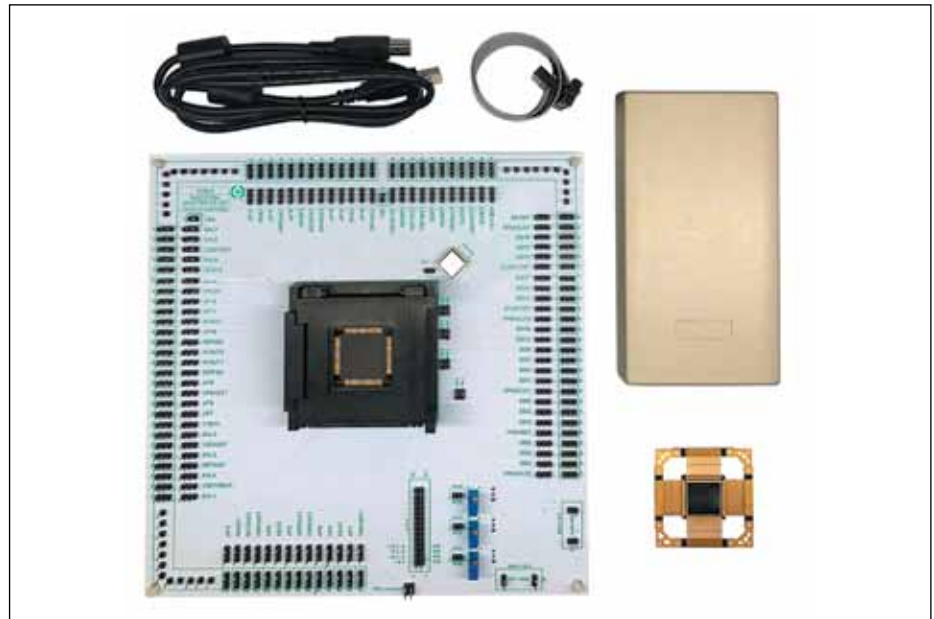


Рис. 2. Отладочный комплект микросхемы 5400TP094

Блоки пассивных компонентов, предусмотренные в составе микросхемы, содержат программируемые резисторы, конденсаторы, тактируемые ключи и выводы положительного и отрицательного питания. Блоки предназначены для работы в составе более сложных схем вместе с усилительными блоками.

Наряду со встроенными аналоговыми блоками микросхема содержит модули, предназначенные для программирования узлов с произвольной электрической схемой

на уровне отдельных транзисторов, резисторов и конденсаторов. Такой блок свободной конфигурации содержит 16 *n*-МОП-транзисторов, 16 *p*-МОП-транзисторов, резисторы и конденсаторы.

Также в микросхеме реализовано два АЦП последовательного приближения с последовательным интерфейсом выходных данных. Для удобства использования управление АЦП осуществляется через SPI-интерфейс как из цифровой части, так и с внешних контактных площадок.

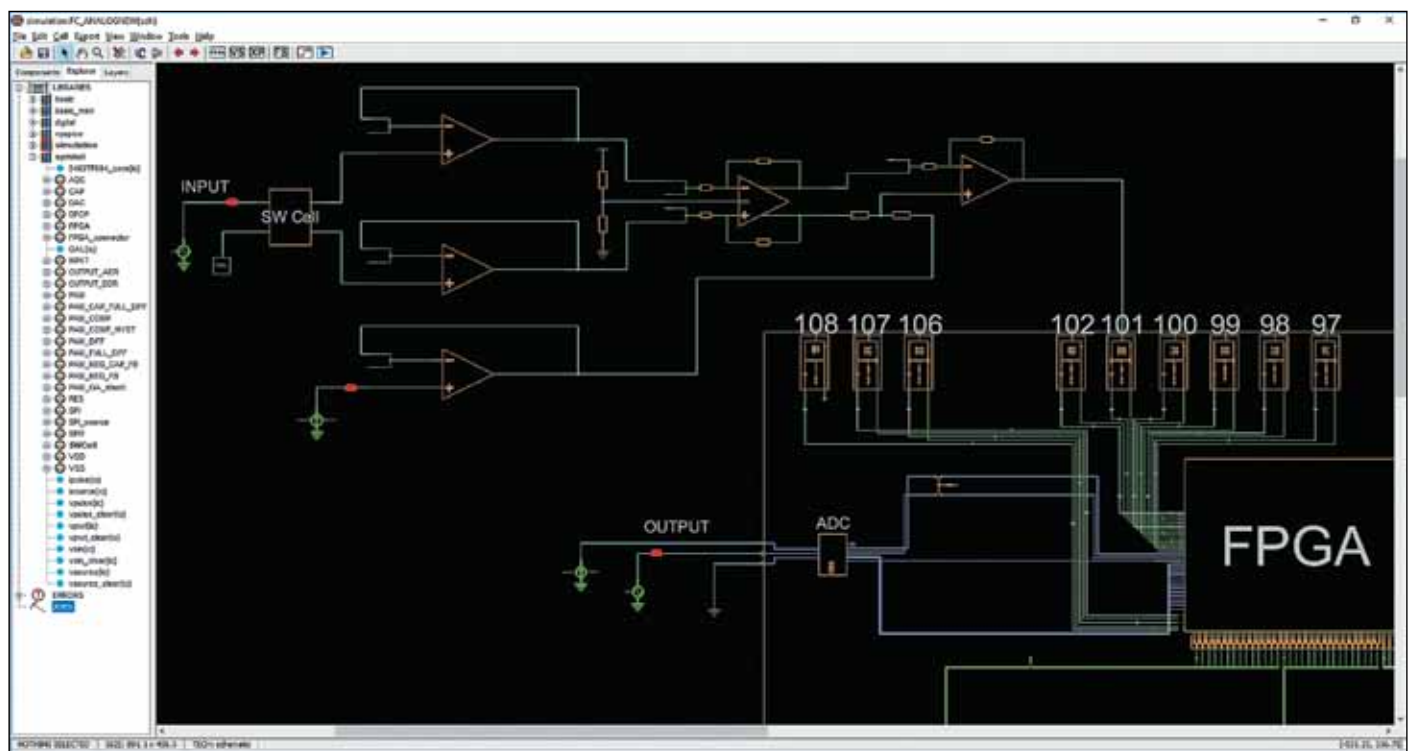


Рис. 3. Построение электрической схемы из библиотечных символьных элементов

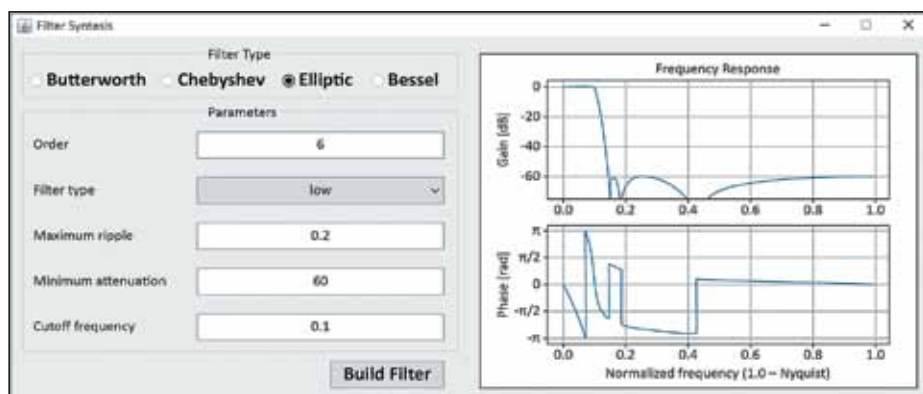


Рис. 4. Окно программы для проектирования фильтров

Основные характеристики АЦП:

- разрешающая способность: до 14 бит;
- частота дискретизации: до 1 Мвыб/с;
- дифференциальная нелинейность: ± 1 МЗР;
- интегральная нелинейность: ± 5 МЗР.

В состав аналого-цифрового интерфейса входит два ЦАП R-2R архитектуры с сегментированием старших разрядов. Управление ЦАП осуществляется через SPI-интерфейс из цифровой части и с внешних контактных площадок.

Основные характеристики ЦАП:

- разрешающая способность: до 14 бит;
- время установления выходного напряжения: не более 0,2 мкс;
- дифференциальная нелинейность: ± 1 МЗР;
- интегральная нелинейность: ± 5 МЗР.

Для связи ядра с контактными площадками по периферии кристалла расположены 36 портов ввода/вывода (18 цифровых и 18 аналоговых).

Порт аналогового ввода/вывода содержит в своем составе аналоговый и цифровой буфер. Аналоговый буфер построен на основе операционного усилителя с нагрузочной способностью 20 мА. Цифровой буфер используется для вывода сигналов с выходов компараторов.

Порт цифрового ввода/вывода обеспечивает трансляцию уровней логического сигнала между выводом площадки и внутренними уровнями программируемого цифрового блока. Диапазон уровня логической «1» на площадке может лежать в пределах 1,8–5 В. Блок также позволяет программировать нагрузочную способность (5–300 мА) или отключение площадки (переход в высокоимпедансное состояние).

Микросхема содержит две высоковольтные выходные аналоговые площадки, кото-

рые обеспечивают возможность работы с выходным напряжением до 10 В с нагрузочной способностью буфера до 300 мА.

Помимо программируемых блоков микросхема содержит источник опорного напряжения, линейные регуляторы напряжения и драйвер силового ключа.

Для разработки проектов на базе ПАИС 5400ТР094 компания «Дизайн Центр «Союз» предоставляет специализированный отладочный комплект, включающий ПО для проектирования и расчета электрических схем, ПО для программирования ИМС, макетную плату, программатор и интерфейсные провода (рис. 2).

Опытные образцы микросхемы 5400ТР094 и отладочный комплект доступны для заказа. Включение микросхемы в Перечень ЭКБ и начало серийных поставок запланировано на первый квартал 2020 года.

Маршрут проектирования состоит из следующих шагов:

1. Разработка принципиальной электрической схемы аналоговой части.
2. Проектирование цифровой части.
3. Синтез блоков на переключаемых конденсаторах.
4. Смешанное моделирование всей схемы.
5. Создание конфигурационной последовательности.
6. Прошивка микросхемы в режиме отладки и ее макетирование.
7. Прошивка микросхемы в однократно программируемую энергозависимую память.

Пункты 1–5 маршрута реализуются на предоставляемом САПР, пункты 6 и 7 — на отладочном комплекте.

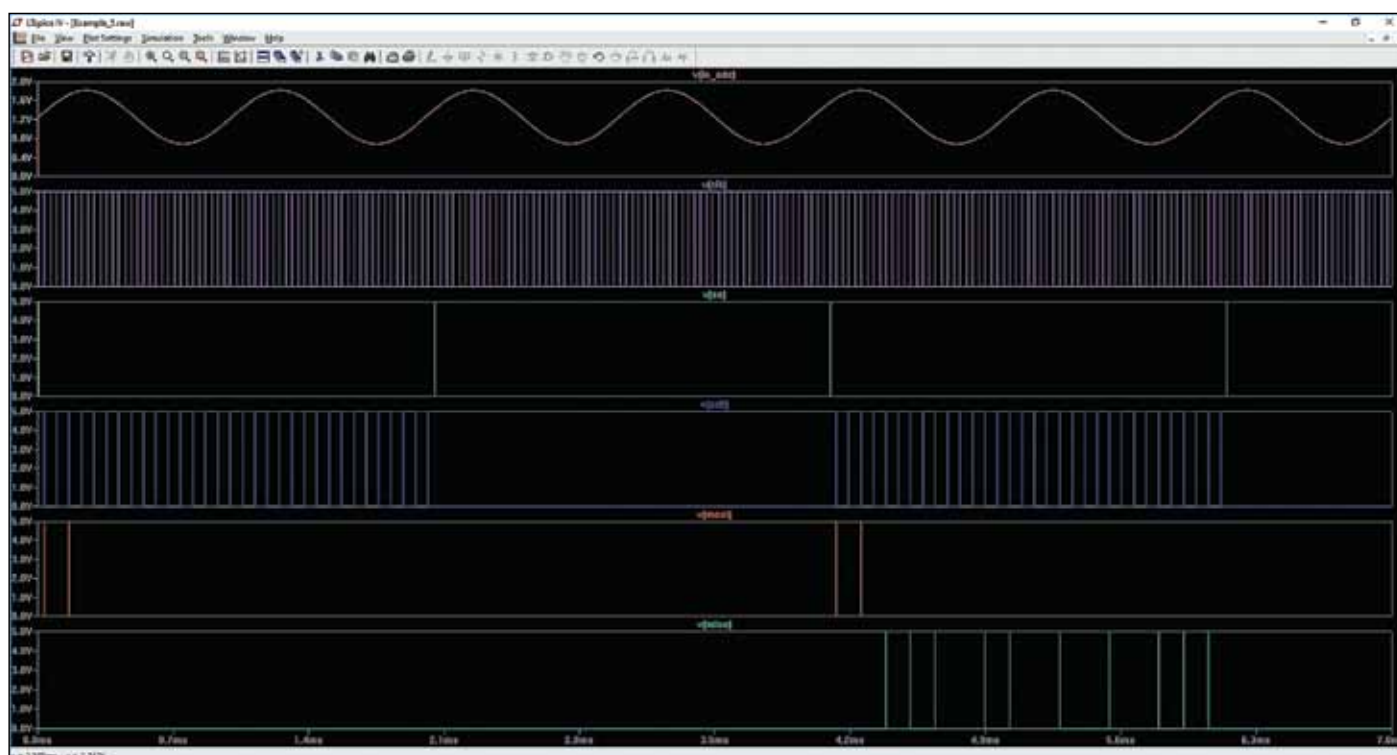


Рис. 5. Результат смешанного моделирования аналоговой и цифровой части

Проектирование аналоговой части выполняется с помощью предоставляемой библиотеки СФ-блоков, таких как ОУ в различных включениях, АПЦ, ЦАП, резисторы, конденсаторы и др. Также библиотека содержит отдельные элементы для создания схем из транзисторов, резисторов и конденсаторов. Моделирование результатов проводится с учетом сопротивления коммутационных ключей и емкости шин трассировки.

Проектирование цифровой части осуществляется на языке Verilog или с помощью соединения отдельных логических элементов (инвертор, 2И-НЕ, 2ИЛИ-НЕ, триггер и т.д.). Логический синтез, размещение в базе микросхемы и трассировка выполняются автоматически. Моделирование результатов выполняется с учетом задержек межсоединений и емкостной нагрузки выходов логических элементов. Пример схемы, реализованной на символьных элементах, представлен на рис. 3.

Блок на переключаемых конденсаторах позволяет реализовать функции фильтрации, сигма-дельта модуляции первого или второго порядка. Построение фильтра осуществляется в три этапа: синтез идеальных коэффициентов фильтра, калибровка коэффициентов и конфигурирование блока в соответствии с подобранными коэффициентами. Для синтеза пользователю необходимо указать требуемые характеристики (порядок и тип фильтра, частота среза и др.) и запу-

стить автоматическое построение фильтра. На рис. 4 представлено окно программы для проектирования фильтров с рассчитанными АЧХ и ФЧХ в зависимости от заданных параметров.

САПР поддерживает смешанное моделирование аналоговой и цифровой части, что позволяет отладить финальную схему на компьютере без программирования самой микросхемы (рис. 5). Одновременно создается конфигурационный файл.

Загрузка конфигурационной последовательности происходит с помощью специализированного ПО (рис. 6), в котором реализовано программирование как в режиме отладки (режим SOFT), так и в режиме финальной конфигурации (режим HARD).

Область применения ПАЦИС 5400ТР094 — многоканальные схемы усиления, фильтрации, аналого-цифрового преобразования и цифровой обработки.

Одним из типовых примеров может служить обработка сигналов датчиков с последующим усилением и аналого-цифровым преобразованием. Встроенные операционные усилители и наборы согласованных резисторов позволяют с достаточной точностью подобрать необходимый коэффициент усиления. Подстройка смещения осуществляется с помощью встроенного ЦАП. Вывод результатов преобразования производится через стандартный четырехпроводной SPI-интерфейс. Также возможно масштабирование системы за счет



Рис. 6. Специализированное ПО для загрузки данных в память микросхемы

встроенных мультиплексоров и большого количества портов ввода/вывода.

В заключение отметим, что схемами на основе ПАЦИС 5400ТР094 можно заменить существенную часть схем обработки аналоговых сигналов. При этом производители аппаратуры получают гибкое решение, которое учитывает их потребности и позволяет с минимальными временными и аппаратными затратами создавать специализированные схемы, пригодные для эксплуатации в жестких условиях. ■



Гибкие решения для разработчиков аппаратуры

- Аналого-цифровые БМК и типовые решения на их основе: операционные усилители, компараторы, схемы обработки сигналов датчиков, супервизоры питания, линейные регуляторы напряжения, видеопроцессоры, многоканальные системы телеметрии и другие
- Программируемые пользователем аналого-цифровые микросхемы **серии 5400**
- Быстродействующий 14-разрядный АЦП **5112НВ035**
- Импульсный регулятор напряжения **1393ЕУ014**
- Температурный датчик **5306НТ015**

АО «Дизайн Центр «Союз»
Зеленоград, корпус 100
+7 499 995 25 18
support@dcsouyz.com
dcsouyz.ru

