

Отечественный 18-разрядный 200-Квыб/с АЦП последовательного приближения от компании «Дизайн Центр «Союз»

Всеволод ЭННС,
Артем МАЛЫГИН,
Игорь КОРЕПАНОВ,
Резеда МУХЛИЕВА,
mail@dcsoyuz.ru

В статье приводится номенклатура освоенных АЦП, выпускаемых компанией «Дизайн Центр «Союз». Подробно рассматриваются основные характеристики и особенности 18-разрядного АЦП последовательного приближения 5400TP045A-049.

Компания «Дизайн Центр «Союз» продолжает развивать серию отечественных АЦП разной архитектуры. Все микросхемы соответствуют критериям «Интегральная схема первого уровня» согласно 719-му Постановлению Правительства РФ от 17.07.2015 г. (разработка структуры, электрической схемы, топологии, программного обеспечения, изготовление пластин с кристаллами и их измерение, сборка кристаллов в корпуса, измерение и испытание интегральной схемы осуществляются на территории РФ).

С полным перечнем освоенных микросхем АЦП, их краткими характеристиками и описанием прецизионного дельта-сигма АЦП 5400TP045A-025 можно ознакомиться в [1]. В дополнение отметим, что микросхема 5400TP045A-025 серийно освоена, заявка на включение в Перечень ЭКБ подана; микросхема К5400TP045B-025 включена в каталог промышленной продукции ГИСП, номер реестровой записи – 10595530.

Дальнейшее развитие серии отечественных АЦП – 18-разрядный 200-Квыб/с АЦП последовательного приближения 5400TP045A-049.

Основные характеристики:

- разрядность: 18 бит;
- частота дискретизации: 200 Квыб/с;
- интегральная нелинейность: 3,0 МЗР;
- дифференциальная нелинейность: 0,5 МЗР;
- отношение сигнал/шум (SNR): 93 дБ;
- отношение сигнал/шум и искажения (SINAD): 92 дБ;
- свободный от гармоник динамический диапазон (SFDR): 102 дБ;
- коэффициент подавления синфазной составляющей (CMRR): 80 дБ;
- напряжение питания: 5,0 В;
- ток потребления: 9,0 мА;
- ток потребления в режиме Shutdown: 100 мкА.

Микросхема 5400TP045A-049 поддерживает три функциональных состояния: RST (сброс), ACQ (выборка) и CNV (преобразование). Состояние микросхемы определяется состоянием управляющих сигналов CNV и nRST (рис. 1).

Состояние RST (Reset) предназначено для инициализации и сброса всех регистров в начальное состояние.

Состояние ACQ (Acquisition) используется для выборки аналогового входного сигнала. Микросхема переходит в состояние ACQ при включении питания, после выхода из режима Shutdown, после асинхронного сброса и в конце каждого преобразования.

Состояние CNV (Conversion) – преобразование аналогового входного сигнала.

Передача данных

Управление АЦП осуществляется по SPI-интерфейсу, режим работы: slave, MSB first, CPOL = 0, CPHA = 0. Для управления микросхемой имеются три команды (табл. 1), которые задаются по выводу SDI. Чтение преобразованных данных осуществляется по выводу SDO в следующем цикле передачи данных.

Ограничений на количество тактовых импульсов в рамках одного кадра передачи данных нет:

- если значение тактовых импульсов SCLK < 20 (короткий командный кадр), то микросхема обрабатывает данные по SDI как команду NOP;

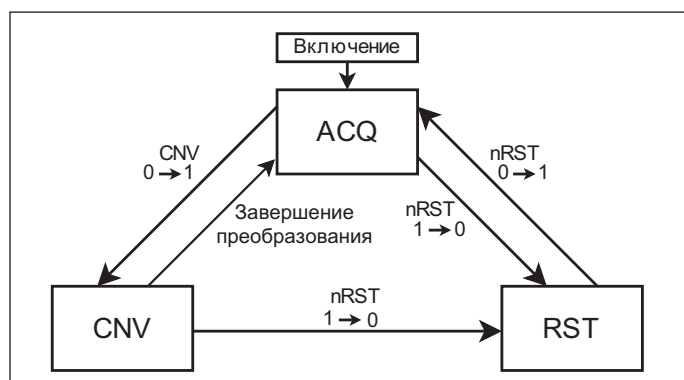


Рис. 1. Диаграмма состояний АЦП

Таблица 1. Доступные команды для записи

Название команды	Код (DI19... DI0)	Описание
NOP	00000h	Пустая команда, запуск преобразования
SHD_en	60000h	Переход в режим Shutdown
SHD_dis	40000h	Выход из режима Shutdown

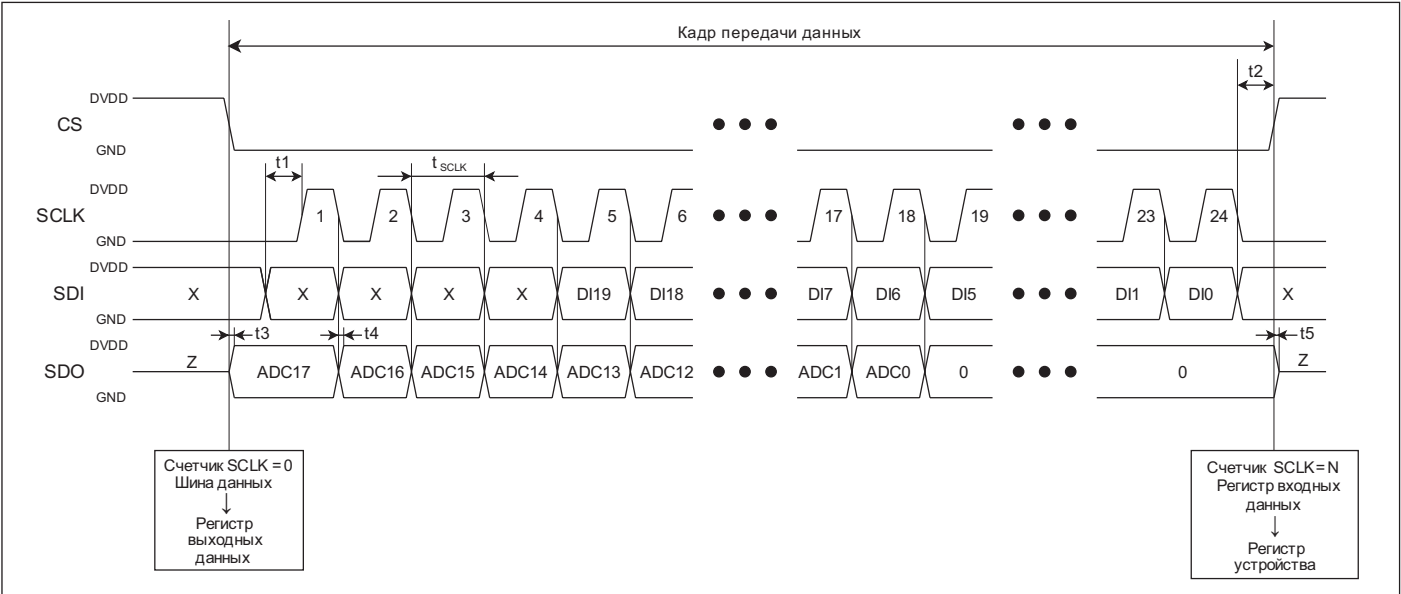


Рис. 2. Временная диаграмма управления АЦП

- если значение тактовых импульсов SCLK = 20 (оптимальный командный кадр), то микросхема обрабатывает 20 бит принятых данных по SDI как доступную команду;
- если значение тактовых импульсов SCLK > 20 (длинный командный кадр), то микросхема обрабатывает только последние 20 бит данных по SDI.

На рис. 2 приведена временная диаграмма длинного командного кадра передачи, а в табл. 2 – справочные данные к рис. 2.

В коротком командном кадре команды операции записи в устройство становятся недействительными, однако биты выходных данных, переданные во время короткого кадра, – действительные. Поэтому можно использовать короткий командный кадр для считывания только необходимого количества старших битов из 20-бит слова.

Взаимодействие циклов преобразования и кадров передачи данных

Контроллер управляет устройством с желаемой пропускной способностью, чередуя циклы преобразования и кадры передачи данных.

Таблица 2. Справочные данные к рис. 2

Параметр, ед. изм.	Норма параметра		
	не менее	типичное	не более
Период тактового сигнала (t_{SCLK}), нс	100		
Коэффициент заполнения тактового сигнала, %	40	50	60
Время t_1 , нс	$t_{SCLK}/2$		
Время задержки между последним срезом сигнала SCLK и фронтом сигнала CS t_2 , нс	10		
Время задержки между срезом сигнала CS и готовности данных на выводе SDO t_3 , нс			20
Время задержки между срезом сигнала SCLK и готовности данных на выводе SDO t_4 , нс			20
Время задержки между фронтом сигнала CS и переходом вывода SDO в состояние “Hi-Z” t_5 , нс			20

На рис. 3 показаны три цикла преобразования: C, C+1 и C+2. Преобразование C инициируется передним фронтом CNV в момент

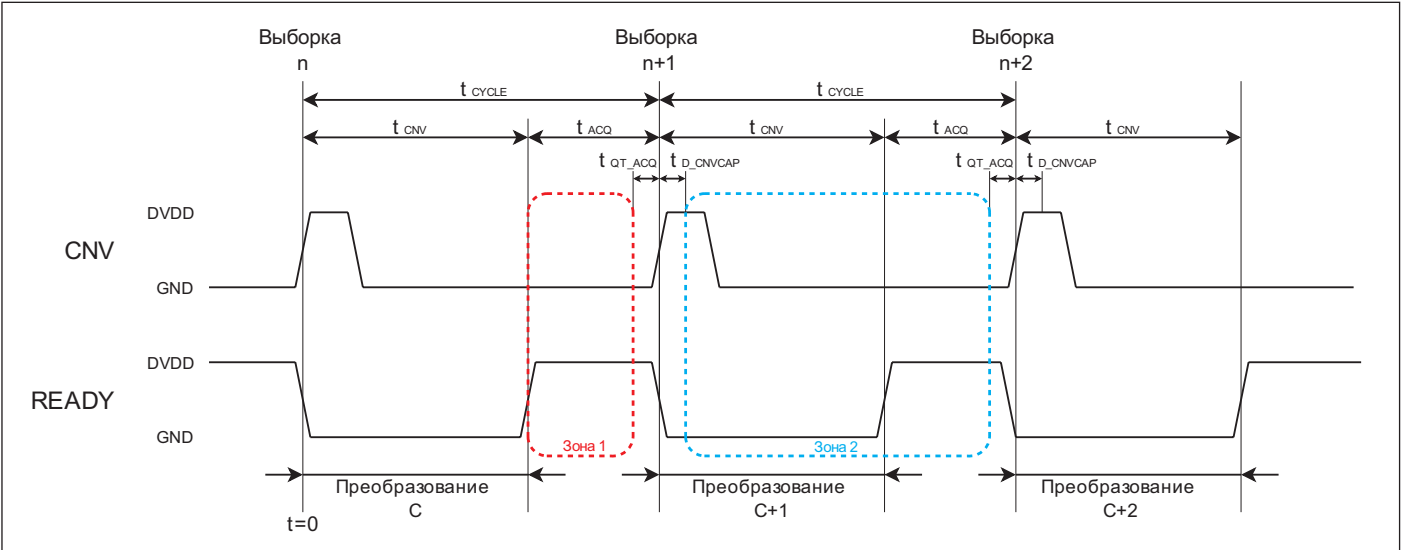


Рис. 3. Зоны передачи данных

Таблица 3. Справочные данные к рис. 3, 6–7

Параметр, ед. изм.	Норма параметра		
	не менее	тип.	не более
Период цикла преобразования t_{CYCLE} , мкс	4,8		5,4
Время преобразования t_{CNV} , мкс	4,5		5,1
Время выборки t_{ACQ} , нс	300		
Тихая выборка (время без переключений до выборки) t_{QT_ACQ} , нс	50		
Апертурное молчание (время без переключений после выборки) t_{D_CNVCAP} , нс	50		

времени $t = 0$, а результат преобразования становится доступен для передачи в момент времени t_{CNV} . Однако результат преобразования загружается в выходной регистр для считывания только при срезе сигнала CS. Для корректного считывания результатов преобразования срез CS должен быть установлен до завершения преобразования $C+1$, то есть в интервале $t_{CNV} \dots (t_{CYCLE} + t_{CNV})$.

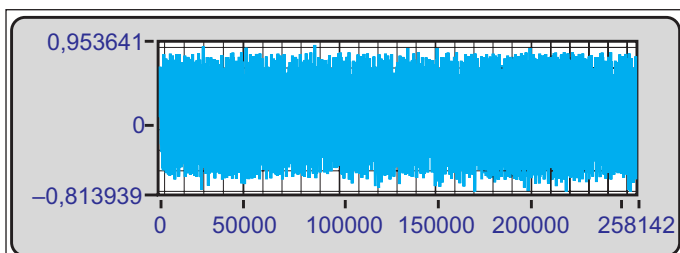
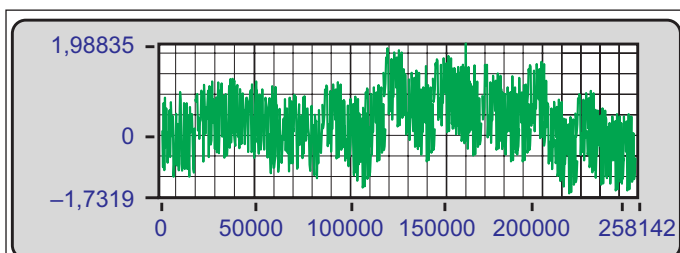
Для достижения номинальных рабочих характеристик микросхемы необходимо исключить переключение цифровых сигналов в течение времени тихой выборки t_{QT_ACQ} (табл. 3) и времени апертурного молчания t_{D_CNVCAP} (табл. 3).

Любой шум во время апертурного молчания (t_{D_CNVCAP}) может отрицательно повлиять на результат текущего преобразования, любой шум во время тихой выборки (t_{QT_ACQ}) может отрицательно повлиять на результат последующего преобразования.

Выполнение этих требований обеспечивает наилучшие результаты преобразования; на рис. 4–5 представлены графики дифференциальной и интегральной нелинейностей при максимальной частоте дискретизации 200 Квыб/с.

Таким образом, в микросхеме выделены две временные зоны для передачи данных:

- зона 1 длительностью $t_{CNV} \dots (t_{CYCLE} - t_{QT_ACQ})$;
- зона 2 длительностью $(t_{CYCLE} + t_{D_CNVCAP}) \dots (t_{CYCLE} + t_{CYCLE} - t_{QT_ACQ})$.

Рис. 4. Дифференциальная нелинейность ($F_S = 200$ кГц, $V_{REFP} = -V_{REFN} = 3,0$ В)Рис. 5. Интегральная нелинейность ($F_S = 200$ кГц, $V_{REFP} = -V_{REFN} = 3,0$ В)

Время отклика АЦП (t_{RESP_ZONE1} и t_{RESP_ZONE2}) – разница во времени между началом преобразования C и получением данных преобразования C . Время отклика (t_{RESP_ZONE1} и t_{RESP_ZONE2}) включает время преобразования t_{CNV} и время передачи данных (t_{READ_ZONE1} и t_{READ_ZONE2}) и, таким образом, зависит от выбранной зоны передачи данных.

В зоне 1 считывание проводится сразу после получения данных до запуска нового преобразования (рис. 6). Однако из-за ограничения значения тактовой частоты SPI-интерфейса (не более 10 МГц) длительность чтения данных составит около 2 мкс, и микросхема не обеспечит максимальное быстродействие.

В зоне 2 считывание проводится после запуска следующего преобразования (рис. 7). Время отклика АЦП при считывании в зоне

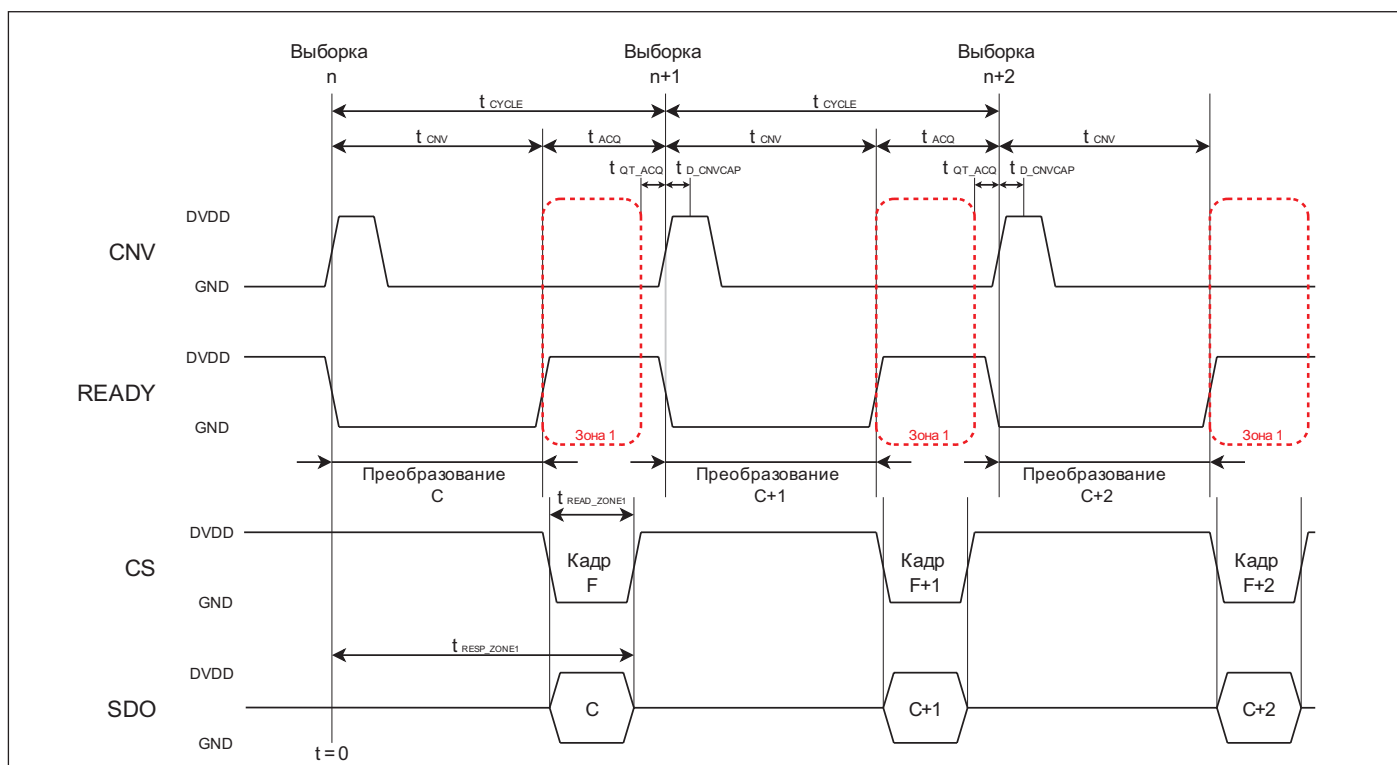


Рис. 6. Временная диаграмма передачи данных в зоне 1

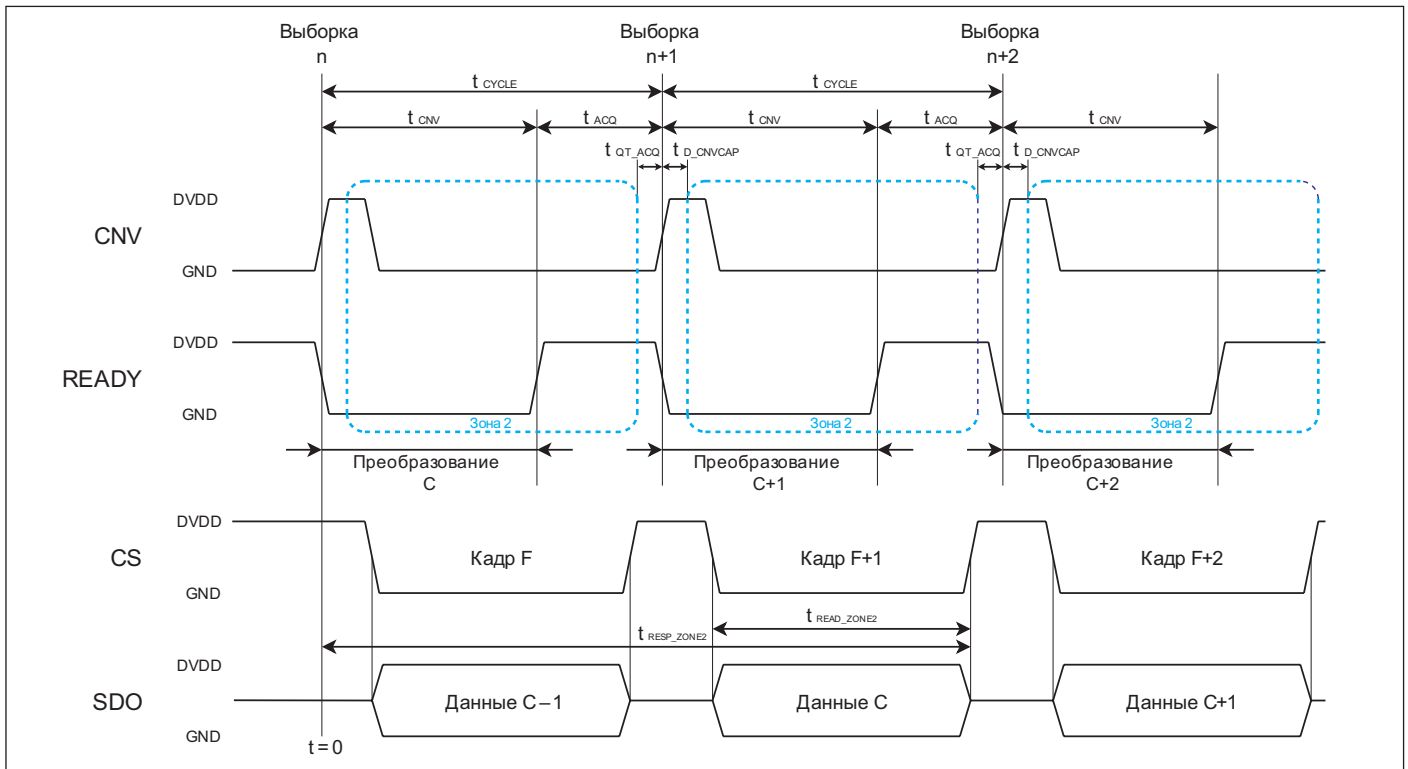


Рис. 7. Временная диаграмма передачи данных в зоне 2

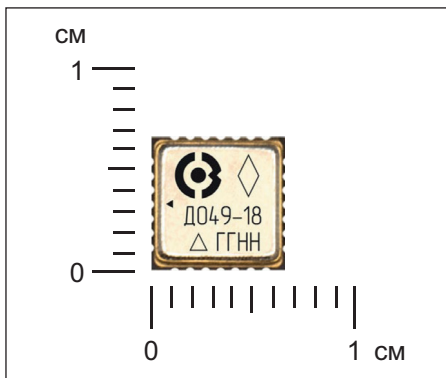


Рис. 8. Внешний вид микросхемы 5400TP045A-049

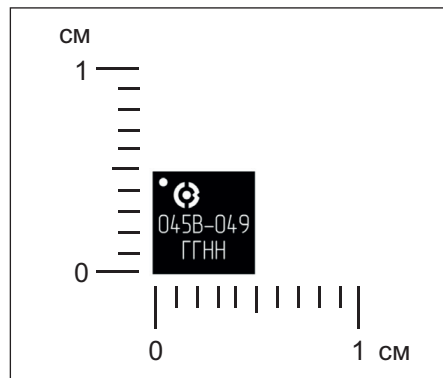


Рис. 9. Внешний вид микросхемы 5400TP045B-049

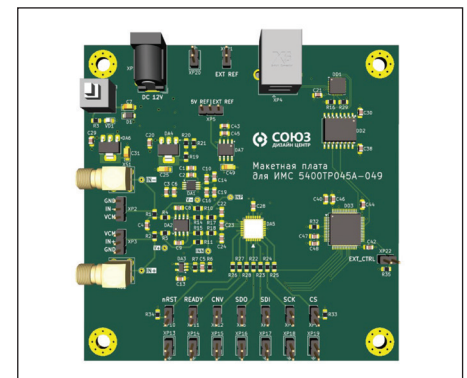


Рис. 10. Демонстрационная плата КФЦС.441461.323

2 больше, чем при считывании в зоне 1, но таким образом гарантируется быстродействие 200 Квыб/с.

Микросхема освоена в компактном 28 выводном металлокерамическом корпусе МК 5123.28–1.01 размерами 6,5×6,5 мм (рис. 8) и рассчитана для работы в широком температурном диапазоне –60...125 °С.

АЦП также предназначен для промышленных применений в металлополимерном корпусе QFN-28 размерами 5,0×5,0 мм (рис. 9).

Для оценки характеристик микросхемы разработана демонстрационная плата КФЦС.441461.323 (рис. 10), которая обеспечивает основные возможные режимы работы микросхемы. Плата доступна по предварительному заказу.

Микросхемы обладают высокой надежностью (наработка до отказа – свыше 100 000 ч) и стойкостью к СВВФ, включая факторы космического пространства (стойкость к ТЗЧ не менее 60 МэВ·см²/мг).

АЦП доступны для заказа с приемкой «ОТК». Плановый срок серийного освоения – II кв. 2025 г. В дальнейшем запланировано освоение микросхемы с приемкой «ВП».

Микросхемы высоконадежных АЦП разработаны с использованием отечественных материалов (включая полупроводниковые кристал-

лы). Вероятность срыва поставок из-за санкционных рисков отсутствует.

Ограничений на количество тактовых импульсов в рамках одного кадра передачи данных нет. Возможно считывание только необходимого количества старших битов.

Исходя из требуемых задач в микросхеме выделены две временные зоны для передачи данных:

- зона 1 характеризуется меньшим временем отклика и меньшим быстродействием;
- в зоне 2 считывание проводится после запуска следующего преобразования и с максимальным быстродействием 200 Квыб/с.

Микросхема освоена в двух корпусах: в металлокерамическом для жестких условий эксплуатации (в том числе для разработки специальной аппаратуры) и в пластиковом для промышленного применения.

Литература

1. Отечественный 24-разрядный 1-Квыб/с дельта-сигма АЦП компании «Дизайн Центр «Союз»//Электронные компоненты. 2024. № 10.