

Основные особенности

- Диапазон напряжения питания от 3,3 В до 5,0 В;
- Период обновления информации не менее 1 мкс;
- Частота возбуждения датчиков от 0 до 30 кГц;
- Разрядность выходной информации от 8 бит до 16 бит;
- Два независимых преобразователя первичной;
- Два независимых генератора опорных сигналов с частотой от 20 Гц до 30 кГц;
- Эмуляция квадратурного энкодера;
- Последовательный (SPI) интерфейс;
- Температурный диапазон от -60°C до $+125^{\circ}\text{C}$.

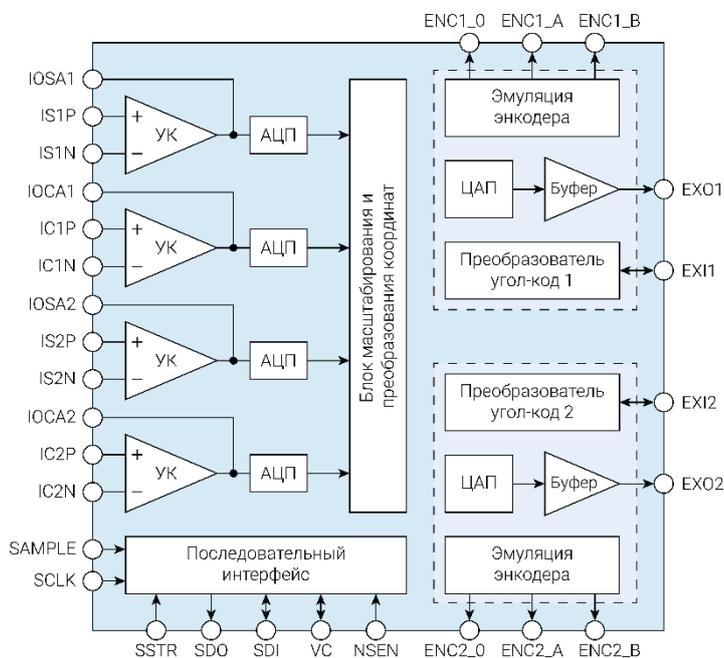


Рисунок 1. Структурная схема

Общее описание

Микросхема предназначена для преобразования сигналов с датчиков типа сельсин, СКВТ (синусно-косинусный вращающийся трансформатор) и датчиков линейного перемещения – ЛРДТ (линейный регулируемый дифференциальный трансформатор). Микросхема в своем составе содержит программируемый генератор возбуждающего напряжения и два следящих контура, производящих вычисление угла поворота вала или перемещения сердечника ЛРДТ.

Микросхема выполнена в 64-х выводном металлокерамическом корпусе 5153.64-3.

Электрические параметры микросхемы

Таблица 1. Электрические характеристики (температурный диапазон от – 60°C до +125°C)

Параметр, единица измерения	Норма параметра		
	не менее	типовое	не более
Выходное напряжение ИОН для формирования опорного напряжения АЦП, В	2,375		2,625
Ток потребления в режиме покоя, мА STNDBY = «0» STNDBY = «1»			15 12
Динамический ток потребления, мА при SHDN = «0»			200
Динамический ток потребления, мА при SHDN = «1»			100
Входной ток, мА на выводах VREF2P5, в режиме подключения внешнего источника опорного напряжения			10
Выходное напряжение высокого уровня, В		2,4	VDDIO
Выходное напряжение низкого уровня, В	0	0,4	
Минимальное напряжение (EXO1, EXO2), В			0,4
Максимальное напряжение (EXO1, EXO2), В	VDDEXO – 0,4		
Частота выходного сигнала, кГц, (сигнала опорной частоты) основная гармоника	0,02		30

Электростатическая защита

Микросхема имеет встроенную защиту от электростатического разряда до 1000 В по модели человеческого тела. Требуется мер предосторожности.

Предельно-допустимые и предельные режимы эксплуатации

Таблица 2. Предельно-допустимые и предельные режимы эксплуатации микросхем

Параметр, единица измерения	Предельно-допустимый режим		Предельный режим	
	не менее	не более	не менее	не более
Напряжение питания аналоговой части (VDDA), В	3,0	5,25	- 0,3	5,5
Напряжение питания цифровой части (VDDD), В	3,0	5,25	- 0,3	5,5
Напряжение питания интерфейсной части (VDDIO), В	3,0	5,25	- 0,3	5,5
Входное опорное напряжение АЦП (VREF2P5), В	2,45	2,55	0	5,5
Входное напряжение высокого уровня цифровых выводов, В	2,0	VDDIO ⁽¹⁾	- 0,3	5,5
Входное напряжение низкого уровня цифровых выводов, В	0	0,8	- 0,3	5,5
Температура эксплуатации, °С	-60	+125	-60	+150
Примечание: 1) Не более 5,25 В				

Конфигурация и функциональное описание выводов

Таблица 3. Функциональное назначение выводов микросхемы

№ вывода	Наименование вывода	Тип вывода	Назначение вывода
1	VSSA_DAC	PWR	Общий вывод опорного напряжения ЦАП генератора опорной частоты
2	GNDEXO2	PWR	Общий вывод генератора опорной частоты 2
3	EXO2	AO	Выход генератора опорной частоты 2
4	VDDEXO2	PWR	Питание генератора опорной частоты 2
5	VDDEXO1	PWR	Питание генератора опорной частоты 1
6	EXO1	AO	Выход генератора опорной частоты 1
7	GNDEXO1	PWR	Общий вывод генератора опорной частоты 1
8, 9	NC	–	Не используется
10, 29, 34, 54, 60	VSSD	PWR	Общий вывод питания цифровой части
11	VREF2P5	AI/AO	Вывод источника опорного напряжения АЦП 2,5 В (шунтируется конденсатором)
12	VREF1P25	AO	Вывод источника опорного напряжения 1,25 В. (шунтируется конденсатором)
13	IC2P	AI	Прямой вход усилителя cos2
14	IC2N	AI	Инверсный вход усилителя cos2
15	IOCA2	AO	Выход буферного усилителя cos2 (вход АЦП cos2)
16	IS2P	AI	Прямой вход усилителя sin2
17	IS2N	AI	Инверсный вход усилителя sin2
18	IOSA2	AO	Выход буферного усилителя sin2 (вход АЦП sin2)
19	IC1P	AI	Прямой вход усилителя cos1
20	IC1N	AI	Инверсный вход усилителя cos1
21	IOCA1	AO	Выход буферного усилителя cos1 (вход АЦП cos1)
22	IS1P	AI	Прямой вход усилителя sin1
23	IS1N	AI	Инверсный вход усилителя sin1
24	IOSA1	AO	Выход буферного усилителя sin1 (вход АЦП sin1)
25	Tech1	–	Технологический вывод
26	Tech2	–	Технологический вывод
27	Tech3	–	Технологический вывод
28	Tech4	–	Технологический вывод
30	VDDA3P3	PWR	Выход линейного регулятора напряжения питания аналоговой части / вход питания аналоговой части (шунтируется конденсатором)
31	VDDD3P3	PWR	Вход линейного регулятора напряжения питания цифровой части / вход питания цифровой части (шунтируется конденсатором)
32	VSSA	PWR	Общий вывод питания аналоговой части
33	VDDD	PWR	Вход линейного регулятора напряжения питания цифровой части
35	VPP	AI	Вывод напряжения программирования

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

№ вывода	Наименование вывода	Тип вывода	Назначение вывода
36, 61	VDDD1P8	PWR	Выход линейного регулятора питания 1,8 В / вход питания ядра (шунтируется конденсатором)
37	OSCO	AO	Выход подключения внешнего кварцевого резонатора
38	OSCI	AI	Выход для подключения кварцевого резонатора или RC-цепочки
39	CLK60	AI	Вход сигнала тактовой частоты от внешнего генератора
40	PLL_CAP	AO	Выход для подключения емкости петлевого фильтра блока PLL
41	DB	DO	Выход отладки режимов и программ Внутренняя подтяжка к VDDIO.
42	ENC1_0	DO	Выход эмуляции квадратурного энкодера, датчик 1, канал 0. Выход дополнительного канала SPI
43	ENC1_B	DO	Выход эмуляции квадратурного энкодера, датчик 1, канал В. Выход дополнительного канала SPI
44	ENC1_A	DO	Выход эмуляции квадратурного энкодера, датчик 1, канал А. Выход дополнительного канала SPI
45	VDDIO	PWR	Напряжение питания интерфейсной части
46	ENC2_A	DO	Выход эмуляции квадратурного энкодера, датчик 2, канал А. Выход дополнительного канала SPI
47	ENC2_B	DO	Выход эмуляции квадратурного энкодера, датчик 2, канал В. Выход дополнительного канала SPI
48	ENC2_0	DO	Выход эмуляции квадратурного энкодера, датчик 2, канал 0. Выход дополнительного канала SPI
49	EXI2	DI/DO	Вход/выход опорного напряжения, датчик 2.
50	EXI1	DI/DO	Вход/выход опорного напряжения, датчик 1.
51	SDO	DO	Выход данных SPI
52	SDI	DI/DO	Вход/выход данных SPI
53	VC	DI/DO	Выбор режима прямой передачи / управление внешними приемопередатчиками
55	SCLK	DI	Тактовый сигнал SPI
56	NSEN	DI	Выбор микросхемы Активный уровень – лог. «0»
57	SSTR	DI	Строб SPI
58	STNDBY	DI	Режим пониженного энергопотребления: Активный уровень – лог. «1»
59	SAMPLE	DI	Строб сэмплирования координаты и скорости для SPI
62	NRESET	DI	Сброс микросхемы Активный уровень – лог. «0»
63	VDDA	PWR	Вход линейного регулятора напряжения питания аналоговой части
64	REFDAC	AO	Вход опорного напряжения ЦАП генератора опорной частоты
EP	VSSA	PWR	Общий вывод
Примечание: DI – цифровой вход; DO – цифровой выход; AI – аналоговый вход; AO – аналоговый выход; PWR – вывод напряжения питания			

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

Рекомендуемая схема применения

Таблица 4. Таблица внешних компонентов

Компонент	Номинал
R1 – R4	0 Ом
C1 – C11, C14	0,1 мкФ
C12, C13	12 пФ
ZQ – кварцевый резонатор с частотой до 20 МГц	

Конденсаторы либо высокочастотные керамические, либо сдвоенные. В случае сдвоенных конденсаторов, один из них обязательно должен быть высокочастотный керамический емкостью не менее 10 нФ. Шунтирующие конденсаторы должны располагаться на плате в непосредственной близости к соответствующим выводам микросхемы.

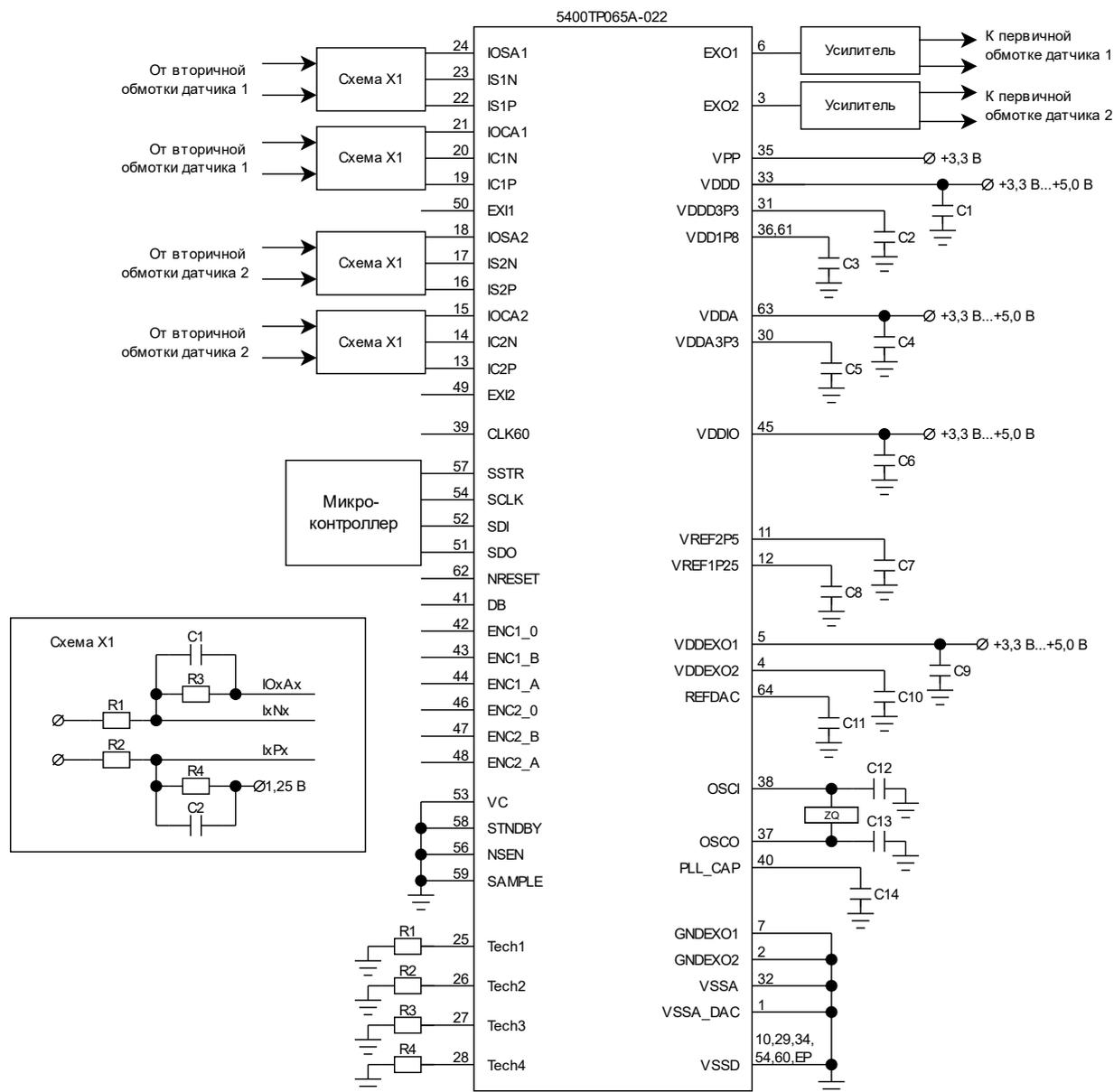


Рисунок 2. Рекомендуемая схема применения

Примечания:

При $V_{DDD} < 3,6$ В необходимо объединить выводы V_{DDD3P3} (31) и V_{DDD} (33).

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

При $VDDA < 3,6$ В необходимо объединить выводы $VDDA3P3$ (30) и $VDDA$ (63).

Допускается подключение $VDDIO$ (45) к питанию $VDDD$ (33) или $VDDD3P3$ (31).

Допускается подача внешнего напряжения 1,8 В на вывод $VDD1P8$ (36, 61).

Для программирования ячейки OTP памяти вывод VPP (35) запитывается $9,0 \text{ В} \pm 0,3 \text{ В}$, для чтения ячеек вывод VPP (35) запитывается 3,3 В.

При $VREF_en = 0$ (регистр AFE_config) вывод $VREF2P5$ (11) должен быть запитан опорным уровнем 2,5 В.

При использовании внешнего тактового генератора подключенного к выводу $CLK60$ (39) вывод $OSCI$ (38) подключить к $VSSD$, вывод $OSCO$ (37) оставить в обрыве.

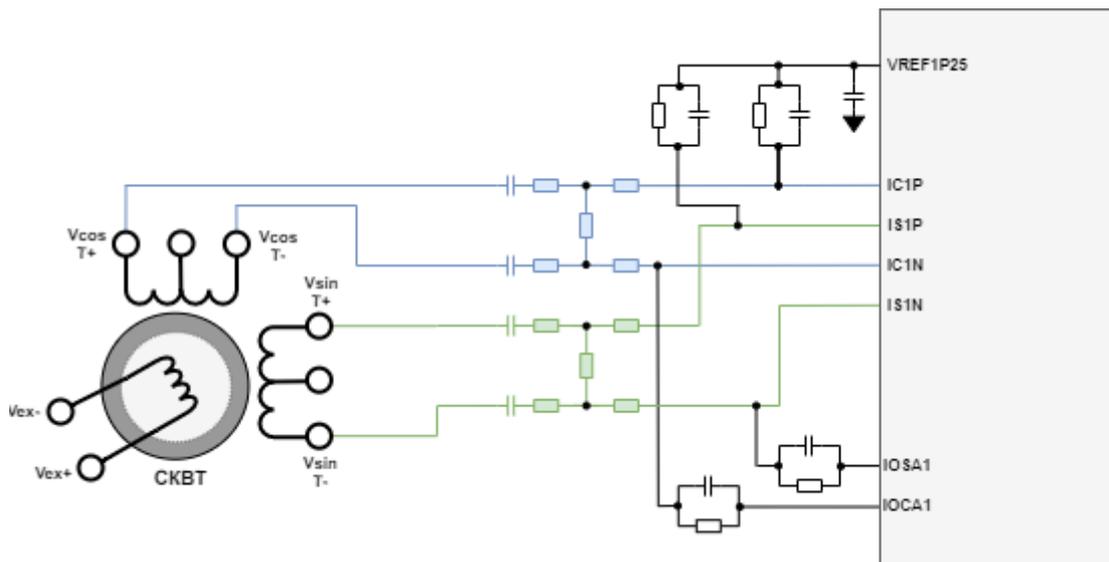


Рисунок 3. Рекомендуемая схема подключения входов преобразователя для датчиков типа СКБТ

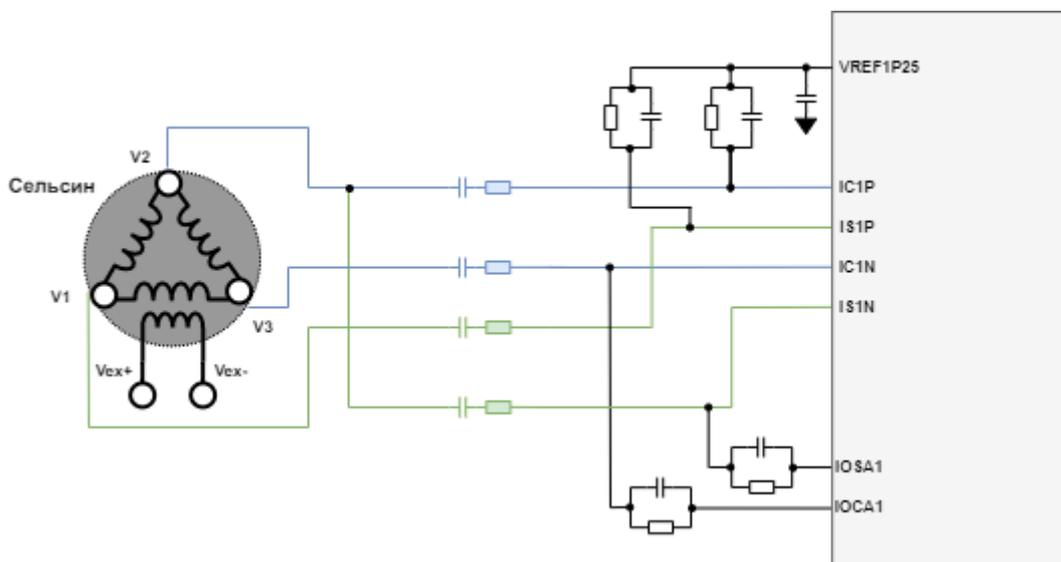


Рисунок 4. Рекомендуемая схема подключения входов преобразователя для датчиков типа сельсин

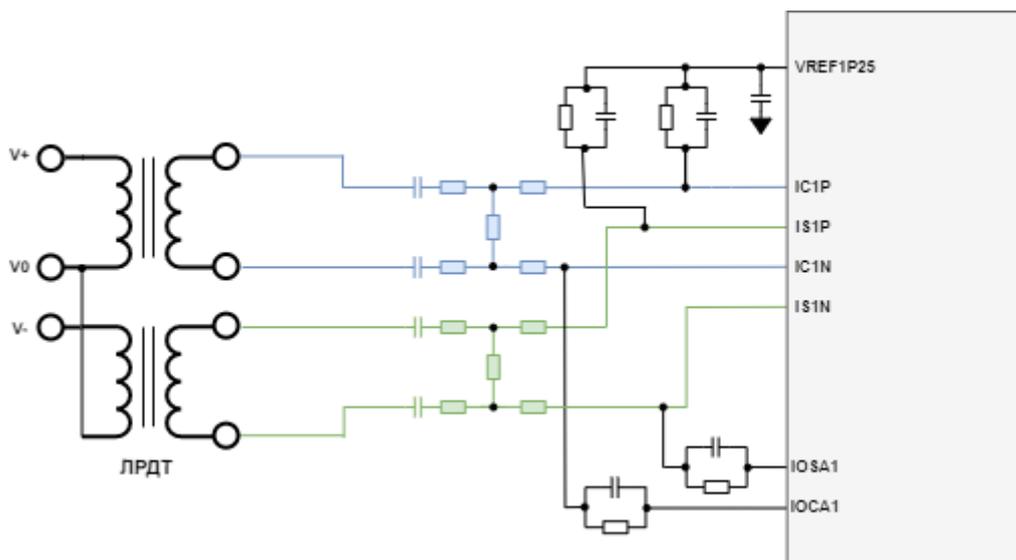


Рисунок 5. Рекомендуемая схема подключения входов преобразователя для датчиков типа ЛРДТ

Оглавление

Основные особенности.....	1
Общее описание	1
Электрические параметры микросхемы.....	2
Электростатическая защита.....	2
Предельно-допустимые и предельные режимы эксплуатации	3
Конфигурация и функциональное описание выводов.....	4
Рекомендуемая схема применения.....	6
Блок схема.....	12
Выбор схемы питания микросхемы	13
Регистры конфигурации	15
1. Регистры режимов работы преобразователя	15
C1KampS и C2KampS.....	15
C1KampC и C2KampC.....	16
C1KbiasS и C2KbiasS.....	16
C1KbiasC и C2KbiasC	16
C1fbias и C2fbias	17
C1ExPhShft и C2ExPhShft.....	17
C1ExoStngs и C2ExoStngs.....	17
C1EXInc и C2EXInc	18
C1Amp_th и C2Amp_th.....	18
C1InputStngs и C2InputStngs	19
C1Lock_th и C2Lock_th	21
C1Zero и C2Zero.....	21
C1Mask и C2Mask	22
C1KonturStngs и C2KonturStngs	24
C1ResCntrl и C2ResCntrl.....	25
C1Vcnt_bound и C2Vcnt_bound	26
C1Coord и C2Coord	26
C1CoordHB и C2CoordHB	26
C1Vel и C2Vel	26
C1VelHB и C2VelHB	27
C1Stat и C2Stat.....	27

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

C1Pole_addi и C2Pole_addi.....	29
C1Amp_metric и C2Amp_metric	29
C1Err_metric и C2Err_metric	29
C1AdcS и C2AdcS	30
C1AdcC и C2AdcC	30
C1OutS и C2OutS	30
C1OutC и C2OutC.....	31
C1PhiS и C2PhiS	31
C1PhiC и C2PhiC	31
C1VirtualS и C2VirtualS	31
C1VirtualC и C2VirtualC	32
2. Регистры общей настройки.....	32
IC_addr.....	32
ADC_config	32
Mask_Stat.....	33
Flags_delay	34
WR_lock	34
CMP_lth.....	34
AFE_config.....	35
Mode_config.....	37
3. Регистры состояния.....	38
NOCLK_stat	38
SPI_reg.....	38
alive_cnt	39
Stat_main	39
4. Выходные шины отладки вычислителей.....	40
Dcpu1LB.....	40
Dcpu1HB	40
Dcpu2LB.....	40
Dcpu2HB	40
5. Пользовательские настройки тактирования и режима инициализации.....	41
PLL_config.....	41
INIT_conf	42

UOUT_ctrl.....	42
BUS_addr	43
6. Регистры управления тактируемой ПЗУ пользовательских настроек	43
VOTP_addr.....	43
VOTP_data.....	43
VOTP_ctrl	43
VOTP_out.....	44
7. Регистры управления отладкой вычислителей	44
P1BG_ctrl и P2BG_ctrl.....	44
P1BG_data и P2BG_data.....	44
Габаритный чертеж.....	45
Лист регистрации изменений	46

Блок схема

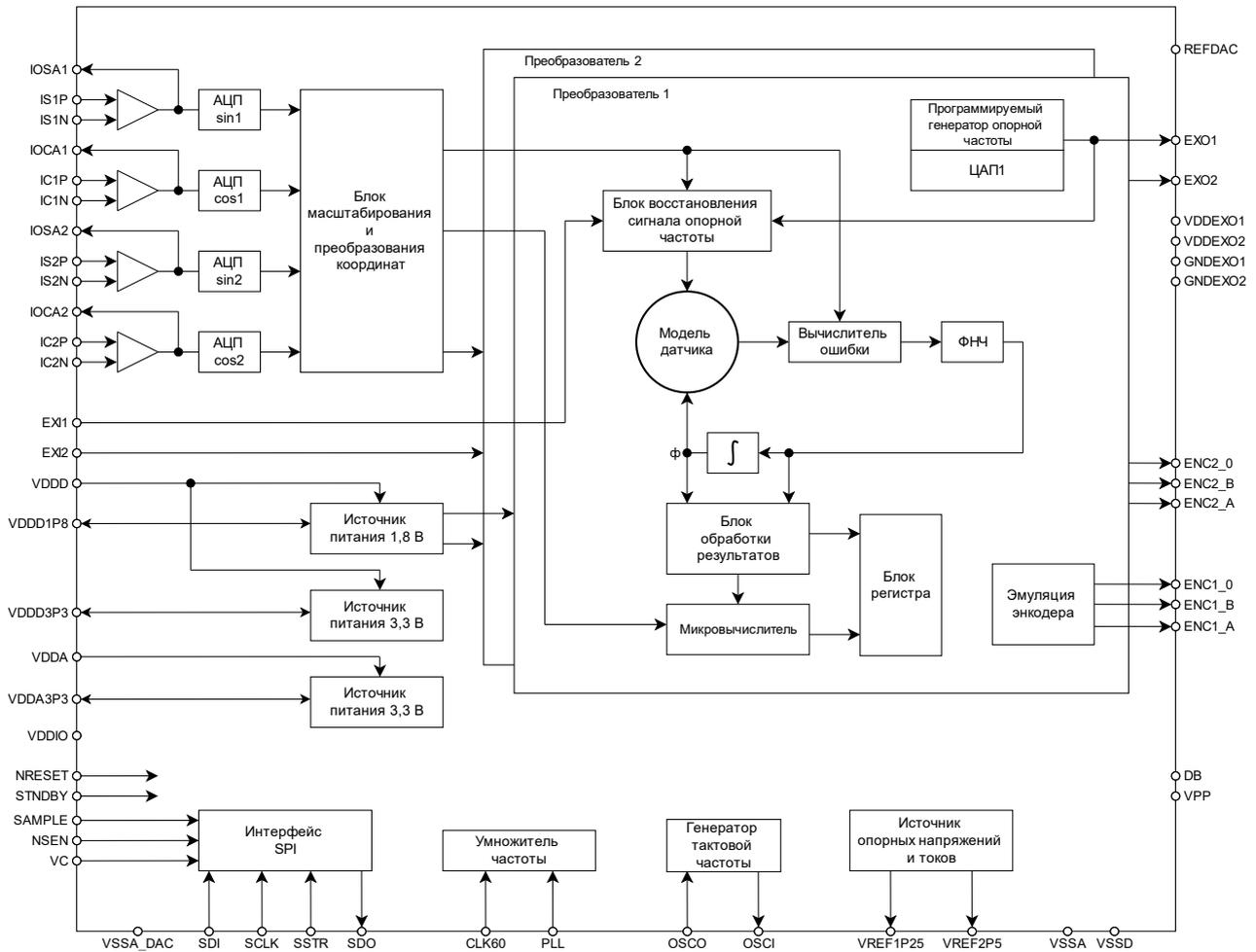


Рисунок 6. Блок схема 5400TP065A-022

Выбор схемы питания микросхемы

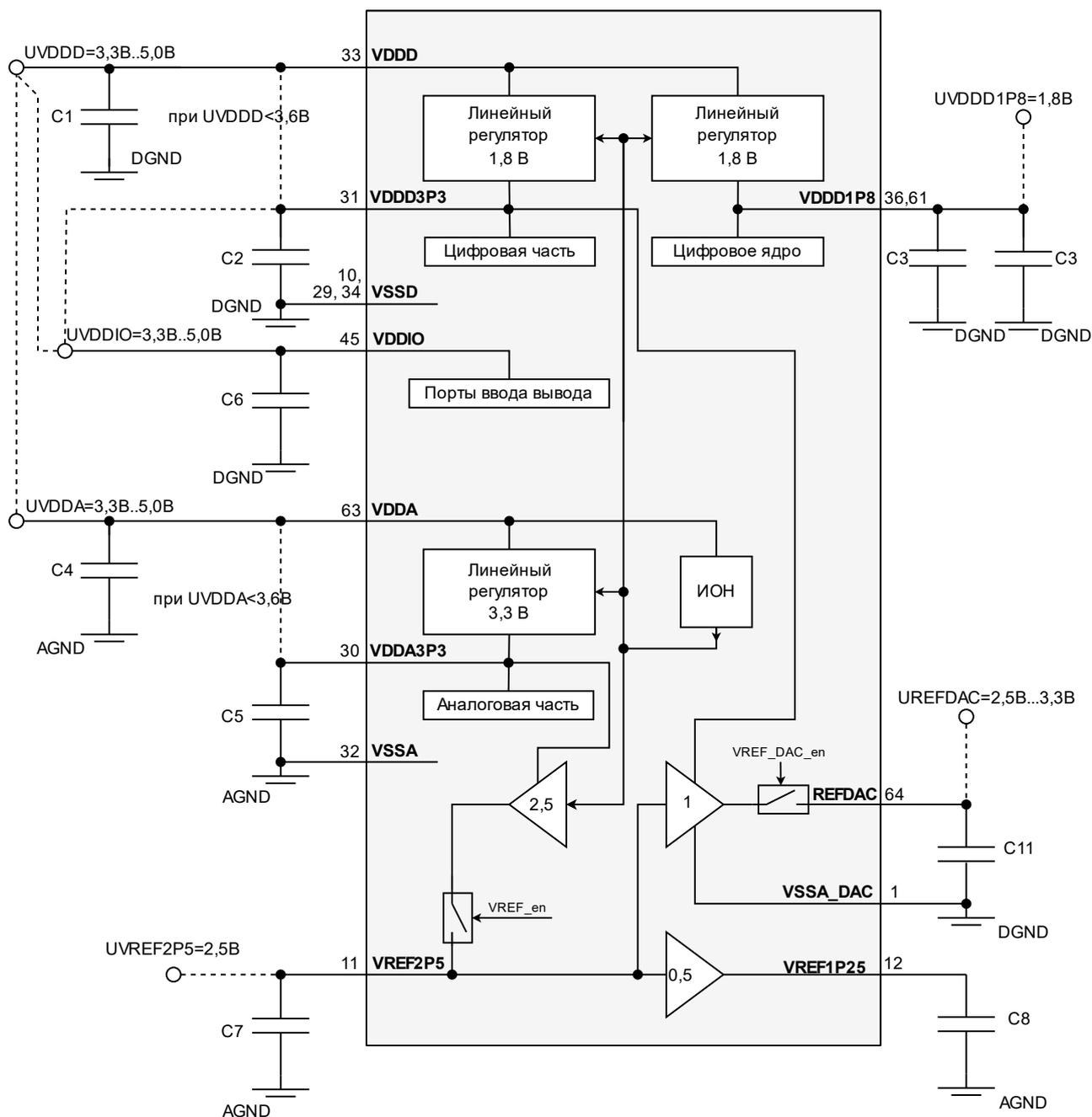


Рисунок 7. Структура питания микросхемы

Микросхема содержит четыре части – цифровую, аналоговую, цифровое ядро и порты ввода-вывода. Для запитывания всех частей микросхема содержит три линейных регулятора, но использование каждого из них не обязательно.

Цифровая и аналоговая часть питаются напряжением $3,3\text{ В} \pm 10\%$, цифровое ядро – $1,8\text{ В} \pm 10\%$, порты в ввода-вывода в диапазоне $[3,3\text{ В} \dots 5,0\text{ В}] \pm 10\%$. Для подачи внешнего питания цифровой части, напряжение $3,3\text{ В}$ должно подключаться и к VDD, и к VDD3P3. Внутренний линейный регулятор в таком включении не функционирует, не потребляет ток, не выделяет тепло и не влияет на характеристики питания.

Таким же образом может быть запитана аналоговая часть с помощью подачи напряжения 3,3 В на выводы VDDA3P3 и VDDA. Для использования внешнего источника питания ядра, напряжение 1,8 В должно быть подключено к двум выводам VDDD1P8 с лучевой разводкой проводников на печатной плате. Напряжение питания портов ввода вывода осуществляется с вывода VDDIO, конкретное значение в диапазоне [3,3 В...5,0 В] определяется пользователем исходя из требуемых логических уровней.

Для запитывания портов VDDIO напряжение может быть взято с источника VDDD3P3 или VDDD. Опорное напряжение 2,5 В может быть перманентно подано на вывод VREF2P5 с внешнего опорного регулятора – по умолчанию бит VREF_en регистра AFE_config равен нулю. Опорное напряжение для ЦАП генераторов опорного напряжения также может быть подано с внешнего источника, конкретное значение выбирается пользователем в диапазоне [2,5 В...3,3 В].

Выводы VSSA, общий проводник конденсаторов, шунтирующих VDDA3P3, VDDA, VREF2P5, VREF1P25, общий и конденсаторы источника питания VDDA, активные элементы входных групп должны быть объединены единым полигоном AGND (или лучевой разводкой к соответствующим источникам). Выводы VSSD, общий проводник конденсаторов, шунтирующих VDDD, VDDD3P3, VDDIO, VDDD1P8, общий проводник источника питания VDDD, общий проводник тактового генератора, приемо-передатчиков, ESD-защит цифровых портов, должны соединяться общим полигоном DGND или лучевой разводкой. Если для запитывания VDDA и VDDD используются 2 независимых источника, то полигоны AGND и DGND соединятся за ними по лучевой разводке.

Если используется один источник, то полигоны AGND и DGND объединяются под ним. Если генератор опорного напряжения работает в импульсном режиме, причем выводы EXO1 и EXO2 управляют затворами полевых транзисторов усилительного каскада, то желательно выделить общие проводники GNDEXO1 и GNDEXO2 отдельно от полигона DGND и подвести к соответствующему источнику питания по лучевой разводке. В остальных режимах проводники GNDEXO1 и GNDEXO2 достаточно подключить к полигону DGND.

Регистры конфигурации

Таблица 5. Карта памяти конфигурационных регистров

+	0	1	2	3	4	5	6	7
0	C1KampS	C1KampC	C1KbiasS	C1KbiasC	C1fbias	C1ExPhShft	C1ExoStngs	C1EXInc
8	C1Amp_th	C1InputStngs	C1Lock_th	C1Zero	C1Mask	C1KonturStngs	C1ResCntrl	C1Vcnt_bound
16	C1Coord	C1CoordHB	C1AdcS	C1AdcC	C1OutS	C1VirtualS	C1Err_metric	C1Amp_metric
24	C1Vel	C1VelHB	C1PhiS	C1PhiC	C1OutC	C1VirtualC	C1Stat	C1Pole_addi
32	C2KampS	C2KampC	C2KbiasS	C2KbiasC	C2fbias	C2ExPhShft	C2ExoStngs	C2EXInc
40	C2Amp_th	C2InputStngs	C2Lock_th	C2Zero	C2Mask	C2KonturStngs	C2ResCntrl	C2Vcnt_bound
48	C2Coord	C2CoordHB	C2AdcS	C2AdcC	C2OutS	C2VirtualS	C2Err_metric	C2Amp_metric
56	C2Vel	C2VelHB	C2PhiS	C2PhiC	C2OutC	C2VirtualC	C2Stat	C2Pole_addi
64	IC_addr	ADC_config	Mask_Stat	Flags_delay	WR_lock	CMP_lth	AFE_config	Mode_config
72	NOCLK_stat	SPI_reg	alive_cnt	Stat_main	Dcpu1LB	Dcpu1HB	Dcpu2LB	Dcpu2HB
80	PLL_config	INIT_conf	UOUT_ctrl	BUS_addr	BOTP_addr	BOTP_data	BOTP_ctrl	BOTP_out
88					P1BG_ctrl	P1BG_data	P2BG_ctrl	P2BG_data

1. Регистры режимов работы преобразователя

1.1 Регистры C1KampS (Адрес 0) и C2KampS (Адрес 32)

C1KampS и C2KampS

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15..0	KampS	R/W	1024	KampS [15:0] – коэффициент усиления по каналу АЦП IOSA1(преобразователь 1), IOSA2 (преобразователь 2). Беззнаковое значение, всегда положительное. Амплитуда сигналов на этих входах микросхемы умножается на значение из данного регистра и делится на 1024. Значение по умолчанию соответствует амплитуде сигнала на входе равному входному диапазону АЦП (0 ÷ 2,5 В) для режима СКВТ. При изменении значений в данном регистре необходимо следить за флагами переполнения, а также за срабатыванием компараторов порогов.

1.2 Регистры C1KampC (Адрес 1) и C2KampC (Адрес 33)

C1KampC и C2KampC

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15..0	KampC	R/W	1024	KampC [15:0] – коэффициент усиления по каналу АЦП ЮСА1 (преобразователь 1), ЮСА2 (преобразователь 2). Беззнаковое значение, всегда положительное. Амплитуда сигналов на этих входах микросхемы умножается на значение из данного регистра и делится на 1024. Значение по умолчанию соответствует амплитуде сигнала на входе равному входному диапазону АЦП (0 ÷ 2,5 В) для режима СКВТ. При изменении значений в данном регистре необходимо следить за флагами переполнения, а также срабатыванием компараторов порогов. В режиме Sensor_mode=01 максимальное значение 1024.

1.3 Регистры C1KbiasS (Адрес 2) и C2KbiasS (Адрес 34)

C1KbiasS и C2KbiasS

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15..0	KbiasS	R/W	0	KbiasS [15:0] – смещение нуля по каналу АЦП ЮСА1 (преобразователь 1), ЮСА2 (преобразователь 2). Знаковое значение в дополнительном коде. Максимум +32767, минимум –32767.

1.4 Регистры C1KbiasC (Адрес 3) и C2KbiasC (Адрес 35)

C1KbiasC и C2KbiasC

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15..0	KbiasC	R/W	0	KbiasC [15:0] – смещение нуля по каналу АЦП ЮСА1 (преобразователь 1), ЮСА2 (преобразователь 2). Знаковое значение в дополнительном коде. Максимум +32767, минимум –32767.

1.5 Регистры C1fbias (Адрес 4) и C2fbias (Адрес 36)

C1fbias и C2fbias

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15..0	fbias	R/W	0	fbias[15:0] – коррекция неортогональности обмоток СКВТ. Смещение фазы обмотки sin. Знаковое значение в дополнительном коде.

1.6 Регистры C1ExPhShft (Адрес 5) и C2ExPhShft (Адрес 37)

C1ExPhShft и C2ExPhShft

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15..0	ExPhShft	R/W	0	ExPhShft[15:0] – задает сдвиг по фазе сигнала с EXO1 (преобразователь 1), EXO2 (преобразователь 2) на плате до входов IOA1, IOCA1 (преобразователь 1), IOA2, IOCA2 (преобразователь 2). Используется для определения квадранта положения СКВТ. Знаковое значение в дополнительном коде.

1.7 Регистры C1ExoStngs (Адрес 6) и C2ExoStngs (Адрес 38)

Настройки Amp_code

C1ExoStngs и C2ExoStngs

Бит	Назначение	Доступ	Начальное значение	Описание
15..12		U		
11..10	EXO_mode	R/W	0	EXO_mode – режим формирования опоры возбуждения датчика: 00 – выключено. При EXO_inv=0 на EXO1(2) выводится 0 В, при EXO_INV=1 на EXO1(2) выводится VDDEXO1(2). 01 – вывод меандра 10 – вывод синусоидального напряжения с помощью ЦАП 11 – вывод постоянного значения C2EXInc/C2EXInc. По умолчанию EXO_mode = 00.
9	PWR_X2	R/W	0	Добавление усилительного каскада при формировании меандра на EXO1(2) для увеличения выходного тока: 0 – без увеличения 1 – с увеличением По умолчанию 0.
8	EXO_inv	R/W	0	Инверсия выхода EXO1(2) в состоянии выключено, или при выводе меандра:

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

				0 – без инверсии 1 – с инверсией По умолчанию 0.
7..0	Amp_code	R/W	0	Коэффициент усиления выходного напряжения ЦАП

1.8 Регистры C1EXInc (Адрес 7) и C2EXInc (Адрес 39)

C1EXInc и C2EXInc

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15..0	EXInc	R/W	11500	EXInc[15:0] задает приращение фазы синусоидального сигнала на каждом такте ЦАП (Fclk). Значение по умолчанию соответствует частоте 12 кГц.

1.9 Регистры C1Amp_th (Адрес 8) и C2Amp_th (Адрес 40)

Порог компаратора для вычисления флагов UIN в регистре C1Stat (преобразователь 1), C2Stat (преобразователь 2).

C1Amp_th и C2Amp_th

Бит	Назначение	Доступ	Начальное значение	Описание
15..8	C1Amp_th	R/W	187	Порог компаратора для вычисления флага UIN_High в регистре C1Stat (преобразователь 1), C2Stat (преобразователь 2). Рекомендуется подобрать значение этой величины такой, чтобы при нормальной работе преобразователя не возникало срабатывание компаратора. Текущее значение величины можно считать из регистров C1Amp_metric, C2Amp_metric.
7..0	C2Amp_th	R/W	62	Порог компаратора для вычисления флага UIN_LOW в регистре C1Stat (преобразователь 1), C2Stat (преобразователь 2). Рекомендуется подобрать значение этой величины такой, чтобы при нормальной работе преобразователя не возникало срабатывание компаратора. Текущее значение величины можно считать из регистров C1Amp_metric, C2Amp_metric

1.10 Регистры C1InputStngs (Адрес 9) и C2InputStngs (Адрес 41)

Опции

C1InputStngs и C2InputStngs

Бит	Назначение	Доступ	Начальное значение	Описание
15		U		
14..13	EXI_insentv	R/W	0	Глубина фильтра дребезга переключения сигнала EXI. 0 – без фильтра 1 – 2 цикла 2 – 4 цикла 3 – 8 циклов
12	EXI_inv	R/W	0	Инверсия входа EXI1: 0 – вход EXI поступает в схему без инверсии 1 – вход EXI инвертируется
11	Ex_recovery_en	R/W	1	Включение блока восстановления сигнала опорной частоты: 0 – блок восстановления сигнала опорной частоты отключен 1 – блок восстановления сигнала опорной частоты включен Примечание: в режиме Sensor_mode[1:0]=11 блок восстановления опорного сигнала для канала cos не отключается. При этом, для модуляции в модели датчика по каналу sin используется восстановленный сигнал, по каналу косинус – сигнал со входов EXI1 (преобразователь 1), EXI2 (преобразователь 2)
10..9	Ex_source	R/W	0	Биты выбора источника сигнала Ex_ref для блока восстановления сигнала опорной частоты. 3 – Ex_ref преобразователя 2 дублирует Ex_recovered от преобразователя 1 (невозможно установить для преобразователя 1); 2 – Ex_ref преобразователя 2 дублирует Ex_ref от преобразователя 1 (невозможно установить для преобразователя 1); 1 – с входа EXI1 (преобразователь 1), с входа EXI2 (преобразователь 2); Примечание: если включен режим сельсин, то используется вход EXI1 для обоих преобразователей. Если включен один из сдвоенных режимов, используется соответствующий вход. 0 – с генератора опорной частоты
8	OPA_en	R/W	0	Включение входных операционных усилителей преобразователя: 0 – входные усилители отключены. Сигналы на АЦП подаются со входов IOSA, IOCA 1 – входные усилители включены. Сигналы на АЦП подаются с усилителей

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

7	ADC_CAL	R/W	0	<p>Калибровка АЦП: 0 – обычный режим работы 1 – режим калибровки смещения АЦП В режиме калибровки смещения ОУ и АЦП отключаются от выводов микросхемы, и на вход ОУ подается опорное напряжение 1,25 В. Коды, получаемые с АЦП, усредняются для вычисления смещения АЦП, пока бит установлен в 1. После установки бита в 0, полученное значение смещения вычитается из кодов, получаемых с АЦП. Калибровка АЦП прямо влияет на погрешность микросхемы в режимах с немодулированным сигналом датчика. В режимах с модулированным сигналом датчика калибровка не обязательна. Чем больше время калибровки, тем более точная будет калибровка. Рекомендуемое время калибровки ~350 мс или больше.</p>														
6	Autooff_adccal	R/W	0	<p>Отключение режима калибровки АЦП после первого расчета корректирующих коэффициентов: 0 – режим калибровки не отключается 1 – автоотключение режима калибровки при DC_carrier = 1 после установки флага HW_NotRDY = 0</p>														
5	DC_carrier	R/W	0	<p>Входные сигналы без модуляции: 0 – входные сигналы модулированы 1 – входные сигналы без модуляции</p>														
4	DC_correction	R/W	1	<p>Включение компенсации среднего уровня сигнала для АЦП: 0 – компенсация отключена 1 – компенсация включена При подаче на вход немодулированных сигналов этот бит должен быть установлен в состояние лог. «0».</p>														
3..0	DC_depth	R/W	0	<p>Глубина коррекции смещения. Задается значение в диапазоне от 0 до 15. Расчет первых коэффициентов смещения производится после 4 циклов работы блока коррекции смещения Tdc_der. Период одного цикла Tdc_der определяется следующими зависимостями: Если Depth[3] = 0: Tadc = 2^(7+depth[2:0])*Tclk Если Depth[3] = 1: Tadc = 2^(9+depth[2:0])*Tclk (Tclk - период работы контура, для примера взята 1 мкс)</p> <table border="1"> <tr><td>0</td><td>128 мкс</td></tr> <tr><td>1</td><td>256 мкс</td></tr> <tr><td>2</td><td>512 мкс</td></tr> <tr><td>3</td><td>1 мс</td></tr> <tr><td>4</td><td>2 мс</td></tr> <tr><td>5</td><td>4 мс</td></tr> <tr><td>6</td><td>8 мс</td></tr> </table>	0	128 мкс	1	256 мкс	2	512 мкс	3	1 мс	4	2 мс	5	4 мс	6	8 мс
0	128 мкс																	
1	256 мкс																	
2	512 мкс																	
3	1 мс																	
4	2 мс																	
5	4 мс																	
6	8 мс																	

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

				7	16 мс
				8	65 мс
				9	131 мс
				10	262 мс
				11	524 мс
				12	1 с
				13	2,1 с
				14	8,2 с
				15	8,4 с

Значение по умолчанию 0.

1.11 Регистры C1Lock_th (Адрес 10) и C2Lock_th (Адрес 42)

C1Lock_th и C2Lock_th

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15..0	Lock_th	R/W	300	Порог компаратора для вычисления флага NLock в регистре C1Stat (преобразователь 1), C2Stat (преобразователь 2). Lock_th безразмерная относительная величина. Рекомендуется подобрать значение этой величины такой, чтобы при нормальной работе преобразователя не возникало срабатывание компаратора.

1.12 Регистры C1Zero (Адрес 11) и C2Zero (Адрес 43)

C1Zero и C2Zero

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15..0	Zero	R/W	0	Zero [15:0] – коррекция вычисленной координаты. Значение Zero прибавляется к вычисленной преобразователем координате. При коррекции угол представлен 16-битным значением, вне зависимости от настроек, заданных в C1ResCntrl или C2ResCntrl.

1.13 Регистры C1Mask (Адрес 12) и C2Mask (Адрес 44)

Регистр маски Mask. Значение, записанное в регистр маски Mask, включает работу соответствующих бит регистра C1Stat.

C1Mask и C2Mask

Бит	Назначение	Доступ	Начальное значение	Описание
15	MSK_NLock	R/W	1	Маска для бита NLock (контур в неустановившемся режиме): 0 – бит NLock устанавливается в состояние лог. «0» 1 – бит NLock функционирует согласно таблице регистров C1Stat
14..13	MSK_quadrant	R/W	0	Маска для бита quadrant (квадрант): 0 – биты quadrant[1:0] устанавливаются в состояние лог. «0» 1 – биты quadrant[1:0] функционируют согласно таблице регистров C1Stat
12	MSK_Kontur_NotENA	R/W	1	Флаг запуска контура сигнализирует о том, что контур запустился в соответствии с настройками: 0 – бит Kontur_NotENA устанавливается в состояние лог. «0» 1 – бит Kontur_NotENA функционирует согласно таблице регистров C1Stat
11	MSK_RCV_NotRDY	R/W	1	Маска для бита RCV_NotRDY: 0 – бит RCV_NotRDY устанавливается в состояние лог. «0» 1 – бит RCV_NotRDY функционирует согласно таблице регистров C1Stat
10	MSK_MISS_EXREF	R/W	1	Маска для бита MISS_EXREF: 0 – бит MISS_EXREF устанавливается в состояние лог. «0» 1 – бит MISS_EXREF функционирует согласно таблице регистров C1Stat
9	MSK_EX_PH_OUTR	R/W	1	Маска для бита EX_PH_HIGH (большой сдвиг фазы): 0 – бит EX_PH_HIGH устанавливается в состояние лог. «0» 1 – бит EX_PH_HIGH функционирует согласно таблице регистров C1Stat
8		U		
7	MSK_C_LOOP_OVF	R/W	1	Маска для бита C_LOOP_OVF (переполнение в следящем контуре): 0 – бит C_LOOP_OVF устанавливается в состояние лог. «0» 1 – бит C_LOOP_OVF функционирует согласно таблице регистров C1Stat

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

6	MSK_UIN_HIGH	R/W	1	Маска для бита UIN_HIGH (амплитуда сигналов слишком велика): 0 – бит UIN_HIGH устанавливается в состояние лог. «0» 1 – бит UIN_HIGH функционирует согласно таблице регистров C1Stat
5	MSK_UIN_LOW	R/W	1	Маска для бита UIN_LOW (амплитуда сигналов слишком мала): 0 – бит UIN_LOW устанавливается в состояние лог. «0» 1 – бит UIN_LOW функционирует согласно таблице регистров C1Stat
4	MSK_CORR_OVF	R/W	1	Переполнение после коррекции амплитуды сигналов. Маска для бита CORR_OVF (переполнение после коррекции амплитуды сигналов). 0 – бит CORR_OVF устанавливается в состояние лог. «0» 1 – бит CORR_OVF функционирует согласно таблице регистров C1Stat
3	MSK_ADC_OVF	R/W	1	Маска для бита ADC_OVF (переполнение из-за большой постоянной составляющей сигналов на входе АЦП): 0 – бит ADC_OVF устанавливается в состояние лог. «0» 1 – бит ADC_OVF функционирует согласно таблице регистров C1Stat
2	MSK_CLIP_COS	R/W	1	Маска для бита CLIP_COS (переполнение АЦП по каналу cos): 0 – бит CLIP_COS устанавливается в состояние лог. «0» 1 – бит CLIP_COS функционирует согласно таблице регистров C1Stat
1	MSK_CLIP_SIN	R/W	1	Маска для бита CLIP_SIN (переполнение АЦП по каналу sin): 0 – бит CLIP_SIN устанавливается в состояние лог. «0» 1 – бит CLIP_SIN функционирует согласно таблице регистров C1Stat
0	MSK_HW_NotRDY	R/W	1	Маска для бита HW_NotRDY (коррекция АЦП не произведена): 0 – бит HW_NotRDY устанавливается в состояние лог. «0» 1 – бит HW_NotRDY функционирует согласно таблице регистров C1Stat

1.14 Регистры C1KonturStngs (Адрес 13) и C2KonturStngs (Адрес 45)

Регистры режимов работы преобразователей

C1KonturStngs и C2KonturStngs

Бит	Назначение	Доступ	Начальное значение	Описание
15	Wait_1offset	R/W	0	Режим начала работы блока восстановления частоты при DC_carrier=0, или контура при DC_carrier=1: 0 – включать работу блоков до расчёта первых коэффициентов 1 – удерживать блоки в сбросе пока не рассчитаются первые коэффициенты смещений
14	Vel_hist	R/W	0	Гистерезис значений координаты: 0 – гистерезис отключен 1 – гистерезис включен
13	Coord_hist	R/W	0	Гистерезис значений координаты: 0 – гистерезис отключен 1 – гистерезис включен
12	HandToEXT	R/W	0	Адресная шина мультиплексора подключается не к своему CPU: 0 – HAND подключается к OWN CPU 1 – HAND подключается к EXT CPU
11..10	Sensor_mode	R/W	0	00 – режим СКВТ или сельсин. В модели датчика используется тригонометрическая функция. 01 – режим ЛРДТ с подключением по 5-ти проводной схеме. В модели датчика используется линейная функция. 10 – режим ЛРДТ с подключением по схеме с последовательным соединением обмоток. В модели датчика используется линейная функция. 11 – аналогично 10, но вход АЦП синуса игнорируется, вместо него используется внутренний сигнал, сгенерированный из Ex_ref.
9	En_cross0	R/W	0	Режим виртуального грубого отсчета: 0 – режим выключен 1 – режим включен. В зависимости от направления вращения датчика при переходе через «0» координаты, производится инкремент или декремент виртуального счетчика. Значение счетчика может быть перезаписано из CPU1/CPU2 для согласования отсчетов для датчиков с редуцией грубого и точного каналов.
8	PoleAddi_src	R/W	0	Источник добавки к виртуальному счетчику полюсов: 0 – SPI 1 – CPU

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

7..5	InDelay	R/W	0	InDelay [2:0] – компенсация задержки входного тракта микросхемы и фильтров на плате. Задается в тактах частоты Fclk. Беззнаковое положительное значение.
4..0	LBW	R/W	4	Настройка полосы пропускания следящего контура

1.15 Регистры C1ResCntrl (Адрес 14) и C2ResCntrl (Адрес 46)

Регистр настройки выходной информации преобразователя

C1ResCntrl и C2ResCntrl

Бит	Назначение	Доступ	Начальное значение	Описание
15	Enc_en	R/W	0	Включение блока эмуляции квадратурного энкодера: 0 – блок эмуляции квадратурного энкодера отключен 1 – блок эмуляции квадратурного энкодера включен Coord_resolution должен быть равным 2 (16 битный код) Значение Vel_resolution равно количеству младших битов, которые будут замаскированы Например, при Vel_resolution = 8, энкодер будет работать 8 битным кодом. При Vel_reolution = 12, энкодер работает с 4 битным кодом.
14..12	Enc_presc	R/W	0	Делитель частоты для сигналов энкодера: 000 – FINT/2 001 – FINT/3 010 – FINT/4 011 – FINT/5 100 – FINT/8 101 – FINT/16 110 – FINT/32 111 – FINT/64
11	SPI_ext_en	R/W	0	Разрешает режим прямой параллельной передачи результата: 0 – режим отключен 1 – режим включен При ENC_en == 1 состояние данного бита не имеет значения
10		U		
9	Vel_from_cpu	R/W	0	Значения скорости режима прямой/параллельной передачи переопределить значениями из CPU (соответствующему данному каналу) 0 – использовать значениями из контура 1 – переопределить скорость значениями из CPU
8..5	Vel_resolution	R/W	7	Устанавливает разрешение в регистре C1Vel (преобразователь 1), C2Vel (преобразователь 2).
4	Coord_from_cpu	R/W	0	Значения энкодера, режима прямой/параллельной передачи переопределить значениями из CPU

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

				(соответствующего данному каналу) 1 – переопределить координату значениями из CPU 0 – использовать значения из контура
3..0	Coord_resolution	R/W	2	Устанавливает разрешение в регистре C1Coord (преобразователь 1), C2Coord (преобразователь 2). Значение может быть вычислено по формуле: Количество бит = 18 shl Coord_resolution[3:0]

1.16 Регистры C1Vcnt_bound (Адрес 15) и C2Vcnt_bound (Адрес 47)

C1Vcnt_bound и C2Vcnt_bound

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...0	Vcnt_bound	R/W	65535	Порог переполнения виртуального счетчика в старших разрядах [15:0]

1.17 Регистры C1Coord (Адрес 16) и C2Coord (Адрес 48)

C1Coord и C2Coord

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...0	Coord	RO	0	Coord – координата, вычисленная в преобразователе. Разрядность зависит от настроек в регистрах C1ResCntrl и C2ResCntrl.

1.18 Регистры C1CoordHB (Адрес 17) и C2CoordHB (Адрес 49)

C1CoordHB и C2CoordHB

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...0	CoordHB	RO	4096	CoordHB [11..0] - старшие 12 разрядов координаты

1.19 Регистры C1Vel (Адрес 24) и C2Vel (Адрес 56)

C1Vel и C2Vel

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...0	Vel	RO	0	Vel – скорость, вычисленная в преобразователе. Разрядность зависит от настроек в регистрах C1ResCntrl и C2ResCntrl.

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

1.20 Регистры C1VelHB (Адрес 25) и C2VelHB (Адрес 57)

C1VelHB и C2VelHB

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...0	VelHB	RO	0	Старшие разряды скорости Vel

1.21 Регистры C1Mask (Адрес 12) и C2Mask (Адрес 44)

Stat - регистр ошибок/состояния канала преобразователя.

C1Stat и C2Stat

Бит	Назначение	Доступ	Начальное значение	Описание
15	NLock	RO	1	Контур в неустановившемся режиме: 0 – ошибка в следящем контуре меньше чем значение в регистре C1Lock_th (преобразователь 1), C2Lock_th (преобразователь 2). 1 – ошибка в следящем контуре больше чем значение в регистре C1Lock_th (преобразователь 1), C2Lock_th (преобразователь 2).
14..13	quadrant	RO	0	Квадрант. Старшие два бита результата (без учета сдвига в блоке обработки результатов). При записи в Coord_resolution 1 или 0 позволяет получить старший бит или биты результата. Биты не влияют на состояние бит Ready.
12		U		
11	Kontur_NotENA	RO	0	Флаг запуска контура сигнализирует что контур запустился в соответствии с настройками: 0 – контур запущен 1 – контур в ожидании наступления заданных условий
10	RCV_NotRDY	RO	0	Флаг готовности блока восстановления опорной частоты: пока RCV_NotRDY=1 контур удерживается в сбросе: 0 – опорная частота восстановлена 1 – опорная частота не восстановлена
9	MISS_EXREF	RO	0	Отсутствие опорного сигнала: 0 – EX_REF переключается чаще 10 Гц 1 – за секунду изменений логического уровня EX_REF не обнаружено
8	EX_PH_OUTRANGE	RO	0	Большой сдвиг фазы: 0 – сдвиг фазы между опорным и восстановленным сигналом меньше $\pm 40^\circ$ 1 – сдвиг фазы между опорным и восстановленным сигналом больше $\pm 40^\circ$, что может приводить к избыточному шуму на выходе микросхемы

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

7	C_LOOP_OVF	RO	0	<p>Переполнение в следящем контуре: 0 – нет ошибки в следящем контуре 1 – ошибка в следящем контуре. Возможна некорректная работа микросхемы. В режимах Sensor_mode == 0 установка данного бита может быть вариантом нормальной работы преобразователя, указывающим на то, что координата датчика достигла максимального/минимального значения.</p>
6	UIN_HIGH	RO	0	<p>Амплитуда сигналов слишком велика: 0 – амплитуда сигналов на входе следящего контура меньше заданного порога 1 – большая амплитуда сигналов на входе следящего контура. Определяется сравнением с порогом заданном в регистре C1Amp_th (преобразователь 1), C2Amp_th (преобразователь 2).</p>
5	UIN_LOW	RO	0	<p>Амплитуда сигналов слишком мала: 0 – амплитуда сигналов на входе следящего контура больше заданного порога 1 – малая амплитуда сигналов на входе следящего контура. Определяется сравнением с порогом заданном в регистре C1Amp_lth (преобразователь 1), C2Amp_lth (преобразователь 2).</p>
4	CORR_OVF	RO	0	<p>Переполнение после коррекции амплитуды сигналов: 0 – переполнение после коррекции усиления отсутствует 1 – слишком большой сигнал после коррекции усиления. Ошибка вызвана слишком большими коэффициентами C1KampS, C1KampC или C2KampS, C2KampC. Флаг сбрасывается если в течение 2,5 мс не было переполнений.</p>
3	ADC_OVF	RO	0	<p>Переполнение из-за большой постоянной составляющей сигналов на входе АЦП: 0 – переполнение из-за большой постоянной составляющей отсутствует 1 – постоянная составляющая сигнала(ов) вне диапазона. Флаг сбрасывается если в течение 18 с не было выхода за диапазон.</p>
2	CLIP_COS	RO	0	<p>Переполнение АЦП по каналу cos: 0 – амплитуда сигнала в канале cos не выходит за диапазон АЦП 1 – амплитуда сигнала в канале cos выходит за диапазон АЦП. Флаг сбрасывается если в течение 2,5 мс не было выхода за диапазон.</p>
1	CLIP_SIN	RO	0	<p>Переполнение АЦП по каналу sin: 0 – амплитуда сигнала в канале sin не выходит за диапазон АЦП.</p>

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

				за диапазон АЦП 1 – амплитуда сигнала в канале sin выходит за диапазон АЦП. Флаг сбрасывается если в течение 2,5 мс не было выхода за диапазон.
0	HW_NotRDY	RO	0	Коррекция АЦП не произведена: 0 – коррекция АЦП пройдена. Бит устанавливается 0 после первого расчета корректирующих коэффициентов АЦП (происходит за время ~18 с). При установке бита DC_carrier регистра InputStngs этот бит устанавливается в 0. 1 – устанавливается после сброса

1.22 Регистры C1Pole_addi (Адрес 31) и C2Pole_addi (Адрес 63)

C1Pole_addi и C2Pole_addi

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
11...0	Pole_addi	R/W	0	Корректировка номера полюса [11:0]. Значение добавляется к виртуальному счетчику.

1.23 Регистры C1Amp_metric (Адрес 23) и C2Amp_metric (Адрес 55)

C1Amp_metric и C2Amp_metric

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
11...0	Amp_metric	RO	8	Метрика амплитуды сигнала на входе микросхемы. По этой метрике срабатывают компараторы флагов UIN_High, UIN_Low. Номинальное значение 400.

1.24 Регистры C1Err_metric (Адрес 22) и C2Err_metric (Адрес 54)

C1Err_metric и C2Err_metric

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...0	Err_metric	RO	0	Метрика ошибки угла на выходе микросхемы. По модулю этой метрики срабатывает компаратор флага NLock.

1.25 Регистры C1AdcS (Адрес 18) и C2AdcS (Адрес 50)

Выход каналов АЦП и опорных сигналов

C1AdcS и C2AdcS

Бит	Назначение	Доступ	Начальное значение	Описание
15	msb_arg_cos	RO	0	Старший разряд данных поступающих на контур канала COS
14	Ex_shifted	RO	0	Опорный сигнал EX_REF после сдвига на ExPhShift
13..2	Dadc_sin	RO	0	Выход АЦП канал SIN
1	msb_arg_sin	RO	0	Старший разряд данных поступающих на контур канала SIN
0	Ex_ref	RO	0	Опорный сигнал EX_REF

1.26 Регистры C1AdcC (Адрес 19) и C2AdcC (Адрес 51)

Выход каналов АЦП и опорных сигналов.

C1AdcC и C2AdcC

Бит	Назначение	Доступ	Начальное значение	Описание
15..12	crc4_adc	RO	0	Контрольная сумма по {AdcC[13:0], AdcS[15:0]}, включается битом HAND_CRC4_en
11..0	Dadc_cos	RO	0	Выход АЦП канал COS

1.27 Регистры C1OutS (Адрес 20) и C2OutS (Адрес 52)

Код канала АЦП SIN после коррекции смещения и амплитуды. Является входным аргументом в контур.

C1OutS и C2OutS

Бит	Назначение	Доступ	Начальное значение	Описание
15	VirtualSin0	RO	0	Младший бит виртуального сигнала датчика канала синус
14	Ex_recovered_vs	RO	0	Восстановленный сигнал опорной частоты
13..1	arg_sin_kontur1	RO	0	Данные 13-бит поступающие на контур канала SIN
0	Ex_recovered90dgr_vs	RO	0	Восстановленный сигнал опорной частоты, сдвинутый на 90 градусов

1.28 Регистры C1OutC (Адрес 28) и C2OutC (Адрес 60)

Код канала АЦП COS после коррекции смещения и амплитуды. Является входным аргументом в контур.

C1OutC и C2OutC

Бит	Назначение	Доступ	Начальное значение	Описание
15	VirtualCos0	RO	0	Младший бит виртуального сигнала датчика канала COS
14	Ex_recovered_vc	RO	0	Восстановленный сигнал опорной частоты
13..1	arg_cos_kontur1	RO	0	Данные 13-бит поступающие на контур канала COS
0	Ex_recovered90dgr_vc	RO	0	Восстановленный сигнал опорной частоты, сдвинутый на 90 градусов

1.29 Регистры C1PhiS (Адрес 26) и C2PhiS (Адрес 58)

Выход контура с учетом модели датчика, коэффициентов InDelay, KbiasS, Fbias.

C1PhiS и C2PhiS

Бит	Назначение	Доступ	Начальное значение	Описание
15..14	phimodel_cos1_0	RO	0	Младшие 2 бит виртуального сигнала датчика канала COS
13..0	phimodel_sin	RO	0	14 бит виртуального сигнала датчика канала SIN

1.30 Регистры C1PhiC (Адрес 27) и C2PhiC (Адрес 59)

Выход контура с учетом модели датчика, коэффициентов InDelay, KbiasC, Fbias

C1PhiC и C2PhiC

Бит	Назначение	Доступ	Начальное значение	Описание
15..12	crc4_ph	RO	0	Контрольная сумма по битам {PhiC[13:0], PhiS[15:0]}, включается битом HAND_CRC4_en
11..0	phimodel_cos13_2	RO	0	Старшие 12 бит виртуального сигнала датчика канала COS

1.31 Регистры C1VirtualS (Адрес 21) и C2VirtualS (Адрес 53)

Виртуальные значения Sin участвующие в свертке.

C1VirtualS и C2VirtualS

Бит	Назначение	Доступ	Начальное значение	Описание
15..12	crc4_vs	RO	0	Контрольная сумма по битам {VirtualS[13:0], OutS[15:0]}, включается битом HAND_CRC4_en
11..0	VirtualSin12_1	RO	0	Старшие 12 бит виртуального сигнала датчика канала SIN

1.1.32 Регистры C1VirtualC (Адрес 29) и C2VirtualC (Адрес 61)

Виртуальные значения Cos участвующие в свертке.

C1VirtualC и C2VirtualC

Бит	Назначение	Доступ	Начальное значение	Описание
15..12	crc4_vc	RO	0	Контрольная сумма по битам {VirtualS[13:0], OutS[15:0]}, включается битом HAND_CRC4_en
11..0	VirtualCos12_1	RO	0	Старшие 12 бит виртуального сигнала датчика канала COS

2. Регистры общей настройки

2.1 Регистр IC_addr (Адрес 64)

Текущий адрес запросов к устройству. Если задан IC_addr, чтобы микросхема принимала и выдавала значения, необходимо чтобы BUS_addr = 0 или BUS_addr == IC_addr

IC_addr

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
7..0	IC_addr	R/W	0	Текущий адрес запросов к устройству. Для того чтобы микросхема принимала и выдавала значения, необходимо: BUS_addr = 0 или BUS_addr == IC_addr

2.2 Регистр ADC_config (Адрес 65)

Настройки периода работы преобразователей и частоты тактирования АЦП. Период работы преобразователя вычисляется по следующей формуле:

$$Tclk = 16 \times Tclk_adc + DELAY_cycles \times Tfint,$$

где FINT - частота тактирования цифрового блока (внешняя или с PLL)

$$Tclk_adc = 1/Fclk_adc, Fadc = FINT/(FINT_divisor+2)$$

ADC_config

Бит	Назначение	Доступ	Начальное значение	Описание
15..13		U		
12	SEL_muxclk	R/W	0	Выбор источника тактирования блока формирования синхросигнала для АЦП и синусоидального генератора: 0 – частота цифрового блока 1 – частота с мультиплексора MUX_CLK
11..8	FINT_divisor	R/W	3	FINT_divisor - коэффициент деления частоты для тактирования АЦП: Fclk_adc = FINT/(FINT_divisor+1) = 1/Tclk_adc,

				где Fclk_adc не должен превышать 20 МГц. FINT_divisor – 4 битное беззнаковое значение в диапазоне [0..15]
7..0	DELAY_cycles	R/W	0	DELAY_cycles - значение добавочного количества тактов Fclk для составления необходимого периода преобразования. Период преобразования микросхемы: $T_{adc} = 16 \times T_{clk_adc} + DELAY_cycles \times T_{clk_adc}$ DELAY_cycles – 8 битное беззнаковое значение в диапазоне [0..255]

2.3 Регистр Mask_Stat (Адрес 66)

Маски для регистров C1Stat и C2Stat

Mask_Stat

Бит	Назначение	Доступ	Начальное значение	Описание
15..5		U		
4	MSK_CLK_not_RDY	R/W	1	Маска для бита CLK_not_RDY: 0 – бит CLK_not_RDY устанавливается в состояние логического нуля 1 – бит CLK_not_RDY функционирует согласно таблице регистров Stat_main
3	MSK_SPI_err	R/W	1	Маска для бита SPI_err (ошибка при передаче по SPI): 0 – бит SPI_err устанавливается в состояние логического нуля 1 – бит SPI_err функционирует согласно таблице регистров Stat_main
2	MSK_Not_equal	R/W	1	Маска для бита Not_Equal (результаты преобразований не совпадают): 0 – бит Not_Equal устанавливается в состояние лог. «0» 1 – бит Not_Equal функционирует согласно таблице регистров Stat_main
1	MSK_nReady2	R/W	1	Маска для бита MSK_nReady2 (преобразователь 2 Готов): 0 – бит nReady2 устанавливается в состояние лог. «0» 1 – бит nReady2 функционирует согласно таблице регистров Stat_main
0	MSK_nReady1	R/W	1	Маска для бита nReady1 (преобразователь 2 готов): 0 – бит nReady1 устанавливается в состояние лог. «0» 1 – бит nReady1 функционирует согласно таблице регистров Stat_main

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

2.4 Регистр Flags_delay (Адрес 67)

Flags_delay

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...0	Flags_delay	R/W	0	Flags_delay [15:0] выполняет следующие функции: – задает время обновления регистров Amp_metric и флагов UIN_HIGH, UIN_LOW (с ревизии 3); – устанавливает время удержания флагов. Единица времени 4/Fclk. После пропадания ошибки время удержания флагов (3×65535 – 4×65535) мкс. Желательно устанавливать время удержания флагов больше периода сигнала возбуждения датчика, чтобы избежать постоянного сброса и обратной установки флагов. В тоже время, установка слишком большого значения нежелательна, т.к. время обновления флагов увеличивается.

2.5 Регистр WR_lock (Адрес 68)

WR_lock

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...0	WR_lock	R/W	0	Блокировка записи настроек в микросхему. Если WR_lock = 0 – запись разрешена. При WR_lock = 0 команды записи не исполняются.

2.6 Регистр CMP_lth (Адрес 69)

CMP_lth

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...4	CMP_lth	R/W	1	Максимальное допустимое различие результатов преобразования каналов 1 и 2 для выставления флага Not_Equal в регистре Stat_main.

2.7 Регистр AFE_config (Адрес 70)

Регистр настройки аналоговых блоков

AFE_config

Бит	Назначение	Доступ	Начальное значение	Описание
15	OSC_DIS	R/W	0	Отключение подачи тактового сигнала на микросхему: 0 – частота подается 1 – частота не подается При установлении бита в состояние лог. «1» тактовая частота внутри микросхемы отсутствует, и работа микросхемы останавливается. При этом возможно осуществлять запись регистров по SPI
14..12	Mode	R/W	0	Выбор режима работы преобразователя. 000 – каналы преобразователя работают независимо 010 – каналы преобразователя работают параллельно и подключены к входам IOSA1, IOCA1, EXI1, EXO1 011 – каналы преобразователя работают параллельно и подключены к входам IOSA2, IOCA2, EXI2, EXO2 100 – каналы преобразователя работают параллельно в режиме Сельсин и подключены к входам IOSA1, IOCA1, IOSA2, EXI1, EXO1
11	VC_mode	R/W	0	Режим работы вывода VC: 0 – VC определяет информацию в режиме прямой передачи результата 1 – режим выдачи разрешения выдачи SDO на внешний приемопередатчик
10	DE_inv	R/W	0	Полярность разрешения выдачи SDO на приемопередатчик: 0 – выдача разрешена при DE = «1», при DE = «0» прием 1 – выдача разрешена при DE = «0», при DE = «1» прием
9	DE_half	R/W	0	Режим выдачи сигнала DE: 0 – для полнодуплексного режима, DE выдается при nSEN=0, SSTR=0 1 – для полудуплексный режим, DE = 1 только при запросах режиме 001
8	Bus0_mode	R/W	0	Отвечать ли при групповом адресе шины BUS_addr = 0 и наличия адреса (IC_addr !=0): 0 – не отвечать 1 – отвечать
7	HALF_dma	R/W	0	Переводить приемопередатчик и вывод SDI на спаде 16 такта SCLK текущей транзакции. Этот режим необходим для DMA транзакций

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

				в полудуплексном режиме. (Трехпроводный режим) 0 – открывать транзакцию только при новой транзакции SPI 1 – переводить приемопередатчик на последней транзакции
6	DE_turnZ	R/W	0	Перевод в неактивное состояние DE вывод VC в состояние высокого импеданса (high Z): 0 – выводить жёсткий 0 (или 1 при инверсном режиме) - повышенная производительность 1 – для выключения передатчика переводить VC в состояние высокого импеданса (необходима подтяжка резистором)
5		U		
4	EXO_sync	R/W	0	Синхронизация таймеров счетчиков в режиме Меандр: 0 – синхронизация выключена 1 – синхронизация включена Синхронизация требуется для управления комплиментарными транзисторами накачки возбуждения.
3	SHRD_RAM	R/W	0	Включение режима передачи массива ячеек памяти данных по адресам [256:384] одного из микровычислителей для расширения памяти данных другого вычислителя: 0 – массивы ячеек памяти данных [256:384] подключены к своим микровычислителям и обращение к ним производится независимо 1 – массив ячеек памяти данных [256:384] одного из микровычислителей подключается к расширению памяти другого
2	SHRD_CPU2	R/W	0	Выбор микровычислителя для применения режима расширения памяти данных на 128 ячеек. Выбор активизируется при SHRD_RAM = 1. 0 – расширение производится для CPU1 1 – расширение производится для CPU2
1	VREF_DAC_en	R/W	0	Включение опорного сигнала для генератора 2,5 В синусоидального возбуждения: 0 – опорный сигнал включен 1 – опорный сигнал выключен
0	VREF_en	R/W	0	Включение источника опорного напряжения 2,5 В: 0 – источник опорного напряжения выключен 1 – источник опорного напряжения включен

2.8 Регистр Mode_config (Адрес 71)

Регистр общей настройки микросхемы

Mode_config

Бит	Назначение	Доступ	Начальное значение	Описание
15	SPI_CRC_en	R/W	1	Включение бита четности CRC: 0 – бит четности при передаче по SPI игнорируется 1 – бит четности требуется для записи и чтения из SPI
14	ADC_en	R/W	0	Включение опроса АЦП: 0 – опрос АЦП выключен 1 – опрос АЦП работает
13	CPU2_en	R/W	0	Включение CPU2: 0 – CPU2 выключен, находится в состоянии сброса 1 – CPU2 включен
12	CPU1_en	R/W	0	Включение CPU1: 0 – CPU2 выключен, находится в состоянии сброса 1 – CPU2 включен
11	CONV2_en	R/W	0	Включение преобразователя 2: 0 – преобразователь 2 отключен и находится в состоянии сброса 1 – преобразователь 2 включен
10	CONV1_en	R/W	0	Включение преобразователя 1: 0 – преобразователь 1 отключен и находится в состоянии сброса 1 – преобразователь 1 включен
9	EXO1_en	R/W	0	Включение тактирования формирователя частоты на EXO1: 0 – формирователь EXO1 не тактируется 1 – формирователь EXO1 тактируется
8	EXO2_en	R/W	0	Включение тактирования формирователя частоты на EXO2: 0 – формирователь EXO2 не тактируется 1 – формирователь EXO2 тактируется
7..6	Sample_src	R/W	3	Выбор строба для выборки данных в SPI. 11 – Выборка производится сигналами SPI в момент чтения регистров 10 – при входе Sample равном лог. «0» данные защелкиваются в регистры 01 – при входе Sample равном лог. «1» данные защелкиваются в регистры 00 – регистры координаты, скорости и состояния сохраняют свое предыдущее состояние
5		U		
4..2	DB_mode	R/W	0	Управление источником цифрового сигнала DB. 000 – выход DB подключен к CLKMUX_OUT 001 – выход DB подключен к DB_SIG_PLLBASE 010 – выход DB подключен к DB_SIG_CLKREF 011 – выход DB подключен к CLK

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

				100 – выход DB подключен к STP CPU1 101 – выход DB подключен к STP CPU2 110 – выдача на DB лог. «0» 111 – выдача на DB лог. «1»
1	CPU_CRC4_en	R/W	0	Включение выдачи CRC4 при чтении ячеек CPU: 0 – четные адреса: {d1[1:0], d0[13:0]}, нечетные адреса { 2'b00, d1[13:0] } 1 – четные адреса: {d1[1:0], d0[13:0]}, нечетные адреса { crc4[3:0], d1[13:2] }

3. Регистры состояния

3.1 Регистр NOCLK_stat (Адрес 72)

Биты состояния микросхемы

NOCLK_stat

Бит	Назначение	Доступ	Начальное значение	Описание
15..11		U		
10	SAMPLE_pin	RO	1	Логический уровень на входе Sample
9	VC_pin	RO	1	Логический уровень на входе VC
8	CLKDLY_rdy	RO	1	Сигнал готовности счетчика импульсов тактирования
7	CLKCOMP_rdy	RO	1	Сигнал готовности умножителя частоты
6	CLK_rdy	RO	1	Сигнал готовности тактирования
5	STNDBY	RO	0	Вывод STNDBY
4	POR_NRST	RO	1	Сигнал POR & NRESET после задержки
3	NRST_pll	RO	1	Сигнал сброса логики уровня PLL
2	NRST_clkcomp	RO	1	Сигнал сброса логики уровня блока сравнения частот
1	NRST_synchclk	RO	1	Сигнал сброса логики уровня синхронизатора сброса
0	NRST_rdyinit	RO	1	Сигнал сброса логики уровня готовности блока инициализации

3.2 Регистр SPI_req (Адрес 73)

SPI_req

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...0	SPI_req	RO	0	Предыдущая транзакция SPI

3.3 Регистр alive_cnt (Адрес 74).

alive_cnt

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...0	alive_cnt	RO	0	alive_cnt [15:0] – счетчик времени работы микросхемы. Единица времени 32768/Fclk

3.4 Регистр Stat_main (Адрес 75)

Регистр состояния микросхемы

Stat_main

Бит	Назначение	Доступ	Начальное значение	Описание
15..5		U		
4	CLK_not_RDY	RO	1	Флаг готовности тактовой частоты: 0 – синхросигнал не подается на цифровой блок 1 – синхросигнал подается на цифровой блок (прошла задержка)
3	SPI_err	RO	1	Флаг ошибки при передаче по SPI: 0 – при приеме предыдущего кадра по интерфейсу SPI ошибок не было 1 – при приеме предыдущего кадра по интерфейсу SPI возникла ошибка. Необходимо выполнить сброс микросхемы. Флаг может быть сброшен записью лог. «1»
2	Not_equal	RO	0	Результаты преобразований не совпадают: 0 – результаты преобразований конвертеров 1 и 2 совпадают или различаются не больше, чем на величину, установленную в регистре CMP_lth 1 – результаты преобразований конвертеров 1 и 2 различаются больше, чем на величину, установленную в регистре CMP_lth
1	nReady2	RO	1	Преобразователь 2 готов: 0 – регистр C2Stat не содержит установленных в «1» битов 1 – регистр C2Stat содержит установленные в «1» биты
0	nReady1	RO	1	Преобразователь 1 готов: 0 – регистр C1Stat не содержит установленных в «1» битов 1 – регистр C1Stat содержит установленные в «1» биты

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

4. Выходные шины отладки вычислителей

4.1 Регистр Dcpu1LB (Адрес 76)

Dcpu1LB

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...0	Dcpu1LB	RO	0	Выходная шина с регистров CPU1, младшее слово

4.2 Регистр Dcpu1HB (Адрес 77)

Dcpu1HB

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...0	Dcpu1HB	RO	0	Выходная шина с регистров CPU1, старшее слово

4.3 Регистр Dcpu2LB (Адрес 78)

Dcpu2LB

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...0	Dcpu2LB	RO	0	Выходная шина с регистров CPU2, младшее слово

4.4 Регистр Dcpu2HB (Адрес 79)

Dcpu2HB

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...0	Dcpu2HB	RO	0	Выходная шина с регистров CPU2, старшее слово

5. Пользовательские настройки тактирования и режима инициализации

5.1 Регистр PLL_config (Адрес 80)

Регистр настройки режимов тактирования микросхемы

PLL_config

Бит	Назначение	Доступ	Начальное значение	Описание
15..14	PLL_basecmp	R/W	0	<p>Параметр критерия готовности умножителя частоты PLL. Если задано ненулевое значение, то производится подсчет импульсов выходной частоты и сравнение с опорной на 7 битном счетчике: если значения расходятся, то происходит удержание сигнала RESET</p> <p>00 – признак не влияет на удержание сброса 01 – приведенная к базовой частота PLL отличается не более чем на [-1..1] импульсов 10 – приведенная к базовой частота PLL отличается не более чем на [-2..2] импульсов 11 – приведенная к базовой частота PLL отличается не более чем на [-4..4] импульсов</p>
13..12	CLK_delay	R/W	0	<p>Количество импульсов синхрочастоты, при которых удерживается сигнал RESET:</p> <p>11 – 8192 импульса синхрочастоты 10 – 4096 импульса синхрочастоты 01 – 2048 импульса синхрочастоты 00 – сброс не удерживается</p>
11..8	PLL_Q	R/W	0	<p>Коэффициент деления для получения внутренней тактовой частоты.</p> <p>$FINT = 0,5 \times fOSC \times PLL_N / (PLL_Q + 1)$ $PLL_Q = 0 \dots 15$, $fOSC$ – частота на входе OSC1 Примечание: значение $fOSC / (PLL_Q + 1)$ должно быть в диапазоне от 2 до 16 МГц</p>
7	PLL_BOOST	R/W	1	<p>Выдача начального напряжения на PLL для ускорения достижения заданной частоты</p> <p>0 – без начального напряжения 1 – вместе с начальным напряжением</p>
6..0	PLL_N	R/W	0	<p>Коэффициент умножения для получения внутренней тактовой частоты.</p> <p>$FINT = 0,5 \times fOSC \times PLL_N / (PLL_Q + 1)$ $PLL_N = 3$ до 74, $fOSC$ – частота на входе OSC1 Если $PLL_N = 0$, блок ФАПЧ отключается и переходит в низко потребляющий режим. Тактирование производится от внешнего тактового генератора</p>

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

5.2 Регистр INIT_conf (Адрес 81)

Регистр настройки режимов тактирования микросхемы

INIT_conf

Бит	Назначение	Доступ	Начальное значение	Описание
15..5		U		
4	OTP_init_on	R/W	0	Инициализация из ВОТР памяти: 0 – инициализация включена 1 – инициализация выключена
3..0	ВОТР_clkdel	R/W	4	Делитель частоты, для функционирования ВОТР $F_{clk_rom} = F_{INT}/(3 + \text{ВОТР_clkdel})$, где F_{clk_rom} должен быть не более 10 МГц ВОТР_clkdel - 4 битное беззнаковое значение [0..15]

5.3 Регистр UOTP_ctrl (Адрес 82)

Регистр управления записи и чтения пользовательской памяти прямого доступа (UOTP), отвечает за регистры PLL_CONFIG, INIT_conf

UOUT_ctrl

Бит	Назначение	Доступ	Начальное значение	Описание
15..4		U		
3	MANUAL_NRST_PLL	R/W	1	Переключить выход пользовательской ячейки SPI на реальное значение OTP памяти
2	WATCH_ROM_UVAL	R/W	0	Переключить выход пользовательской ячейки SPI на реальное значение OTP памяти
1	PROG_NEW_UVAL	R/W	0	Разрешить запись значения из ячейки SPI в память OTP
0	OVERRIDE_UVAL	R/W	0	Переопределить текущее значение пользовательской настройки значением из SPI

5.4 Регистр UOTP_ctrl (Адрес 82)

BUS_addr

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
7...0	BUS_addr	R/W	0	Текущий адрес запросов к устройству. Если задан IC_addr, чтобы микросхема принимала и выдавала значения необходимо установить BUS_addr = 0 или BUS_addr == IC_addr

6. Регистры управления тактируемой ПЗУ пользовательских настроек

6.1 Регистр BOTP_addr (Адрес 84)

BOTP_addr

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
8...0	BOTP_addr	R/W	0	Регистр адреса блока OTP памяти 512x16 бит (BOTP)

6.2 Регистр BOTP_data (Адрес 85)

BOTP_data

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...0	BOTP_data	R/W	0	Регистр данных блока OTP памяти 512x16 бит BOTP

6.3 Регистр BOTP_ctrl (Адрес 86)

Регистр управления записи и чтения блока OTP памяти 512x16 бит (BOTP)

BOTP_ctrl

Бит	Назначение	Доступ	Начальное значение	Описание
15..4		U		
3	PGM	R/W	0	PGM – бит разрешения записи: 0 – запись не производится 1 – запись по адресу, записанному в регистре BOTP_addr и данного, записанного в регистр BOTP_data
2	REN	R/W	0	REN - режим чтения: 0 – чтение не производится 1 – чтение по адресу, записанному в регистре BOTP_addr

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

1	NCEN	R/W	1	NCEN – разрешение транзакции для BOTP: 0 – BOTP принимает команды, адреса и данные 1 – BOTP игнорирует
0	SLEEP	R/W	1	Сигнал перехода блока BOTP в режим пониженного энергопотребления: 0 – BOTP включен, готов к чтению/записи 1 – BOTP выключен, недоступен

6.4 Регистр BOTP_out (Адрес 87)

BOTP_out

Диапазон используемых бит	Наименование	Доступ	Нач. значение	Описание
15...0	BOTP_out	RO	0	Выход блока OTP памяти 512x16 бит (BOTP)

7. Регистры управления отладкой вычислителей

7.1 Регистры P1BG_ctrl (Адрес 92) и P2BG_ctrl (Адрес 94)

Регистр управления отладкой CPU

P1BG_ctrl и P2BG_ctrl

Бит	Назначение	Доступ	Начальное значение	Описание
15..13		U		
12..11	command	R/W	0	00 – запустить CPU до точки останова, если она активна 01 – остановить CPU как есть 10 – выполнить текущую операцию
10	tap_event	R/W	0	Переход из 0 в 1 активизирует одну из команд (00, 01, 10)
9	stop1_ena	R/W	0	Включение режима отслеживания точки останова 1
8..0	stop1_pc	R/W	0	Адрес точки останова 1

7.2 Регистры P1BG_data (Адрес 93) и P2BG_data (Адрес 95)

Данные управления отладкой CPU

P1BG_data и P2BG_data

Бит	Назначение	Доступ	Начальное значение	Описание
15..14		U		
13..10	sel_reg	R/W	0	Выбор регистра из CPU для чтения
9	stop2_ena	R/W	0	Включение режима отслеживания точки останова 2
8..0	stop2_pc	R/W	0	Адрес точки останова 2

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

Габаритный чертеж

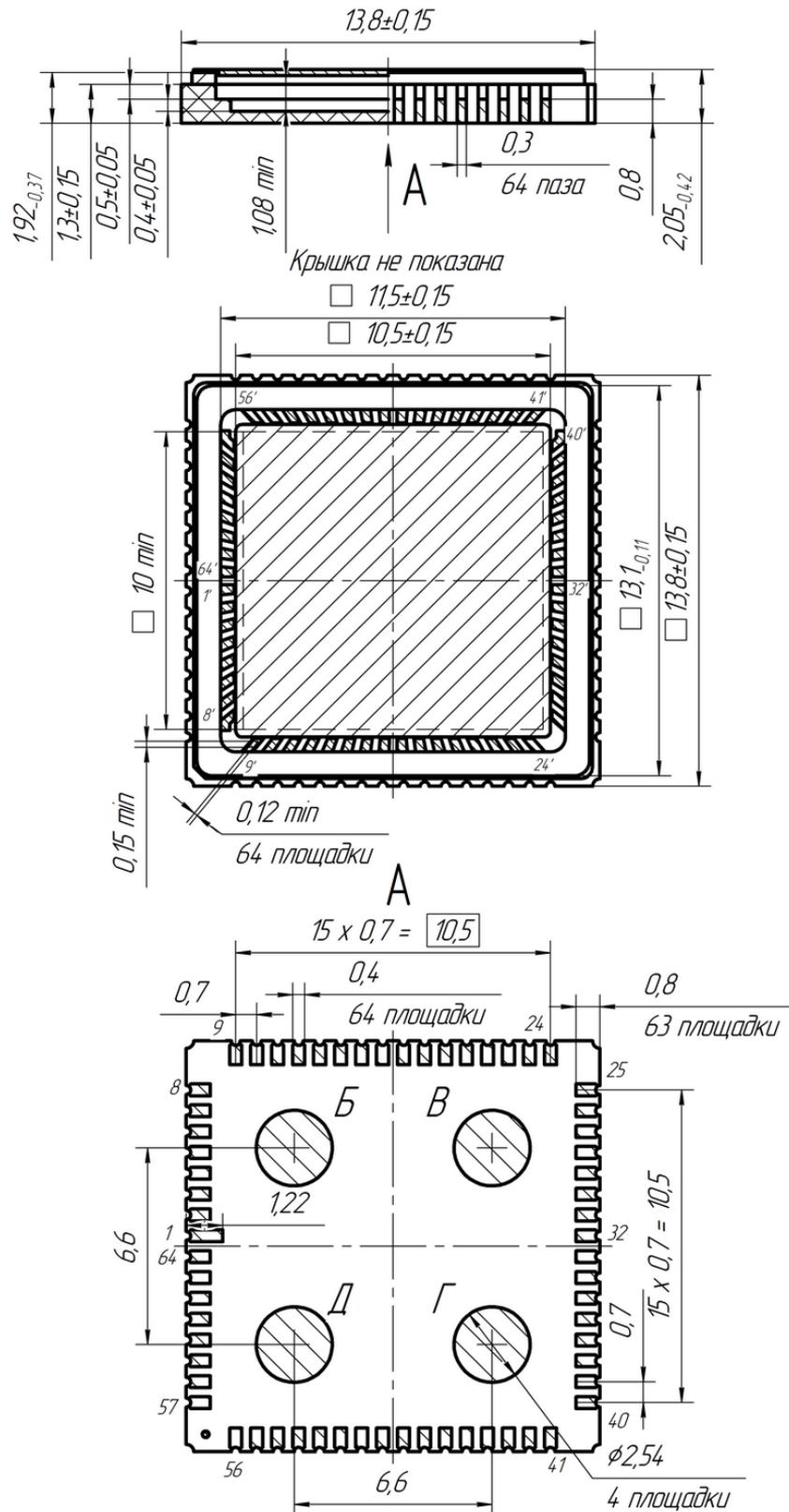


Рисунок 8. Габаритный чертеж корпуса 5153.64-3 (размеры в мм)

Обращаем внимание, документация носит ознакомительный характер.

При разработке аппаратуры необходимо руководствоваться КД: технические условия АЕНВ.431260.392ТУ, карта заказа КФЦС.431260.041-022Д16.

